



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CAMPUS ARARANGUÁ - ARA

PLANO DE ENSINO
SEMESTRE 2015.2

I. IDENTIFICAÇÃO DA DISCIPLINA:

CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
ARA7546	Circuitos Digitais	4	0	72

HORÁRIO		MÓDULO
TURMAS TEÓRICAS	TURMAS PRÁTICAS	Presencial
06655 3.1420-2/ARA307 - 5.1420-2/ARA307		

II. PROFESSOR(ES) MINISTRANTE(S)

Prof. Fábio Rodrigues de la Rocha, Dr.
Fabio.rocha.ufsc@gmail.com

III. PRÉ-REQUISITO(S)

CÓDIGO	NOME DA DISCIPLINA
	Esta disciplina não possui pré-requisitos

IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA

Engenharia de Computação

V. JUSTIFICATIVA

Esta disciplina deverá explorar conceitos e técnicas em circuitos digitais e motivar a realização de projeto extraclasse em ambiente de laboratório. Também irá induzir o aluno à realizar tais projetos em um ambiente que se utilize de linguagem de descrição de hardware

VI. EMENTA

Álgebra de Boole (teoremas). Portas lógicas. Parâmetros físicos e limitações de portas lógicas e circuitos integrados. Circuitos combinacionais. Técnicas de minimização de hardware. Implementação de dispositivos elementares de memória (latches e flip-flops). Circuitos Sequenciais. Memória. Linguagens de descrição de hardware. Implementação de módulos básicos. Ambiente de simulação.

VII. OBJETIVOS

Objetivo Geral:

- Representar equações lógicas, efetuar simplificações por mapas de Karnaugh
- Implementar funções lógicas utilizando portas lógicas;
- Projetar circuitos eletrônicos fazendo dos principais dispositivos;
- Compreender o funcionamento de registradores, memórias e fazer associações em série e em paralelo;
- Conhecer o funcionamento interno dos principais dispositivos.

VIII. CONTEÚDO PROGRAMÁTICO

UNIDADE 1: Álgebra de Boole [24 horas-aula]

- Representar funções lógicas por meio de equações
- Realizar simplificações aplicando teoremas fundamentais e mapas K (minimização)
- Implementar funções lógicas através de portas lógicas

UNIDADE 2: Circuitos Combinacionais Básicos [12 horas-aula]

- Estudar os dispositivos fundamentais: multiplexadores, demultiplexadores, decodificadores, comparadores e

Fabio Rocha

codificadores.

UNIDADE 3: somadores [08 horas-aula]

- Circuitos aritméticos somadores, subtratores
- Projeto de circuitos lógicos combinacionais
- Codificadores e decodificadores

UNIDADE 4: Circuitos Sequenciais [16 horas-aula]

- latches, flipflops
- máquinas de estado

UNIDADE 5: Registradores [4 horas-aula]

- série, paralelo, associação
- CIs

UNIDADE 6: Contadores [4 horas-aula]

- Up, Down, reversível
- Síncrono, assíncrono, sequência não natural

UNIDADE 7: Memória [04 horas-aula]

- Tipos de memória e seu funcionamento interno.
- Associação de memória

IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

- Aulas teóricas: desenvolvidas em sala e com emprego de meios audiovisuais tais como transparências e apresentações sobre PC portátil de produção própria expostas com projetor. Todo o material didático estará disponível "a priori" para os alunos na página do professor: fabiodelarocha.paginas.ufsc.br

X. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

Serão realizadas duas provas escritas:

- Prova Escrita 1 (P1)
- Prova Escrita 2 (P2)

Será realizado um trabalho prático (T1)

$$MP = \frac{(P1 + P2)}{2}$$

A média final (MF) do semestre será calculada como a média ponderada entre o trabalho T1 e a média das provas MP. A MP terá peso 7 e o trabalho T1 peso 3. (Art. 69 e 72 da Res. nº 17/CUn/1997).

O aluno com Frequência Suficiente (FS) e média das notas de avaliações do semestre MF entre 3,0 e 5,5 NÃO terá direito a uma nova avaliação no final do semestre (REC) de acordo com o art.70, § 2º. A Nota Final (NF) será calculada por meio da média aritmética entre a média das notas das avaliações parciais. (Art. 70 e 71 da Res. nº 17/CUn/1997).

Ao aluno que não comparecer às atividades práticas ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. nº 17/CUn/1997)

Observações:

Avaliação de recuperação

Não há avaliação de recuperação nas disciplinas de caráter prático que envolve atividades de laboratório. (Res.17/CUn/97).

Nova avaliação

Pedidos de segunda avaliação somente para casos em que o aluno, por motivo de força maior e plenamente

Fabio Rocha

justificado, deixar de realizar avaliações previstas no plano de ensino, e deverá ser formalizado via requerimento de avaliação à Secretaria Acadêmica do Campus Araranguá dentro do prazo de 3 dias úteis apresentando comprovação. (Ver formulário)

XI. CRONOGRAMA TEÓRICO

AULA (semana)	DATA	ASSUNTO
1ª	10/08/15 a 15/08/15	Apresentação do plano de ensino, site da disciplina, Postulados, Lei da dualidade, Teoremas fundamentais, Funções Booleanas, Portas lógicas
2ª	17/08/15 a 22/08/15	Equivalência de portas Equivalente à porta "NAND", Equivalente à porta "NOR", Equivalente à porta "NOT", Equivalente à porta "AND", Equivalente à porta "OR"
3ª	24/08/15 a 29/08/15	Implementação de funções
4ª	31/08/15 a 05/09/15	Formas padrões, Equivalente decimal, Notações simplificadas Forma padrão x Tabela verdade
5ª	07/09/15 a 12/09/15	Minimização de funções, Mapa para quatro variáveis, Nomenclatura das celas, Grupo de celas
6ª	14/09/15 a 19/09/15	Teoria dos conjuntos e os mapas, Representação de função no mapa, Minimização de funções, Mapas para 2, 3, 5 e 6 variáveis, Funções incompletas
7ª	21/09/15 a 26/09/15	Exercícios sobre a matéria PROVA P1
8ª	28/09/15 a 03/10/15	Multiplexadores Circuitos Multiplexadores MSI: 74XX153/253, 74XX157/257, 74XX151, 74XX150/251, Aplicações de Multiplexadores: Geração de funções booleanas, Associação, Seletor de palavras, Demultiplexadores
9ª	05/10/15 a 10/10/15	Demultiplexador: Circuitos Integrados MSI, Circuito Integrado 74155. Uso como Demultiplexador. Exercícios sobre multiplexadores.
10ª	12/10/15 a 17/10/15	Decodificadores Projeto de um Decodificador 2/4: Decodificador Decimal: Circuito Integrado 7442, 74XX42 Decodificador Hexadecimal Associação de Decodificadores Decodificadores para Sete Segmentos Comparadores Codificador: Circuito codificador com 3 saídas 74LS148
11ª	19/10/15 a 24/10/15	Circuitos Aritméticos e Códigos Especiais Adição Projeto do Somador para quatro "bits": Somador Incompleto, Somador Completo ("Full-Adder") Somador Paralelo
12ª	26/10/15 a 31/10/15	Circuito Integrado – 74LS83 Subtração
13ª	02/11/15 a 07/11/15	Análise e Síntese de Circuitos Seqüenciais "Latch" RS, "Latch" RS Síncrono, "Latch" D, "Flip-Flop" D "Flip-Flop" JK "Edge-Triggered", "Flip-Flop" JK "Master-Slave"
14ª	09/11/15 a 14/11/15	Duplo "flip-flop" D: 74LS74, 74HC/HCT74 Quádruplo "Latches" D: 74LS75, 74HC/HCT75 Duplo "flip-flop" JK "edge-triggered": 7476, 74LS76, 74C76, 74HC/HCT76 Duplo "Flip-Flop" JK "edge-triggered" com "Set" e "Reset": 74LS112, 74F112, 74LVC112 Duplo "Flip-Flop" JK "edge-triggered" com "Set" e "Reset": 74LS109, 74F109, 74LVC109 Seis "flip-flops" D: 74LS174, 74HC/HCT174 Análise e Síntese de Circuitos Seqüências Síncronos Modelos de Máquinas Seqüenciais de Estado
15ª	16/11/15 a 21/11/15	Análise de uma FSM de Mealy com "Flip-flop" D Análise de uma FSM de Moore com "Flip-flop" D Análise de uma FSM de Mealy com "Flip-flop" JK TRABALHO T1

16ª	23/11/15 a 28/11/15	Registradores Contadores
17ª	30/11/15 a 05/12/15	Memórias RAM Memória RAM Estática SRAM Síncrona SRAM Síncrona, Sinais na Leitura/Escrita, Memórias ROM, ROM com Matriz de Diodos ROM programável pelo usuário – PROM, ROM Programável e Apagável pelo Usuário, "EPROM", EEPROM, FLASH, Associando Memórias
18ª	07/12/15 a 12/12/15	Prova P2 Prova REC Fechamento das notas

XII. Feriados previstos para o semestre 2015.2:

DATA	
07/09/2015	Independência do Brasil
12/10/2015	Nossa Senhora Aparecida
28/10/2015	Dia do Servidor Público
02/11/2015	Finados
14/11/2015	Não letivo
25/12/2015	Natal

XIII. BIBLIOGRAFIA BÁSICA

- [1] TOCCI, RONALD J.; WIDMER, NEAL S.; MOSS, GREGORY L. Sistemas Digitais: Princípios e Aplicações 11ª edição. São Paulo: Pearson.
- [2] BIGNELL, J. W. e DONOVAN, R. L.. Eletrônica Digital. Volumes 1 e 2, São Paulo: Makron Books.
- [3] Floyd, "Sistemas Digitais: Fundamentos e aplicações", Bookman, 2007.


XIV. BIBLIOGRAFIA COMPLEMENTAR:

- [4] CAPUANO, Francisco G.. Exercícios de Eletrônica Digital. São Paulo: Érica.
- [5] MALVINO, A. P. e LEACH, D. P.. Eletrônica Digital – Princípios e Aplicações. Volumes 1 e 2, São Paulo: McGraw-Hill, 1987
- [6] ZUBIA, J.G. Problemas Resueltos de Electrónica Digital – Paso a Paso. Thomson.
- [7] PEDRONI, Volnei. Eletrônica Digital Moderna e VHDL:Princípios Digitais, Eletrônica Digital, Projeto Digital, Microeletrônica e VHDL. São Paulo. Campus. ISBN:9788535234657
- [8] D'AMORE, ROBERTO, "VHDL - DESCRIÇÃO E SÍNTESE DE CIRCUITOS DIGITAIS", LTC, ISBN: 8521620543, ISBN-13: 9788521620549, 2ª edição, 2012.

Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá. Algumas bibliografias também podem ser encontradas no acervo da disciplina, via sistema Moodle.


Prof. Fábio Rodrigues de la Rocha

Aprovado na Reunião do Colegiado do Curso 10106 12015


Coordenação
Anderson Luiz Fernandes Perez, Dr.
Prof. Adjunto/SIAPE: 1635680
UFSC/Campus Araranguá