

		<b>UNIVERSIDADE FEDERAL DE SANTA CATARINA</b> <b>CAMPUS ARARANGUÁ - ARA</b>		
<b>PLANO DE ENSINO</b>				
<b>SEMESTRE 2017.1</b>				
<b>I. IDENTIFICAÇÃO DA DISCIPLINA:</b>				
CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
ARA7546	Circuitos Digitais	4	0	72
		HORÁRIO		MODALIDADE
TURMAS TEÓRICAS		TURMAS PRÁTICAS		Presencial
06655 3.1620-2/ARA307 - 5.1620-2/ARA307				
<b>II. PROFESSOR(ES) MINISTRANTE(S)</b>				
Prof. Fábio Rodrigues de la Rocha, Dr. Fabio.rocha.ufsc@gmail.com				
<b>III. PRÉ-REQUISITO(S)</b>				
CÓDIGO	NOME DA DISCIPLINA			
-	Esta disciplina não possui pré-requisitos			
<b>IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA</b>				
Engenharia de Computação				
<b>V. JUSTIFICATIVA</b>				
Esta disciplina deverá explorar conceitos e técnicas em circuitos digitais e motivar a realização de projeto extraclasse em ambiente de laboratório. Também irá induzir o aluno à realizar tais projetos em um ambiente que se utilize de linguagem de descrição de hardware				
<b>VI. EMENTA</b>				
Álgebra de Boole (teoremas). Portas lógicas. Parâmetros físicos e limitações de portas lógicas e circuitos integrados. Circuitos combinacionais. Técnicas de minimização de hardware. Implementação de dispositivos elementares de memória (latches e flip-flops). Circuitos Sequenciais. Memória. Linguagens de descrição de hardware. Implementação de módulos básicos. Ambiente de simulação.				
<b>VII. OBJETIVOS</b>				
<u>Objetivo Geral:</u> <ul style="list-style-type: none"> <li>• Representar equações lógicas, efetuar simplificações por mapas de Karnaugh</li> <li>• Implementar funções lógicas utilizando portas lógicas;</li> <li>• Projetar circuitos eletrônicos fazendo dos principais dispositivos;</li> <li>• Compreender o funcionamento de registradores, memórias e fazer associações em série e em paralelo;</li> <li>• Conhecer o funcionamento interno dos principais dispositivos.</li> </ul>				
<b>VIII. CONTEÚDO PROGRAMÁTICO</b>				
UNIDADE 1: Álgebra de Boole [24 horas-aula]				

- Representar funções lógicas por meio de equações
- Realizar simplificações aplicando teoremas fundamentais e mapas K (minimização)
- Implementar funções lógicas através de portas lógicas

**UNIDADE 2: Circuitos Combinacionais Básicos [12 horas-aula]**

- Estudar os dispositivos fundamentais: multiplexadores, demultiplexadores, decodificadores, comparadores e codificadores.

**UNIDADE 3: somadores [08 horas-aula]**

- Circuitos aritméticos somadores, subtratores
- Projeto de circuitos lógicos combinacionais
- Codificadores e decodificadores

**UNIDADE 4: Circuitos Sequenciais [16 horas-aula]**

- latches, flipflops
- máquinas de estado

**UNIDADE 5: Registradores [4 horas-aula]**

- série, paralelo, associação
- CIs

**UNIDADE 6: Contadores [4 horas-aula]**

- Up, Down, reversível
- Síncrono, assíncrono, sequencia não natural

**UNIDADE 7: Memória [04 horas-aula]**

- Tipos de memória e seu funcionamento interno.
- Associação de memória

**IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA**

- Aulas teóricas: desenvolvidas em sala e com emprego de meios audiovisuais tais como transparências e apresentações sobre PC portátil de produção própria expostas com projetor. Todo o material didático estará disponível "a priori" para os alunos na página do professor: [fabiodelarocha.paginas.ufsc.br](http://fabiodelarocha.paginas.ufsc.br)

**X. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO**

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

Serão realizadas três provas escritas:

- Prova Escrita 1 (P1)
- Prova Escrita 2 (P2)
- Prova Escrita 3 (P3)

$$MF=(P1+P2+P3)/3$$

A média final do semestre será a própria média aritmética entre P1, P2 e P3 e assim a nota mínima para aprovação na disciplina será  $MF \geq 6,0$  (seis) e Frequência Suficiente (FS). (Art. 69 e 72 da Res. nº 17/CUn/1997).

O aluno com Frequência Suficiente (FS) e média das notas de avaliações do semestre MF entre 3,0 e 5,5 terá direito a uma nova avaliação no final do semestre (REC) de acordo com o art.70, § 2º. A Nota Final (NF) será calculada por meio da média aritmética entre a média das notas das avaliações parciais. (Art. 70 e 71 da Res. nº 17/CUn/1997).

Ao aluno que não comparecer às atividades práticas ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. nº 17/CUn/1997)

Observações:

Avaliação de recuperação

Não há avaliação de recuperação nas disciplinas de caráter prático que envolve atividades de laboratório. (Res.17/CUn/97).

Nova avaliação

Pedidos de segunda avaliação somente para casos em que o aluno, por motivo de força maior e plenamente justificado, deixar de realizar avaliações previstas no plano de ensino, e deverá ser formalizado via requerimento de avaliação à Secretaria Acadêmica do Campus Araranguá dentro do prazo de 3 dias úteis apresentando comprovação. (Ver formulário)

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

$$NF=(MF+REC)/2$$

#### XI. CRONOGRAMA PRÁTICO

AULA (semana)	DATA	ASSUNTO
1	06/03 a 11/03	Apresentação do plano de ensino, site da disciplina, Postulados, Lei da dualidade, Teoremas fundamentais, Funções Booleanas, Portas lógicas
2	13/03 a 18/03	Equivalência de portas Equivalente à porta "NAND", Equivalente à porta "NOR", Equivalente à porta "NOT", Equivalente à porta "AND", Equivalente à porta "OR"
3	20/03 a 25/3	Implementação de funções
4	27/3 a 01/04	Formas padrões, Equivalente decimal, Notações simplificadas Forma padrão x Tabela verdade
5	03/04 a 08/04	Minimização de funções, Mapa para quatro variáveis, Nomenclatura das celas, Grupo de celas
6	10/04 a 15/04	Teoria dos conjuntos e os mapas, Representação de função no mapa, Minimização de funções, Mapas para 2, 3, 5 e 6 variáveis, Funções incompletas
7	17/04 a 22/04	Exercícios sobre a matéria PROVA P1
8	24/04 a 29/04	Multiplexadores Circuitos Multiplexadores MSI: 74XX153/253, 74XX157/257, 74XX151, 74XX150/251, Aplicações de Multiplexadores: Geração de funções booleanas, Associação, Seletor de palavras, Demultiplexadores
9	01/05 a 06/05	Demultiplexador: Circuitos Integrados MSI, Circuito Integrado 74155. Uso como Demultiplexador. Exercícios sobre multiplexadores.
10	08/05 a 13/05	Decodificadores Projeto de um Decodificador 2/4: Decodificador Decimal: Circuito Integrado 7442, 74XX42 Decodificador Hexadecimal Associação de Decodificadores

		Decodificadores para Sete Segmentos Comparadores Codificador: Circuito codificador com 3 saídas 74LS148
11	15/05 a 20/05	Circuitos Aritméticos e Códigos Especiais Adição Projeto do Somador para quatro "bits": Somador Incompleto, Somador Completo ("Full-Adder") Somador Paralelo
12	22/05 a 27/05	Circuito Integrado – 74LS83 Subtração PROVA P2
13	29/05 a 03/06	Análise e Síntese de Circuitos Seqüenciais "Latch" RS, "Latch" RS Síncrono, "Latch" D, "Flip-Flop" D "Flip-Flop" JK "Edge-Triggered", "Flip-Flop" JK "Master-Slave"
14	05/06 a 10/06	Duplo "flip-flop" D: 74LS74, 74HC/HCT74 Quádruplo "Latches" D: 74LS75, 74HC/HCT75 Duplo "flip-flop" JK "edge-triggered": 7476, 74LS76, 74C76, 74HC/HCT76 Duplo "Flip-Flop" JK "edge-triggered" com "Set" e "Reset": 74LS112, 74F112, 74LVC112 Duplo "Flip-Flop" JK "edge-triggered" com "Set" e "Reset": 74LS109, 74F109, 74LVC109 Seis "flip-flops" D: 74LS174, 74HC/HCT174 Contadores Análise e Síntese de Circuitos Seqüências Síncronos Modelos de Máquinas Seqüenciais de Estado
15	12/06 a 17/06	Análise de uma FSM de Mealy com "Flip-flop" D Análise de uma FSM de Moore com "Flip-flop" D Análise de uma FSM de Mealy com "Flip-flop" JK
16	19/06 a 24/06	Registradores Memórias RAM Memória RAM Estática SRAM Síncrona SRAM Síncrona, Sinais na Leitura/Escrita, Memórias ROM, ROM com Matriz de Diodos ROM programável pelo usuário – PROM, ROM Programável e Apagável pelo Usuário, "EPROM", EEPROM
17	26/06 a 01/07	Memórias RAM Memória RAM Estática SRAM Síncrona SRAM Síncrona, Sinais na Leitura/Escrita, Memórias ROM, ROM com Matriz de Diodos ROM programável pelo usuário – PROM, ROM Programável e Apagável pelo Usuário, "EPROM", EEPROM Prova P3
18	03/07 a 08/07	Prova REC Fechamento das notas

Obs: O calendário está sujeito a pequenos ajustes de acordo com as necessidades das atividades desenvolvidas.

## XII. FERIADOS PREVISTOS PARA O SEMESTRE 2017.1:

DATA	
03/04	Feriado: Aniversário da Cidade (Segunda)
14/04	Feriado: Sexta-Feira Santa (Sexta)
15/04	Dia não letivo (Sábado)
21/04	

	Feriado: Tiradentes (Sexta)
22/04	Dia não letivo (Sábado)
01/05	Feriado: Dia do Trabalhador (Segunda)
04/05	Feriado: Dia da Padroeira da Cidade (Quinta)
15/06	Feriado: Corpus Christi (Quinta)
<b>XIII. BIBLIOGRAFIA BÁSICA</b>	
<p>1. [1] TOCCI, RONALD J.; WIDMER, NEAL S.; MOSS, GREGORY L. Sistemas Digitais: Princípios e Aplicações 11ª edição. São Paulo: Pearson. (20 exemplares da 11ª edição, 10 exemplares da 10ª edição)</p> <p>[2] BIGNELL, James; DONOVAN, Robert. Eletrônica digital. São Paulo: Cengage Learning, 2010. xviii, 648 p. ISBN 9788522107452 (10 exemplares)</p> <p>[3] MALVINO, A. P. e LEACH, D. P.. Eletrônica Digital – Princípios e Aplicações. Volumes 1 e 2, São Paulo: McGraw-Hill, 1987 (20 exemplares do volume 1 e do volume 2)</p>	
<b>XIV. BIBLIOGRAFIA COMPLEMENTAR:</b>	
<p>1. [4] IDOETA, Ivan V.; CAPUANO, Francisco G. Elementos de eletrônica digital. 41. ed. rev. e atual. São Paulo: Livros Erica Ed., c2012. 544 p. ISBN 9788571940192 (4 exemplares)</p> <p>[5] FERREIRA, José Manuel Martins. Introdução ao projecto com sistemas digitais e microcontroladores. Porto: FEUP, 1998. 371 p. ISBN 9727520324 (3 exemplares)</p> <p>[6] WILSON, Peter. The circuit designer's companion. 3rd ed. Amsterdam: Elsevier, 2012. xv, 439 p. ISBN 9780080971384 (7 exemplares)</p> <p>[7] PEDRONI, Volnei A. Eletrônica digital moderna e VHDL. Rio de Janeiro: Elsevier, c2010. 619 p. ISBN 9788535234657 (6 exemplares)</p> <p>[8] D'AMORE, ROBERTO, VHDL – Descrição e Síntese de Circuitos Digitais, LTC, ISBN: 8521620543, ISBN-13: 9788521620549, 2ª edição, 2012. (19 exemplares)</p>	
Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá.	
<b>XV. INFRAESTRUTURA E MATERIAS NECESSÁRIOS:</b>	
<ol style="list-style-type: none"> <li>1. Espaço físico com mesas, cadeiras e tomadas em quantidades adequadas</li> <li>2. Acesso à internet</li> <li>3. Datashow que possa ser operado de forma segura, sem risco de acidentes</li> <li>4. Quadro branco e canetas</li> </ol>	
<p>5. <b>Obs.:</b> A indisponibilidade de infraestrutura/materiais listados pode causar prejuízos ao processo pedagógico, inviabilizando tanto as atividades dos docentes como as dos alunos, podendo, ainda, acarretar em cancelamento de aulas em último caso.</p>	

*Felipe M. de la Rocha*

Professor da Disciplina

/ / 2017

Aprovado pelo  
departamento em

/ / 2017

~~Aprovado pelo colegiado do  
curso de graduação em~~

~~/ / 2017~~

Prof. Dr. Elanis Pozzebon  
Professor Adjunto  
SIAPE: 1680881  
UFSC Campus Araranguá

1