



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CAMPUS ARARANGUÁ - ARA

PLANO DE ENSINO

SEMESTRE 2017.2

I. IDENTIFICAÇÃO DA DISCIPLINA:

CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
ARA7555	Linguagens de Descrição de Hardware	4	0	72

	HORÁRIO	MODALIDADE
TURMAS TEÓRICAS	TURMAS PRÁTICAS	Presencial
3.1830 e 5.1830 - 7655		

II. PROFESSOR(ES) MINISTRANTE(S)

Prof. Marcelo Berejuck, marcelo.berejuck@ufsc.br

III. PRÉ-REQUISITO(S)

CÓDIGO	NOME DA DISCIPLINA
-	Esta disciplina não possui pré-requisitos

IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA

Engenharia de Computação

V. JUSTIFICATIVA

Esta disciplina deverá explorar conceitos e técnicas em circuitos digitais e motivar a realização de projeto extraclasse em ambiente de laboratório. Também irá induzir o aluno à realizar tais projetos em um ambiente que se utilize de linguagem de descrição de hardware

VI. EMENTA

Dispositivos lógicos programáveis; linguagem VHDL; estilos de descrição em VHDL; elementos sintáticos do VHDL; redes combinacionais em VHDL; redes seqüenciais em VHDL; síntese de circuitos digitais utilizando uma ferramenta CAE; projetos em VHDL.

VII. OBJETIVOS

Objetivo Geral:

- Compreender o funcionamento de uma FPGA e o ciclo de desenvolvimento de Hardware utilizando esse tipo de dispositivo.
- Compreender a capacidade desses dispositivos e as possibilidades de integração de Hard Cores, Soft Cores e código personalizado.
- Escrever código em linguagem de descrição de hardware, utilizar ferramentas de desenvolvimento e simulação
- Criar um pequeno projeto de dispositivo que explore os recursos de uma FPGA

VIII. CONTEÚDO PROGRAMÁTICO

UNIDADE 1: FPGA

- FPGA, estrutura interna

- FPGA, ferramentas de desenvolvimento e simulação
- Ciclo de desenvolvimento, ferramenta de síntese de hardware, uso como ferramenta de prototipação
- Processadores implementados em hardware e em software, mercado de FPGAs, empresas fabricantes, mercado de atuação
- propriedade intelectual de componentes de hardware

UNIDADE 2: Programação para FPGA

- Linguagens existentes
- Código sintetizável e código não sintetizável
- Linguagem de programação VHDL

UNIDADE 3: Estudo da linguagem VHDL

- Formato da linguagem, escrita de código básico
- Recursos avançados da linguagens
- Criação de código, simulação usando ambiente de desenvolvimento ALTERA

UNIDADE 4: Implementação de dispositivos em VHDL

- portas lógicas, latches, Flipflops, circuitos compostos por diferentes elementos
- decodificadores, mux, demux, decodificadores 7 segmentos
- Uso de decodificadores para habilitar partes de um circuito
- máquinas de estado em VHDL, máquinas moore, máquinas mealy

IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

Aulas teóricas: desenvolvidas em sala e com emprego de meios audiovisuais tais como transparências e apresentações sobre PC portátil de produção própria expostas com projetor. Todo o material didático estará disponível "a priori" para os alunos na página do professor: fabiodelarocha.paginas.ufsc.br

X. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

Serão realizadas duas avaliações :

- Prova teórica (P1) , peso 5
- Trabalho prático (T1), peso 5

A média final do semestre será a própria média aritmética entre P1 e T1 e assim a nota mínima para aprovação na disciplina será $MF \geq 6,0$ (seis) e Frequência Suficiente (FS). (Art. 69 e 72 da Res. nº 17/CUn/1997).

O aluno com Frequência Suficiente (FS) e média das notas de avaliações do semestre MF entre 3,0 e 5,5 terá direito a uma nova avaliação no final do semestre (REC) de acordo com o art.70, § 2º. A Nota Final (NF) será calculada por meio da média aritmética entre a média das notas das avaliações parciais. (Art. 70 e 71 da Res. nº 17/CUn/1997).

Ao aluno que não comparecer às atividades práticas ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. nº 17/CUn/1997)

Observações:

Avaliação de recuperação

Não há avaliação de recuperação nas disciplinas de caráter prático que envolve atividades de laboratório. (Res.17/CUn/97).

Nova avaliação

O aluno, que por motivo de força maior e plenamente justificado, deixar de realizar atividades avaliativas previstas no plano de ensino, deverá formalizar pedido à Chefia do Departamento de Ensino ao qual a disciplina pertence, dentro do prazo de 3 (três) dias úteis, apresentando documentação comprobatória.

XI. CRONOGRAMA PRÁTICO

AULA (semana)	DATA		ASSUNTO
1	31/07/17	04/08/17	Apresentação do plano de ensino, site da disciplina, Introdução à FPGA, visão geral da disciplina. Hardware concorrente.
2	07/08/17	11/08/17	Introdução ao VHDL; Definição de Entidade e Arquitetura; Operadores Lógicos e Aritméticos; Tipos de dados.
3	14/08/17	18/08/17	Testes em componentes criados em VHDL; Qsim; ModelSim.
4	21/08/17	25/08/17	Componentes; Formas de conexão interna.
5	28/08/17	01/09/17	Concorrência em VHDL; Comandos concorrentes básicos.
6	04/09/17	08/09/17	Lista de sensibilidade; Comandos sequenciais básicos.
7	11/09/17	15/09/17	Conceitos de sincronismo; Flip-flops; Registradores; Máquinas de estado.
8	18/09/17	22/09/17	Declaração GENERIC; Comando GENERATE; Esquema de geração IF; Comando LOOP; Comando WHILE.
9	25/09/17	29/09/17	Bibliotecas; Pacotes; Ordem de análise na síntese.
10	02/10/17	06/10/17	Read-only memory (ROM); Random-access memory (RAM).
11	09/10/17	13/10/17	PROVA P1
12	16/10/17	20/10/17	Desenvolvimento de processador customizado
13	23/10/17	27/10/17	Desenvolvimento de processador customizado
14	30/10/17	03/11/17	Execução do Trabalho T1
15	06/11/17	10/11/17	Execução do Trabalho T1
16	13/11/17	17/11/17	Execução do Trabalho T1
17	20/11/17	24/11/17	Execução do Trabalho T1
18	27/11/17	01/12/17	Defesa de trabalho T1 Prova REC Fechamento das notas

Obs: O calendário está sujeito a pequenos ajustes de acordo com as necessidades das atividades desenvolvidas.

XII. FERIADOS PREVISTOS PARA O SEMESTRE 2017.2:

DATA	
07/09/2017	Independência do Brasil (Quinta)
08/09/2017	Dia não letivo (Sexta)
09/09/2017	Dia não letivo (Sábado)
12/10/2017	Nossa Senhora Aparecida (Quinta)
13/10/2017	Dia não letivo (Sexta)
14/10/2017	Dia não letivo (Sábado)
28/10/2017	Dia do Servidor Público (Lei nº 8.112 – art. 236) (Sábado)
02/11/2017	Finados (Quinta)
15/11/2017	Proclamação da República (Quarta)
07/09/2017	Independência do Brasil (Quinta)

XIII. BIBLIOGRAFIA BÁSICA

1] HAMBLEN, James O; HALL, Tyson S; FURMAN, Michael D. **Rapid Prototyping of Digital Systems**. Boston: Springer Science+Business Media, LLC, 2008. *(disponível on-line no pergamum)*
[2] Pedroni - Circuit Design with VHDL; MIT Press, 2005. *(6 exemplares disponíveis na biblioteca 21.38.049.77 P372e)*

[3] D'Amore, R. - VHDL: Descrição e Síntese de Circuitos Digitais, LTC, 2005 *(19 exemplares na biblioteca)*

XIV. BIBLIOGRAFIA COMPLEMENTAR:

[4] Digital_McLogic_Design – Livro disponível gratuitamente em http://www.ee.calpoly.edu/media/uploads/resources/Master_Digital_McLogic_Design_-_v2.01.pdf – (licença creative commons)

[5] Free Range VHDL – Livro disponível gratuitamente em <http://www.freerangefactory.org/>

[6] The Designer's Guide to VHDL 3 edição, Volume 3, Peter J. Ashenden ISBN: 978-0-12-088785-9 *(disponível no science direct)*

[7] Quartus II Introduction Using VHDL Designs, Altera, disponível em [:ftp://ftp.altera.com/up/pub/Altera_Material/11.0/Tutorials/VHDL/Quartus_II_Introduction.pdf](ftp://ftp.altera.com/up/pub/Altera_Material/11.0/Tutorials/VHDL/Quartus_II_Introduction.pdf)

[8] Getting Started with Altera's DE-Series Boards, Altera, disponível em: ftp://ftp.altera.com/up/pub/Altera_Material/10.1/Tutorials/Getting_Started_with_DE-series_boards.pdf

Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá.

XV. INFRAESTRUTURA E MATERIAS NECESSÁRIOS:

1. Computadores para os alunos com os softwares da disciplina instalados.
2. Espaço físico com mesas, cadeiras e tomadas em quantidades adequadas
3. Acesso à internet
4. Datashow que possa ser operado de forma segura, sem risco de acidentes
5. Quadro branco e canetas
6. Kit de desenvolvimento Altera Terasic DE0

Obs.: A indisponibilidade de infraestrutura/materiais listados pode causar prejuízos ao processo pedagógico, inviabilizando tanto as atividades dos docentes como as dos alunos, podendo, ainda, acarretar em cancelamento de aulas em último caso.

Professor da Disciplina

08/06/17

Aprovado pelo
departamento em

/ / 2017

Aprovado pelo colegiado do
curso de graduação em

/ / 2017