

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CENTRO TECNOLÓGICO DE JOINVILLE – CTJ  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA  
DE SISTEMAS ELETRÔNICOS – PPGESE**

Valdir Pedrinho de Tomin Junior

**INVERSOR MONOFÁSICO DE 5 NÍVEIS A CAPACITOR  
CHAVEADO ALIMENTADO EM CORRENTE**

Joinville

2019



Valdir Pedrinho de Tomin Junior

**INVERSOR MONOFÁSICO DE 5 NÍVEIS BASEADO EM  
CÉLULAS DE CAPACITOR CHAVEADO ALIMENTADO  
EM CORRENTE**

Prévia submetida ao Programa de Pós-Graduação em Engenharia de Sistemas Eletrônicos como critério de qualificação para a defesa de dissertação.

Orientador: Prof. Hugo Rolando Estofanero Larico, Dr.

Joinville  
2019





SERVIÇO PÚBLICO FEDERAL  
UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CENTRO TECNOLÓGICO DE JOINVILLE  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA DE SISTEMAS ELETRÔNICOS - PPGESE

### Avaliação de Exame de Qualificação

No dia **01/03/2019** a partir das **10:30h**, sala **U155**, Bloco **U** do Centro Tecnológico de Joinville da UFSC, reuniu-se a Banca Avaliadora de Exame de Qualificação composta pelos seguintes membros:

Nome	Instituição	Função
Prof. Dr. Alexandre Garro Brito	Universidade Federal de Santa Catarina	Presidente
Prof. Dr. Alessandro Luiz Batschauer	Universidade do Estado de Santa Catarina	Membro
Prof. Dr. Joselito Anastácio Heerd	Universidade do Estado de Santa Catarina	Membro

para a avaliação do Projeto de Pesquisa do estudante **Valdir Pedrinho de Tomin Junior**, orientado pelo **Prof. Hugo Rolando Estofanero Larico**, com trabalho intitulado **Inversor Monofásico de 5 Níveis a Capacitor Chaveado Alimentado em Corrente**.

Da avaliação da Banca, o estudante foi considerado  APROVADO ( ) REPROVADO no Exame de Qualificação.

Para o caso de reprovação, a Banca levou em conta os seguintes aspectos, que devem ser considerados pelo estudante para nova submissão de requerimento de Exame de Qualificação, nos termos da resolução específica vigente:

Nestes termos, assinam:

Presidente

Membro

Membro

Estudante



## RESUMO

Neste trabalho, um inversor monofásico de 5 níveis alimentado em corrente é apresentado. O circuito de potência é composto de duas pernas, essas pernas são células de capacitor chaveado de 3 níveis, onde cada perna cria uma tensão média instantânea positiva ou negativa, de acordo com a exigência da forma de onda sinusoidal de saída. O princípio de funcionamento e uma análise matemática do circuito ideal no modo de condução contínua são apresentados. A extensão da análise matemática para a topologia completa mostra que a topologia e a modulação proposta promovem uma equalização natural das tensões sobre os capacitores, portanto, um controle de balanço de tensão é desnecessário. Resultados experimentais foram obtidos com um protótipo de 115 W, tensão de entrada de 48 V, tensão de saída de 110  $V_{rms}/50$  Hz, frequência de comutação de 10 kHz. Os resultados iniciais corroboraram a análise matemática já desenvolvida. Contudo, a análise matemática da topologia completa ainda está em desenvolvimento e a etapa atual consiste na modelagem em espaço de estados. Obtidas as equações de estado, serão equacionados os esforços nos semicondutores e obtidas as equações para o dimensionamento dos componentes passivos. O ganho estático, o modelo dinâmico e o modelo de perdas por resistência equivalente (em função da frequência) também serão obtidos. Um segundo protótipo de 1 kVA, alimentado em 514 V e tensão de saída de 220  $V_{rms}/50$  Hz, será confeccionado, a fim de validar as equações de dimensionamento de componentes e os modelos matemáticos. O segundo protótipo deve operar em malha fechada, com um controlador baseado na norma  $\mathcal{H}_\infty$ .

**Palavras-chave:** Conversor DC-AC, Inversor multinível, Capacitor chaveado, Inversor monofásico.



## LISTA DE FIGURAS

Figura 2.1	Inversores multiníveis, pesquisa realizada pelos principais produtores de acionamento para máquinas, a maioria operando em médias tensões (3,3kV – 6,6kV)(MESQUITA, 2010).....	24
Figura 2.2	Conversor NPC trifásico de 3 níveis (BATSCHAUER, 2011).....	25
Figura 2.3	Conversor NPC trifásico de 5 níveis (BATSCHAUER, 2011).....	26
Figura 2.4	Conversor ANPC trifásico de 3 níveis (BRUCKNER; BERNET; GULDNER, 2005).....	28
Figura 2.5	Perna de um conversor NPC de 5 níveis sem ligação série de diodos (BATSCHAUER, 2011).....	29
Figura 2.6	Conversor FC trifásico de 3 níveis (RECH, 2018).....	29
Figura 2.7	Conversor FC monofásico de 3 níveis (RECH, 2018)...	30
Figura 2.8	Conversor FC trifásico de 5 níveis (BATSCHAUER, 2011)	31
Figura 2.9	Conversor CHB trifásico de 5 níveis (COLAK; KABALCI; BAYINDIR, 2011).....	33
Figura 2.10	Conversor CHBSC trifásico de $n$ níveis (BATSCHAUER, 2011).....	35
Figura 2.11	Conversor MMC trifásico de $n$ níveis (BATSCHAUER, 2011).....	37
Figura 2.12	Conversor T-Type trifásico de 3 níveis (SCHWEIZER; KOLAR, 2013).....	38
Figura 2.13	Conversor T-Type trifásico de 5 níveis (SALEM; ABIDO, 2018).....	39
Figura 2.14	Conversor Híbrido (LEON; VAZQUEZ; FRANQUELO, 2017)	40
Figura 2.15	Conversor ST-Type (SAMADAEI et al., 2018).....	41
Figura 2.16	Célula básica de capacitor chaveado (BEN-YAAKOV, 2012).....	42
Figura 2.17	Sub-circuitos equivalentes do SCC da Fig. 2.16 (BEN-YAAKOV, 2012).....	43
Figura 2.18	Circuito equivalente de carregamento de capacitor genérico (BEN-YAAKOV, 2012).....	43
Figura 2.19	Possíveis perfis de carga do capacitor $C_i$ da Fig. 2.19 (BEN-YAAKOV, 2012).....	44

Figura 2.20	Comportamento da resistência equivalente em função do parâmetro $\beta_i$ (BEN-YAAKOV, 2012).	45
Figura 2.21	Dependência da resistência equivalente em função da frequência normalizada (BEN-YAAKOV; EVZELMAN, 2009).	45
Figura 2.22	Célula <i>Fibonacci</i> (VECCHIA, 2016)	46
Figura 2.23	Conversores com células de <i>Fibonacci</i> (VECCHIA, 2016)	48
Figura 2.24	Célula <i>Dickson</i> (VECCHIA, 2016)	48
Figura 2.25	Conversor abaixador com células <i>Dickson</i> (SARAFIANOS; STEYAERT, 2015)	49
Figura 2.26	Célula <i>Cockcroft-Walton</i> e conversor <i>Cockcroft-Walton</i> multiplicador de tensão (VECCHIA, 2016)	49
Figura 2.27	Conversor <i>Cockcroft-Walton</i> com alto ganho (MÜLLER; KIMBALL, 2016)	50
Figura 2.28	Célula <i>Valley-Fill</i> (VECCHIA, 2016)	50
Figura 2.29	Conversor baseado na célula <i>Valley-Fill</i> (LAM; JAIN, 2008)	50
Figura 2.30	Célula básica do capacitor chaveado cascadeado (BA-BAEI; GOWGANI, 2014)	51
Figura 2.31	Conversor a capacitor chaveado cascadeado (ZAMIRI et al., 2016)	51
Figura 2.32	Célula <i>Ladder</i> (VECCHIA, 2016)	52
Figura 2.33	Conversor AC-AC baseado em células <i>Ladder</i> (LAZZARIN et al., 2012)	52
Figura 2.34	Célula P2 (PENG, 2001)	53
Figura 2.35	Perna de inversor P2 de 5 níveis (PENG, 2001)	53
Figura 3.1	Inversor monofásico de 5 níveis alimentado em corrente – CFSC5LSPH	56
Figura 3.2	Estado de comutação S11	57
Figura 3.3	Estado de comutação S10	58
Figura 3.4	Estado de comutação S01	58
Figura 3.5	Estado de comutação S00	59
Figura 3.6	Máquinas de estados da modulação	61
Figura 3.7	Protótipo	68
Figura 3.8	Principais formas de onda do conversor proposto	70
Figura 3.9	Auto-balanço das tensões nos capacitores	70
Figura 3.10	Tensão $AB$ e tensão sobre um interruptor	71

## LISTA DE TABELAS

Tabela 2.1	Tensão de saída por perna para os diferentes estados de comutação do NPC de 3 níveis .....	25
Tabela 2.2	Tensão de saída por perna para os diferentes estados de comutação do ANPC de 3 níveis .....	28
Tabela 2.3	Tensão de saída por perna para os diferentes estados de comutação do FC de 3 níveis .....	30
Tabela 2.4	Número de componentes por perna das topologias NPC, FC e CHB .....	34
Tabela 2.5	Tensão de saída por perna para os diferentes estados de comutação do NPP de 3 níveis .....	38
Tabela 3.1	Especificações de projeto .....	69
Tabela 3.2	Componentes de potência .....	69
Tabela 4.1	Sequências de chaveamento por região de operação do conversor .....	74



## LISTA DE ABREVIATURAS E SIGLAS

MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor . . . . .	19
IGBT	Insulated Gate Bipolar Transistor . . . . .	19
GTO	Gate Turn-Off Thyristor . . . . .	19
UPS	Uninterruptible power supplies . . . . .	20
SC	Switched capacitor . . . . .	21
DC	Direct current . . . . .	21
AC	Alternate current . . . . .	21
EMI	Electromagnetic interference . . . . .	23
NPC	Neutral Point Clamped . . . . .	24
FACTS	Flexible alternate current transmission systems . . . . .	27
PWM	Pulse width modulation . . . . .	27
ANPC	Active Neutral Point Clamped . . . . .	27
FC	Flying Capacitor . . . . .	28
CHB	Cascaded H-bridge . . . . .	32
CHBSC	Cascaded H-bridge using sub-cells . . . . .	34
MMC	Modular multilevel converter . . . . .	36
DSP	Digital signal processor . . . . .	36
FPGA	Field programmable gate array . . . . .	36
HVDC	High-voltage DC . . . . .	36
NPP	Neutral point piloted . . . . .	37
SCC	Switched capacitor converter . . . . .	41
E <sup>2</sup> PROM	Electrically-erasable programmable read-only memory . . . . .	41
DC-DC	Conversão de corrente contínua para corrente contínua . . . . .	42
ESR	Equivalent series resistance . . . . .	42
CC	Complete charge . . . . .	43
PC	Partial charge . . . . .	43
NC	No charge . . . . .	43
PFC	Power factor correction . . . . .	49
AC-AC	Conversão de corrente alternada para corrente alterna . . . . .	52
DC-AC	Conversão de corrente contínua para corrente alterna . . . . .	53
CFSC5LSPHi	Current-Fed Switched-Capacitor 5-Level Single-Phase Inverter . . . . .	55

CCM	Continuous conduction mode.....	61
LMI	Linear Matrix Inequalities.....	75

## LISTA DE SÍMBOLOS

$v_o$	Tensão de saída instantânea . . . . .	25
$V_{cc}$	Tensão de barramento (contínua) . . . . .	25
$u_x$	Sinal de comando de interruptores . . . . .	55
$\overline{u_x}$	Sinal de comando complementar a $u_x$ . . . . .	55
$S_x$	Interruptor $x$ . . . . .	55
$C_x$	Capacitor $x$ . . . . .	55
$V_{c_x}$	Tensão no capacitor $x$ . . . . .	56
$\langle V_{AB} \rangle_{T_s}$	Tensão média instantânea entre os pontos $A$ e $B$ (ver Fig. 3.1) . . . . .	59
$v_A$	Tensão sobre o ponto $A$ (ver Fig. 3.1) . . . . .	59
$v_B$	Tensão sobre o ponto $B$ (ver Fig. 3.1) . . . . .	59
$D$	Razão cíclica . . . . .	59
$t_{on}$	Tempo que o interruptor está em condução . . . . .	59
$T_s$	Período de chaveamento . . . . .	59
$f_s$	Frequência de chaveamento . . . . .	59
$D_a$	Razão cíclica maior que 0,5 . . . . .	60
$D_b$	Razão cíclica menor que 0,5 . . . . .	60
$f_{LC_o}$	Frequência do filtro de saída . . . . .	61
$R_i$	Resistência observada na entrada do CFSC5LSPH . . . . .	62
$I_i$	Corrente de entrada . . . . .	62
$I_o$	Corrente de saída . . . . .	62
$I_{s_x}$	Corrente média no interruptor $x$ . . . . .	62
$R_s$	Resistência de condução de um interruptor . . . . .	63
$R_c$	Resistência série-equivalente de um capacitor . . . . .	63
$i_{c_x}$	Corrente instantânea no capacitor $x$ . . . . .	63
$\overline{R}_s$	Resistência de condução de um interruptor normalizada por $R_i$ . . . . .	64
$\overline{R}_c$	Resistência série-equivalente de um capacitor normalizada por $R_i$ . . . . .	64
$L_i$	Indutor de entrada . . . . .	68
$L_o$	Indutor de saída . . . . .	68
$C_o$	Capacitor de saída . . . . .	68

$N_p$	Número de espiras no primário do autotransformador.....	68
$N_s$	Número de espiras no secundário do autotransformador....	68
$R_o$	Resistência de carga.....	68
$P_o$	Potência de saída.....	69
$V_i$	Tensão de entrada.....	69
$V_{o_{rms}}$	Tensão eficaz de saída.....	69
$v_{L_{o_{rms}}}$	Queda de tensão eficaz no indutor.....	69
$V'_{o_{rms}}$	Tensão eficaz de saída na carga.....	69
$f_o$	Frequência de saída .....	69

## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	19
<b>2 TOPOLOGIAS MULTINÍVEIS E TOPOLOGIAS A CAPACITOR CHAVEADO</b> .....	23
2.1 TOPOLOGIAS MULTINÍVEIS .....	23
<b>2.1.1 Principais Topologias Multiníveis</b> .....	24
2.1.1.1 Neutral-point-camped .....	24
2.1.1.2 Flying Capacitor .....	28
2.1.1.3 Cascaded H-bridge .....	32
2.1.1.4 Modular Multilevel .....	36
2.1.1.5 T-Type .....	37
2.1.1.6 Conversores Híbridos e Conversores Assimétricos .....	40
2.2 CAPACITORES CHAVEADOS .....	41
<b>2.2.1 Tipos de Células de Capacitor Chaveado</b> .....	46
2.2.1.1 Célula <i>Fibonacci</i> .....	46
2.2.1.2 Célula <i>Dickson</i> .....	47
2.2.1.3 Célula <i>Cockcroft-Walton</i> .....	47
2.2.1.4 Célula <i>Valley-Fill</i> .....	49
2.2.1.5 Célula <i>Ladder</i> .....	52
2.2.1.6 Célula P2 .....	53
<b>3 ANÁLISE TEÓRICA E RESULTADOS PRÉVIOS</b> ...	55
3.1 ESTADOS DE COMUTAÇÃO .....	55
3.1.0.1 Estado S11 .....	55
3.1.0.2 Estado S10 .....	56
3.1.0.3 Estado S01 .....	57
3.1.0.4 Estado S00 .....	57
3.2 MODULAÇÃO .....	57
3.3 ANÁLISE ESTÁTICA .....	61
<b>3.3.1 Meia Ponte: Modo de Operação Positivo (<math>D \geq 0.5</math>)</b> .....	62
<b>3.3.2 Meia Ponte: Modo de Operação Negativo (<math>D &lt; 0.5</math>)</b> .....	65
<b>3.3.3 Ponte Completa: Equalização das Tensões dos Capacitores</b> .....	67
3.4 RESULTADOS EXPERIMENTAIS .....	68
<b>4 ENCAMINHAMENTO DO TRABALHO</b> .....	73
<b>REFERÊNCIAS</b> .....	77
<b>APÊNDICE A – Cronograma</b> .....	87



# 1 INTRODUÇÃO

Fontes de energia elétrica alternativas, como a solar e a eólica, ganham cada vez mais espaço no cenário mundial e devem, cada vez mais, ser uma parcela significativa da produção de energia elétrica. Por exemplo, houve um superavit na produção de energia elétrica na Alemanha, em dezembro de 2017, na semana do Natal, por conta da produção oriunda de fontes eólicas e solares. Os preços chegaram abaixo de zero no final de semana do Natal em função do clima quente (favorecendo a produção de usinas solares) e dos fortes ventos na região das usinas eólicas, gerando um crédito de US\$60,00 por megawatt-hora aos clientes. Não sendo este um caso isolado uma vez que em países como Bélgica, França, Reino Unido, Holanda, Suíça e na própria Alemanha já houve eventos similares (FEITOSA JR., 2018). Contudo, a conexão destas fontes de energia elétrica à rede elétrica de distribuição ou transmissão de energia elétrica necessita de um condicionamento. Conversores estáticos são utilizados para adequar os níveis de tensão e frequência de transmissão das fontes geradoras para às redes de distribuição ou transmissão.

Segundo Barbi (2005), conversores estáticos são circuitos eletrônicos responsáveis pelo controle do fluxo de potência entre dois ou mais sistemas elétricos. Conversores estáticos são circuitos não lineares, pois usam de um conjunto de interruptores comutando em frequências relativamente altas (em relação à frequência da onda sintetizada), segundo uma sequência determinada por circuitos de comando (modulação), para gerar a forma de onda desejada na saída. Os conversores estáticos permitem o processamento de energia entre sistemas de corrente contínua e/ou corrente alternada, operando em diferentes níveis de tensão, corrente ou mesmo em frequência diferentes. Os conversores estáticos são objeto de estudo da eletrônica de potência, que teve seu advento com o desenvolvimento de dispositivos semicondutores ou interruptores (tiristores, diodos, triacs MOSFETs, IGBTs, GTOs) e está em constante desenvolvimento tanto em novas tecnologias para semicondutores, quanto no desenvolvimento de novas estruturas que visam atender essas novas demandas na conversão de energia.

A abrangência de conversores estáticos, de modo geral, é limitada pelas tecnologias dos dispositivos empregados, em especial os semicondutores. A tendência, iniciada há algumas décadas atrás, é que os conversores estáticos passem a processar cada vez mais potência, o que esbarra nos níveis de tensão e corrente dos dispositivos emprega-

dos. Dessa forma, a potência nominal dos conversores convencionais acaba sendo limitada. Aplicações que extrapolam os limites físicos desses conversores convencionais demandam a utilização de várias unidades de processamento de energia (LEON; VAZQUEZ; FRANQUELO, 2017). Contudo, no intuito de contornar este problema, nessas últimas cinco décadas, topologias de conversores estáticos com maior potência nominal, mas utilizando dispositivos limitados, vem sendo desenvolvidas na academia e sendo aplicadas no meio industrial. Via de regra, essas topologias são concebidas como a junção de dispositivos semicondutores em arranjos que criam níveis intermediários de tensão, aumentando a tensão gerenciada pelo conversor e, por conseguinte, a potência. Isso é o precursor de uma nova classe de conversores, os conversores multiníveis (LEON; VAZQUEZ; FRANQUELO, 2017).

Além de serem topologias que podem operar em níveis de tensão e potência mais elevados, conversores multiníveis são atrativos para aplicações que envolvem a integração de energias renováveis com os sistemas de transmissão / distribuição (usinas solares e eólicas), veículos elétricos (ou sistemas veiculares auxiliares em veículos de grande porte), sistemas de fornecimento ininterrupto de energia (uninterruptible power supply – UPS) *etc.* A seguir são elencadas algumas características gerais dos conversores multiníveis que os tornam atrativos para as aplicações já citadas (LEON; VAZQUEZ; FRANQUELO, 2017):

- Grande capacidade de processamento de energia, sendo uma boa alternativa para o acionamento de motores de média tensão, normalmente bombas ou ventiladores;
- Degraus na forma de onda de saída, o que implica em menor distorção harmônica;
- Redução do tamanho de filtros de saída;
- Emprego de dispositivos que operam em menores níveis de tensão e/ou corrente e, por conseguinte, menores perdas por condução;
- Menores derivadas de tensão sobre a carga;
- Modularidade (em algumas topologias);
- Maior disponibilidade (tolerância a falhas).

Contudo, apresentam maior complexidade nas técnicas de controle e modulação, maiores níveis de isolamento de tensão do barramento, necessidade de balanço de tensão e roteamento complexo de sinais de comutação (LEON; VAZQUEZ; FRANQUELO, 2017). De forma generalista,

pode-se dizer que conversores multiníveis são empregados em sistemas que demandam grande processamento de energia ou que necessitam de maior qualidade na onda processada.

Também impulsionados pela demanda das energias renováveis e sistemas que necessitam do seu próprio processamento de energia, emergiram estudos sobre conversores que utilizam o princípio de capacitores chaveados (switched capacitor – SC) (VECCHIA, 2016). Capacitores chaveados foram inicialmente estudados em aplicações de baixa potência, em geral como subsistemas de alimentação ou conversão de energia em circuitos integrados. Nos últimos anos aplicações em corrente contínua (direct current – DC) e em corrente alternada (alternate current – AC) em alta potência vêm sendo estudadas, bem como propostas de novas estruturas a capacitor chaveado. Células a capacitor chaveado, em geral, operam com múltiplos níveis de tensão, podendo se enquadrar como conversores multiníveis. Estas células podem ser multiplicadoras ou divisoras de tensão, dependendo da configuração utilizada e da conexão da fonte de alimentação e da carga (VECCHIA, 2016). Circuitos a capacitor chaveado tendem a dividir os esforços de tensão nos semicondutores do estágio de potência por meio dos níveis intermediários provenientes dos capacitores. Além disso, as tensões nos capacitores, para qualquer estágio de comutação do circuito tendem a ser impostas pelo restante do circuito, dessa forma os capacitores não ficam em flutuação. Outro ponto positivo de estruturas a capacitor chaveado, conforme discutido por Kimball, Krein e Cahill (2005), Ben-Yaakov (2012), Mayo-Maldonado, Rosas-Caro e Rapisarda (2015), Ben-Yaakov e Evzelman (2009), é que as perdas dessas estruturas podem ser modeladas por resistência equivalentes, as quais são dependentes da frequência de chaveamento e tendem a diminuir conforme a frequência aumenta. Contudo, o controle em malha fechada desses circuitos ainda é um desafio (VECCHIA, 2016).

A contribuição desse trabalho consiste no estudo de uma topologia multinível que faz uso de um par de estruturas de 3 níveis de tensão constituídas por células P2 (PENG, 2001), em uma estrutura monofásica de 5 níveis de tensão, abaixadora de tensão e alimentada em corrente. Trata-se de uma topologia inversora, isto é, conversão de energia elétrica de um sistema DC para um sistema AC. A topologia proposta apresenta o auto-balanceamento das tensões dos capacitores de grampeamento e do barramento, sendo desnecessário o uso de técnicas específicas para o controle de tensão nos capacitores, o que é um desafio para muitas das topologias multiníveis. O objetivo principal é estudar o efeito da alimentação em corrente para a modulação proposta,

afim de verificar o impacto nos esforços de corrente nos interruptores e nos demais componentes passivos. Os objetivos específicos são listados abaixo:

- Encontrar a técnica de modulação mais eficiente para a estrutura (que gera menores perdas);
- Analisar as etapas de comutação do conversor;
- Modelar o conversor em espaço de estados;
- Expandir a análise por espaço de estados e equacionar os esforços de corrente e tensão nos dispositivos;
- Expandir a análise por espaço de estados e obter a curva do ganho estático do conversor;
- Expandir a análise por espaço de estados e obter um modelo de perdas do circuito a partir da resistência equivalente do circuito em função da frequência, afim de encontrar a curva de eficiência da estrutura em função da frequência de chaveamento;
- Expandir a análise por espaço de estados e obter o modelo dinâmico do conversor linearizado pela técnica de pequenos sinais;
- Projetar um conversor e um controlador robusto;
- Validar experimentalmente o modelo estático, o modelo dinâmico e a curva de eficiência.

No Capítulo 2 é feita a revisão bibliográfica e do estado da arte a cerca das principais topologias multiníveis e das principais estruturas a capacitor chaveado. No Capítulo 3 é apresentado o equacionamento inicial já desenvolvido, justificando o uso de duas células P2 para uma estrutura monofásica, bem como a prova matemática do auto-balanceamento das tensões nos capacitores. Além disso são apresentados alguns resultados experimentais prévios. No Capítulo 4 é discutido o encaminhamento do trabalho, onde é detalhado o estado de desenvolvimento atual e os próximos passos a serem tomados.

## 2 TOPOLOGIAS MULTINÍVEIS E TOPOLOGIAS A CAPACITOR CHAVEADO

Neste capítulo é apresentado e discutido o estado da arte de das principais topologias multiníveis e topologias básicas a capacitores chaveados. A topologia proposta é composta por duas pernas, que são estruturas de 3 níveis de tensão que empregam células P2(PENG, 2001). Por se tratar de uma topologia multinível em tensão, a discussão se limitará às topologias multiníveis em tensão.

### 2.1 TOPOLOGIAS MULTINÍVEIS

Segundo (PEREIRA, 2008), as topologias multiníveis diferem das demais nos níveis de tensão de entrada e de saída do conversor estático: em um conversor convencional há apenas dois níveis de tensão e em um conversor multinível há pelo menos três. Conforme Pereira (2008), inversores multiníveis são definidos como fixadores de níveis de tensão em que a tensão sintetizada na saída é função dos níveis de tensão existentes na entrada e da comutação dos interruptores. Em geral, esses níveis de tensão são obtidos por divisores capacitivos ou por fontes isoladas.

De acordo com Pomilio (2012), os inversores multiníveis apresentam algumas vantagens como: possibilidade de conexão direta com a rede (sem a necessidade do uso de transformadores), baixa taxa de emissões eletromagnéticas (electromagnetic interference – EMI) e possibilidade de obtenção de níveis mais altos de processamento de potência, sem a necessidade de algum tipo de associação. Outras vantagens, conforme Pereira (2008), são menores tensões aplicadas nos interruptores, maior rendimento, justificado por menores perdas de comutação, maior frequência de comutação na saída, menor conteúdo harmônico e resposta dinâmica mais rápida.

Segundo Wu (2006), no meio industrial, grande parte de aplicações com inversores multiníveis está relacionada ao acionamento de máquinas em média tensão, com potências entre 0,4 MW a 40 MW, na faixa de tensões entre 2,3 kV a 13,8 kV.

No quadro da Fig. 2.1 é apresentado um condensado dos principais inversores multiníveis no mercado, na qual é feita a discriminação das técnicas utilizadas, bem como os tipos de interruptores empregados e a faixa de potência de operação (em MVA). Desse quadro cabe

salientar que a maioria dos inversores desse tipo operam na ordem de alguns *MVA*, sendo um valor de potência expressivo. Nota-se também o uso do interruptor IGBT na maioria dos artefatos. Segundo Braga (2017), esses interruptores são atrativos por se caracterizarem pela alta impedância de entrada - que reduz perdas - e grande capacidade de corrente.

Configuração do Inversor	Componente de chaveamento	Faixa de Potencia (MVA)	Fabricante
<i>Two-Level Voltage</i>	IGBT	1,4-7,2	Alstom (VDM5000)
NPC ( <i>Neutral Point Clamped</i> )	GCT	0,3-5 3-27	ABB (ACS1000) (AC6000)
	GCT	3-20	General Electric (Innovation Series MV-SP)
	IGBT	0,6-7,2	Siemens (SIMOVERT-MV)
	IGBT	0,3-2,4	General Electric – Toshiba (Dura – Bilts MV)
CHC ( <i>Cells H-bridge Cascaded</i> )	IGBT	0,3-22	ASI Robicon (Perfect Harmony)
		0,5-6	Toshiba (TOSVERT - MV)
		0,45-7,5	General Electric (Innovation MV-GP Type H)
<i>NPC/ H-bridge inverter</i>	IGBT	0,4-4,8	Toshiba (TOSVERT 300MV)
<i>Flying-capacitor inverter</i>	IGBT	0,3-8	Alstom (VDM6000 Symphony)
<i>PWM Current Source Inverter</i>	<i>Symmetrical</i> GCT	0,2MVA – 20MVA	Rockwell Automation (PowerFlex 7000)
<i>Load Commutated Inverter</i>	SCR	>10MVA	Siemens (SIMOVERT S)
		>10MVA	ABB (LCI)
		>10MVA	Alstom(ALSPA SD7000)

Figura 2.1 – Inversores multiníveis, pesquisa realizada pelos principais produtores de acionamento para máquinas, a maioria operando em médias tensões (3,3kV – 6,6kV)(MESQUITA, 2010)

### 2.1.1 Principais Topologias Multiníveis

A seguir são apresentadas as principais topologias multiníveis existentes.

#### 2.1.1.1 Neutral-point-clamped

O inversor de ponto neutro grampeado (Neutral Point Clamped – NPC) foi proposto por Baker (1980), na versão com 3 níveis de tensão, sob o nome de *Switching Circuit*. A topologia ficou conhecida pelo nome de NPC após ter sido apresentada por Nabae, Takahashi e

Akagi (1981). Na versão mais básica do conversor (3 níveis de tensão) cada perna do conversor consiste de uma coluna de quatro interruptores (com diodos em anti-paralelo) e dois diodos ligados a um ponto médio ou neutro, obtido através de um divisor de tensão capacitivo, como pode ser visto na Fig. 2.2.

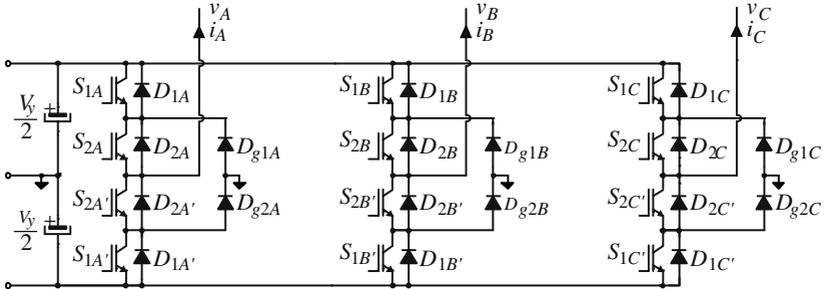


Figura 2.2 – Conversor NPC trifásico de 3 níveis (BATSCHAUER, 2011)

Em função do ponto médio cada perna pode sintetizar 3 níveis de tensão. O acionamento dos interruptores é através de pares complementares, onde os interruptores externos formam um par e os internos outro. Na Tabela 2.1 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores (em notação Booleana) para uma perna do circuito da Fig. 2.2.

Tabela 2.1 – Tensão de saída por perna para os diferentes estados de comutação do NPC de 3 níveis

$S_{1x}$	$S_{2x}$	$S'_{1x}$	$S'_{2x}$	$v_o$
1	1	0	0	$V_{cc}/2$
0	1	0	1	0
0	0	1	1	$-V_{cc}/2$

$V_{cc}$  é a tensão de barramento e  $v_o$  é tensão de saída instantânea.

A estrutura do conversor pode ter o número de níveis ampliados através da adição de interruptores e diodos, seguindo o mesmo padrão da estrutura de 3 níveis. Na Fig. 2.3 é apresentada uma estrutura de 5 níveis, ilustrando como ocorre a escalada do número de níveis.

A tecnologia à volta deste conversor já é bastante madura, sendo comercializado por um grande número de companhias pelas últimas

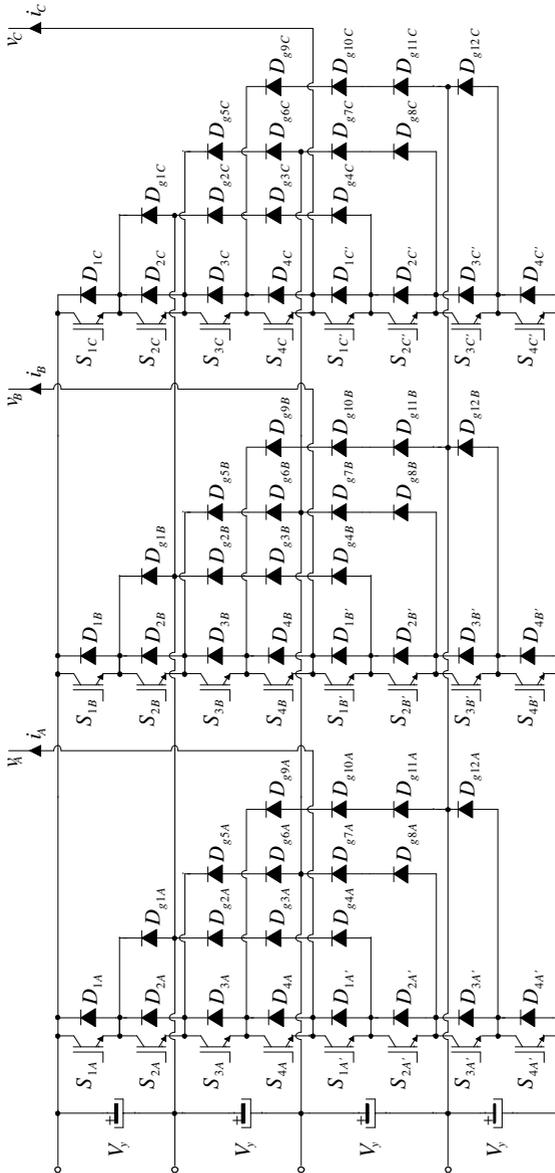


Figura 2.3 – Conversor NPC trifásico de 5 níveis (BATSCHAUER, 2011)

duas décadas. Conversores NPC, geralmente de 3 níveis, são largamente

aplicados em sistemas flexíveis de transmissão de corrente alternada (flexible alternate current transmission systems – FACTS) e *drivers* de motores (ventiladores, bombas, compressores *etc*) (LEON; VAZQUEZ; FRANQUELO, 2017).

Apresenta como vantagens a redução da tensão de bloqueio sobre os interruptores,  $V_{cc}/2$  para a estrutura de 3 níveis, redução do conteúdo harmônico (em relação às topologias clássicas de 2 níveis) e menores derivadas de tensão sobre a carga (NABAE; TAKAHASHI; AKAGI, 1981). Ainda, não exige técnicas complexas de modulação e controle, normalmente usam-se técnicas de *level-shifted PWM* ou modulação por largura de pulso com múltiplas portadoras defasadas em tensão e técnicas de injeção de sequência de zero no controle dos desbalanços de tensão DC para topologias de 3 níveis (LEON; VAZQUEZ; FRANQUELO, 2017).

Como desvantagem pode-se mencionar os desbalanços de tensão DC, facilmente sanáveis com alguma técnica de balanceamento de tensão para topologias de 3 níveis, mas que exigem soluções complexas para topologias com maior quantidade de níveis. O aumento da tensão de bloqueio sobre os interruptores e sobre os capacitores e a assimetria na operação dos componentes de potência levando a perdas desiguais nesses componentes também são fatores negativos. Como solução à assimetria de operação foi proposto por Bruckner, Bernet e Guldner (2005) uma topologia batizada de Active Neutral Point Clamped converter (ANPC) ou conversor de ponto neutro ativamente grampeado.

O conversor ANPC consiste na substituição dos diodos de grampeamento por interruptores. Esses interruptores possibilitam 4 novos estados de comutação para uma tensão de saída nula. Isso cria caminhos para a corrente de fase ser conduzida tanto pelo caminho superior quanto pelo caminho inferior em ambos os sentidos. Na Tabela 2.2 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores para uma perna do conversor ANPC ilustrado na Fig. 2.4.

Yuan e Barbi (2000) propuseram uma estrutura que evita a associação em série dos diodos de potência para estruturas com mais de 3 níveis e garante que os esforços de tensão estejam limitados à tensão individual dos capacitores de barramento. Na Fig. 2.5 é mostrada uma perna do conversor proposto por Yuan e Barbi (2000).

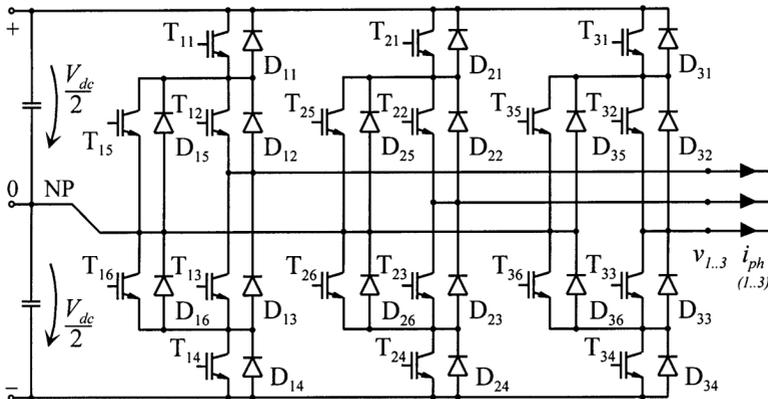


Figura 2.4 – Conversor ANPC trifásico de 3 níveis (BRUCKNER; BERNET; GULDNER, 2005)

Tabela 2.2 – Tensão de saída por perna para os diferentes estados de comutação do ANPC de 3 níveis

$T_{X1}$	$T_{X2}$	$T_{X3}$	$T_{X4}$	$T_{X5}$	$T_{X6}$	$v_o$
1	1	0	0	0	1	$V_{cc}/2$
0	1	0	0	1	0	0
0	1	0	1	1	0	0
1	0	1	0	0	1	0
0	0	1	0	0	1	0
0	0	1	1	1	0	$-V_{cc}/2$

### 2.1.1.2 Flying Capacitor

O inversor a capacitor flutuante ou capacitor de grampeamento (Flying Capacitor – FC) foi proposto por (MEYNARD; FOCH, 1992). Na versão mais básica do conversor (3 níveis de tensão) cada perna do conversor consiste de uma coluna de quatro interruptores (com diodos em anti-paralelo) e um capacitor ligado aos interruptores externos, como pode ser visto na Fig. 2.6.

Através da comutação dos interruptores os capacitores são colocados em série com a carga (ou uma das fases desta) ou em flutuação

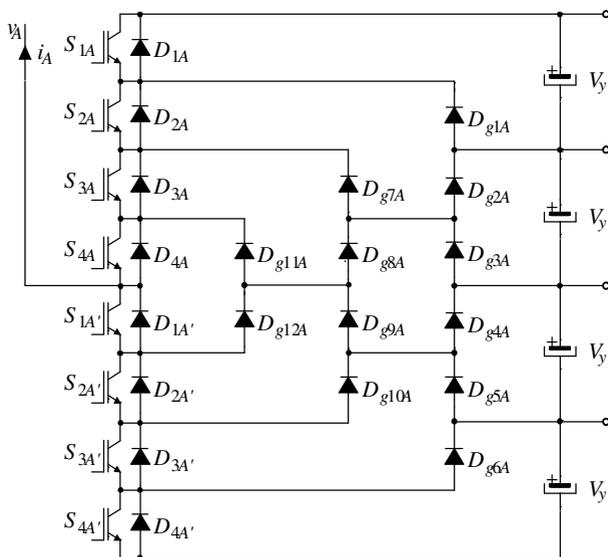


Figura 2.5 – Perna de um conversor NPC de 5 níveis sem ligação série de diodos (BATSCHAUER, 2011)

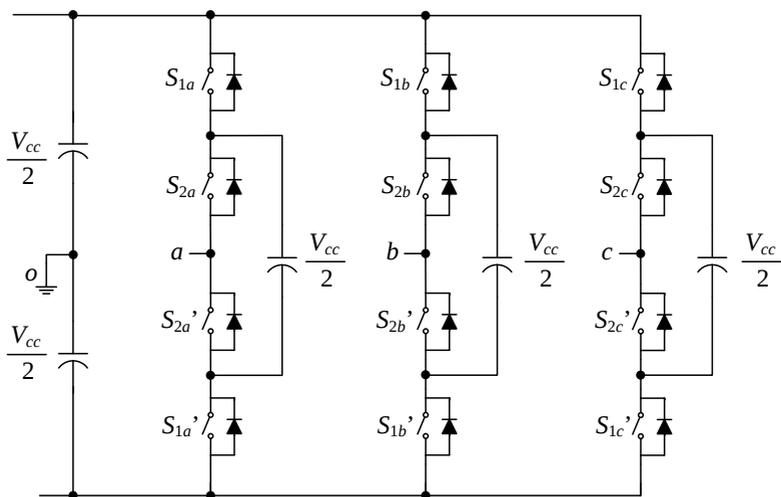


Figura 2.6 – Conversor FC trifásico de 3 níveis (RECH, 2018)

(um dos terminais do capacitor é desconectado). Quando o capacitor é colocado em série com a carga, as tensões do ponto médio do barramento e do capacitor se anulam, gerando tensão nula na saída. Quando em flutuação o capacitor permite que a tensão plena do barramento seja imposta à carga, nos dois sentidos (ou meia tensão de barramento para o caso monofásico). Na Fig. 2.7 é mostrado um conversor FC monofásico de 3 níveis. Na Tabela 2.3 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores para o conversor FC ilustrado da Fig. 2.7.

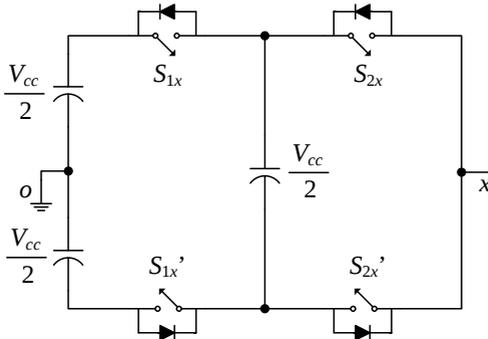


Figura 2.7 – Conversor FC monofásico de 3 níveis (RECH, 2018)

Tabela 2.3 – Tensão de saída por perna para os diferentes estados de comutação do FC de 3 níveis

$S_{1x}$	$S_{2x}$	$S'_{1x}$	$S'_{2x}$	$v_o$
1	1	0	0	$V_{cc}/2$
1	0	0	1	0
0	1	1	0	0
0	0	1	1	$-V_{cc}/2$

A estrutura pode ter o número de níveis ampliados, através de adição da interruptores e capacitores, seguindo o mesmo padrão da estrutura de 3 níveis. Na Fig. 2.8 é apresentada uma estrutura de 5 níveis, ilustrando como ocorre a escalada do número de níveis.

O FC também é uma tecnologia amadurecida, estando presente no mercado desde da década de 1990, ao ser patenteado pela ALSTOM

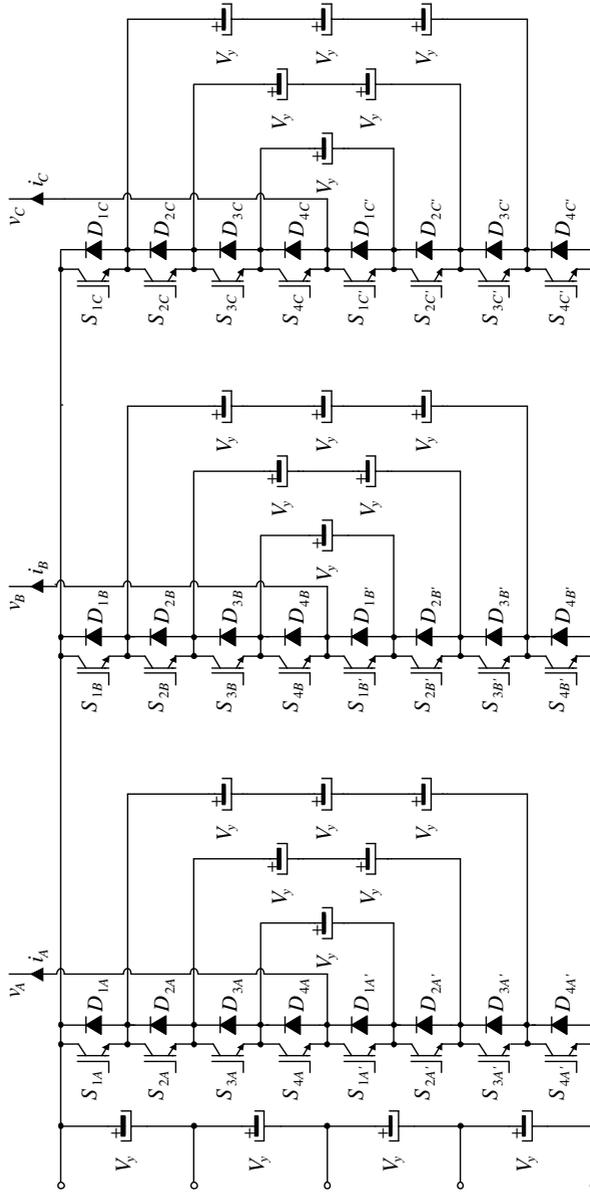


Figura 2.8 – Conversor FC trifásico de 5 níveis (BATSCHAUER, 2011)

(ALSPA VDM6000) e ocupa o mesmo nicho que o NPC: FACTS e *drivers* de motor (LEON; VAZQUEZ; FRANQUELO, 2017).

Da mesma forma que ocorre com o NPC, aumentar o número de níveis implica no crescimento quadrático dos dispositivos de grampeamento, se observado que os componentes estarão sujeitos aos mesmos níveis de tensão (diodos ou capacitores de grampeamento passam a ser ligados em série para dividir os esforços), como pode ser visto na Tabela 2.4. Contudo, os capacitores de grampeamento garantem o grampeamento de tensão em todos os interruptores, algo não garantido na topologia NPC devido às diferenças intrínsecas dos interruptores, como a capacitância. Além disso, a estrutura é tolerante a falhas, bastando um sistema de *bypass* para aumentar a disponibilidade do conversor.

Quando modulada por técnicas como *phase-shifted PWM* ou PWM deslocado em fase, a estrutura garante a equalização das perdas sobre os interruptores e tende a apresentar um balanço natural das tensões nos capacitores, entretanto a resposta dinâmica desse balanço de tensões é demasiada lenta e em função disso a topologia carece de estratégias dedicadas para o controle ou balanceamento das tensões dos capacitores de grampeamento (LEON; VAZQUEZ; FRANQUELO, 2017). Este problema está ligado a transferência de potência ativa, uma vez que as oscilações das tensões nos capacitores aumentam conforme a potência ativa transferida aumenta o que, por conseguinte, prejudica a qualidade da forma de onda de saída (KOURO et al., 2010).

Contudo, segundo Batschauer (2011), a maior quantidade de estados de operação que resultam na mesma tensão de saída (quando comparado ao NPC) permite o emprego de técnicas para o equilíbrio das tensões nos capacitores de barramento sem o aumento da distorção harmônica da tensão de saída.

### 2.1.1.3 Cascaded H-bridge

O conversor em cascata de ponte completa (Cascaded H-bridge – CHB) foi proposto por Baker e Bannister (1975). O conversor é constituído por associações em série de conversores ponte completa monofásicos ou ponte H, que são células com duas colunas de pares de interruptores, onde os interruptores externos são ligados a um barramento DC e os interruptores internos são ligados à carga, como pode ser visto na Fig. 2.9.

É uma estrutura extremamente modular, diferentemente do NPC e do FC, pois cada célula possui um barramento DC isolado, dessa

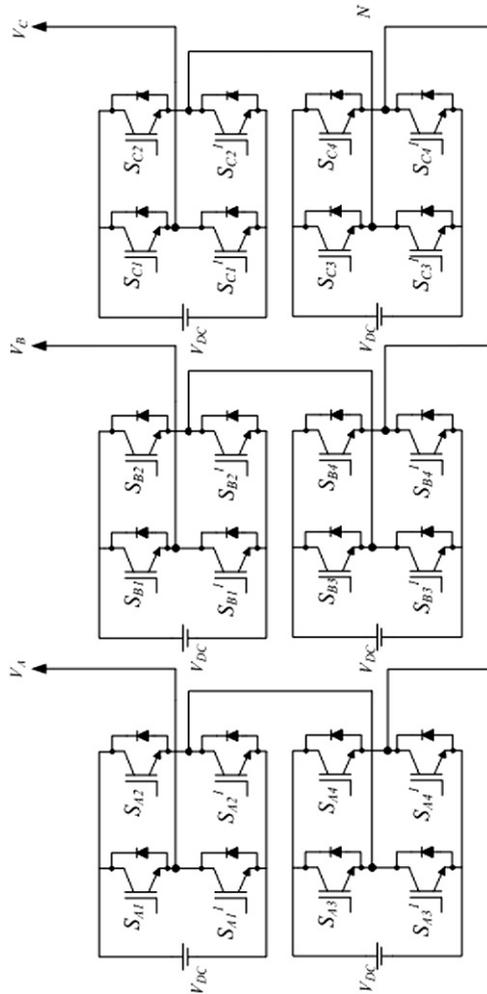


Figura 2.9 – Conversor CHB trifásico de 5 níveis (COLAK; KABALCI; BAYINDIR, 2011)

forma a escalada dos níveis se dá agregando novas células em série. A inserção de um módulo resulta no acréscimo de dois níveis de tensão na saída. Além disso, os esforços de tensão nos interruptores estarão limitados pelo barramento individual de cada célula. Isso evita a necessidade de ligar dispositivos de grampeamento (diodos ou capacitores) em série a fim de garantir uma igualdade de esforços de tensão sobre

todos os componentes.

Devido a esta modularidade é uma das topologias mais empregadas na indústria (WU, 2007). É uma topologia que rivaliza com o NPC e FC, sendo aplicada em FACTS e *drivers* de motor (LEON; VAZQUEZ; FRANQUELO, 2017).

Quando modulada por técnicas como *phase-shifted PWM*, a estrutura garante a equalização das perdas sobre os interruptores e apresenta baixa distorção harmônica (LEON; VAZQUEZ; FRANQUELO, 2017). O contraponto é a necessidade do uso de fontes isoladas (quando há transferência ativa de potência) e o fato de que acionamentos bidirecionais são caros e complexos, pois os capacitores de barramento apresentam maiores ondulações e esforços similares ao de estruturas monofásicas (BATSCHAUER, 2011).

Na Tabela 2.4 é apresentado um resumo do número de componentes por fase das topologias NPC, FC e CHB. É notório o crescimento quadrático para dispositivos das topologias NPC e FC, enquanto que para o CHB o crescimento é linear.

Tabela 2.4 – Número de componentes por perna das topologias NPC, FC e CHB

	NPC	FC	CHB
Interruptores e diodos em anti-paralelo	$2(n - 1)$	$2(n - 1)$	$2(n - 1)$
Diodos de grampeamento	$(n - 1)(n - 2)$	0	0
Capacitores de grampeamento	0	$(n - 1)(n - 2)/2$	0
Capacitores do barramento	$n - 1$	$n - 1$	$(n - 1)/2^*$
Fontes isoladas	0	0	$(n - 1)/2^*$

Onde  $n$  é o número de níveis.

Waltrich e Barbi (2009) propuseram uma topologia em cascata que utiliza sub-células meia-ponte (Cascaded H-bridge using sub-cells – CHBSC). A estrutura é mostrada na Fig. 2.10.

\*A estrutura utilizará fontes isoladas no lugar dos capacitores do barramento para a transferência ativa de potência.

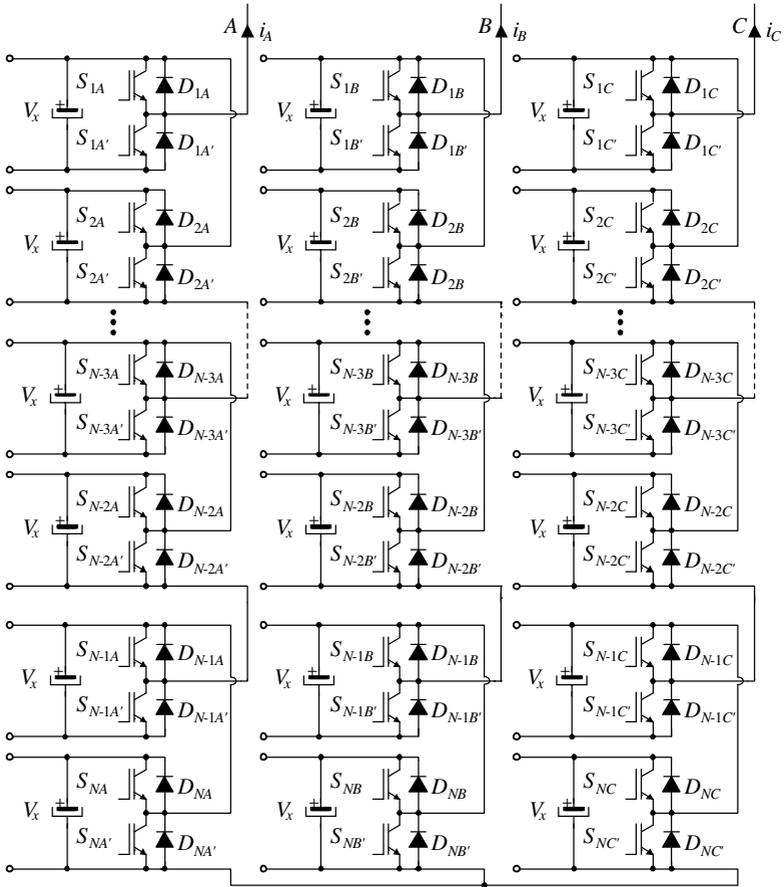


Figura 2.10 – Conversor CHBSC trifásico de  $n$  níveis (BATSCHAUER, 2011)

A célula básica do conversor CHBSC consiste de duas células meia-ponte de tal modo que cada célula básica consegue sintetizar 3 níveis de tensão, assim como no conversor CHB. Em função disso, para um mesmo número de níveis essa estrutura demanda o dobro de fontes isoladas (ou capacitores) que o conversor CHB.

Outras diferenças em relação ao conversor CHB são relativas ao processamento de energia e a frequência de ondulação no barramento. As sub-células processam apenas metade da energia que seria processada por uma célula de ponte completa. E, enquanto que a estrutura

CHB promove uma ondulação de tensão no dobro da frequência fundamental de saída, o conversor CHBSC promove uma ondulação na frequência da fundamental de saída.

#### 2.1.1.4 Modular Multilevel

O conversor modular multinível (modular multilevel converter – MMC) foi proposto por Lesnicar e Marquardt (2003). Esta topologia emprega pares de conversores meia-ponte associados em cascata, os quais são associados em dupla-estrela. Não há a necessidade da utilização de fontes de alimentação para cada uma das células, mesmo no caso de transferência de potência ativa, portanto as células são compostas por um par de interruptores e um capacitor. Na Fig. 2.11 é apresentada uma estrutura MMC.

O número de níveis ( $n$ ) da estrutura é dado em função da quantidade de células por perna ( $q_c$ ), segundo (2.1). Contudo, o aumento do número de níveis aumenta a complexidade do controle de balanceamento de tensões dos capacitores, o qual é feito através dos estados redundantes de comutação (BATSCHAUER, 2011). A estrutura necessita de um par de indutores junto ao ponto médio de cada perna em função dos eventuais desbalanços de tensão, o que idealmente não é necessário. O controle de balanceamento normalmente requer o uso de sistemas microcontrolados distribuídos e hierarquizados, processadores digitais de sinais (digital signal processor – DSP) e FPGAs para o gerenciamento dos dados e comunicação (LEON; VAZQUEZ; FRANQUELO, 2017).

$$n = 2(q_c - 1) \quad (2.1)$$

Este conversor é normalmente empregado em sistemas de transmissão de alta tensão em corrente contínua (high-voltage DC – HVDC) e sistemas de energia eólica, normalmente em sistemas *back-to-back*. Assim como o FC e CHB, o MMC é tolerante à falha de algumas células, desde que haja o devido sistema de *bypass*, característica relevante para sistemas de geração e transmissão de energia (LEON; VAZQUEZ; FRANQUELO, 2017).

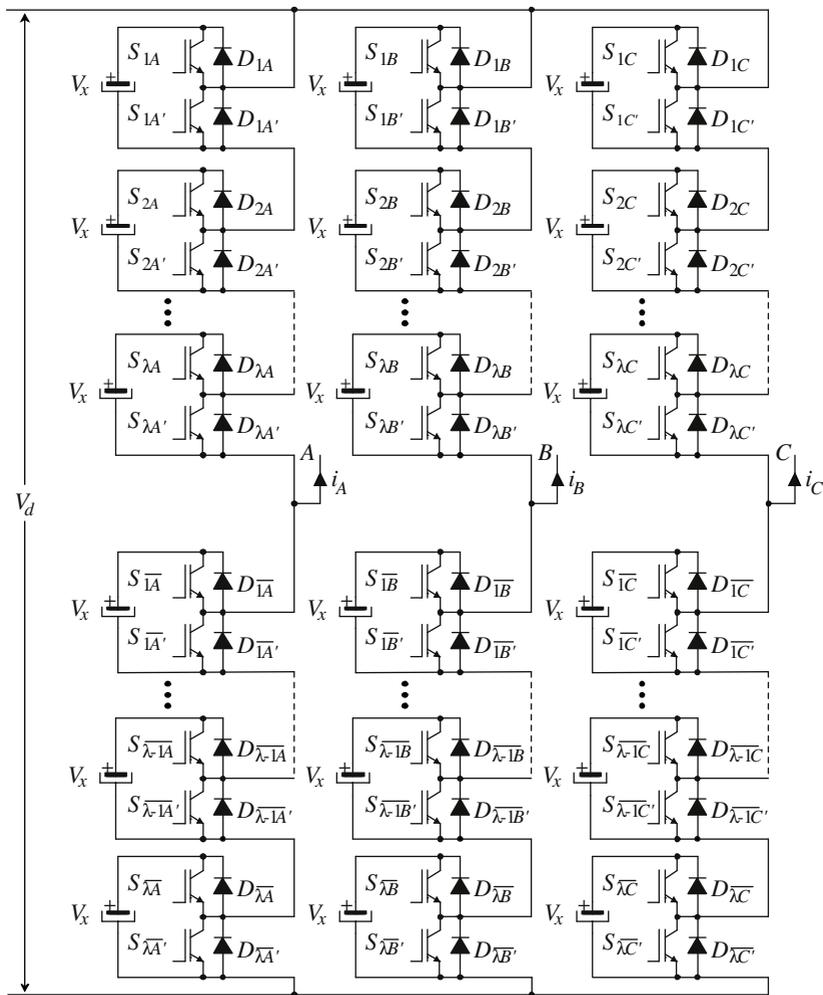


Figura 2.11 – Conversor MMC trifásico de  $n$  níveis (BATSCHAUER, 2011)

### 2.1.1.5 T-Type

O conversor tipo T ou de ponto neutro pilotado (neutral point piloted – NPP) foi proposto por Guenegues et al. (2009). Na versão mais básica do conversor (3 níveis de tensão) cada perna do conversor

consiste de uma coluna com dois interruptores (com diodos em anti-paralelo) e um interruptor bidirecional entre o ponto médio da perna com o ponto médio ou neutro do barramento DC, obtido através de um divisor de tensão capacitivo, formando um “T”, como pode ser visto na Fig. 2.12.

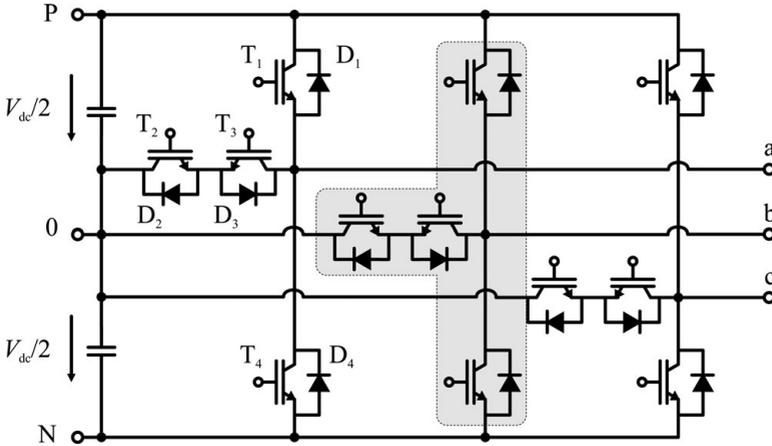


Figura 2.12 – Conversor T-Type trifásico de 3 níveis (SCHWEIZER; KOLAR, 2013)

O funcionamento da célula tipo T é bastante simples, sendo que um único interruptor é acionado por vez. Na Tabela 2.5 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores para uma perna do conversor T-Type ilustrado da Fig. 2.12.

Tabela 2.5 – Tensão de saída por perna para os diferentes estados de comutação do NPP de 3 níveis

$T_1$	$T_2/T_3$	$T_4$	$v_o$
1	0	0	$V_{cc}/2$
0	1	0	0
0	0	1	$-V_{cc}/2$

Assim como o FC e o NPC, o T-type também pode ter  $n$  níveis de tensão (SALEM; ABIDO, 2018; SCHWEIZER; KOLAR, 2013). Na Fig. 2.13 é mostrado um conversor T-type de 5 níveis, ilustrando a escalada do número de níveis.

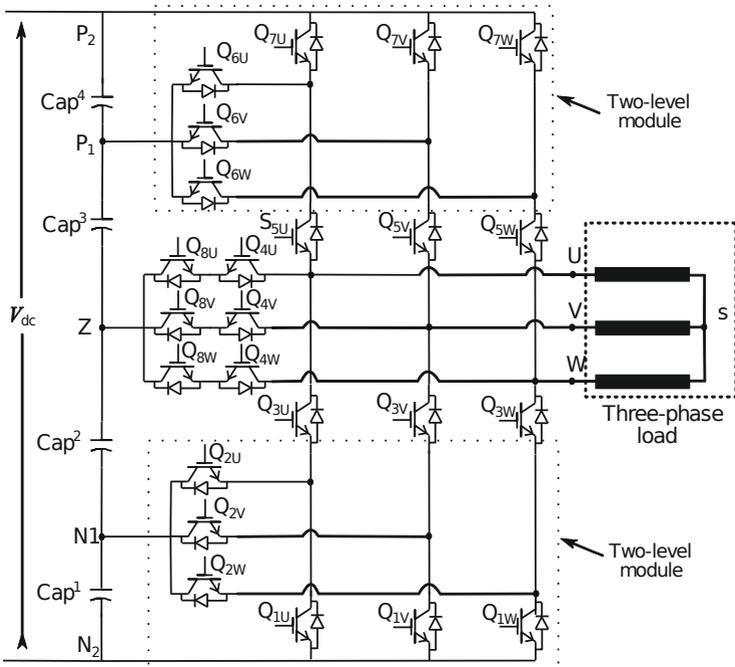


Figura 2.13 – Conversor T-Type trifásico de 5 níveis (SALEM; ABIDO, 2018)

Segundo Guennegues et al. (2009) o conversor NPP é uma melhoria direta do NPC, pois as perdas de comutação podem ser divididas por dois em comparação ao NPC e ainda pode ser aplicada à cargas que necessitam de correntes elevadas. Outro aspecto positivo, ainda segundo Guennegues et al. (2009), é que a topologia permite operar o conversor em maiores frequências em comparação ao NPC, o que permite uma redução no tamanho e volume dos filtros de saída (GUENNEGUES et al., 2009).

Apesar de ser um topologia recente, o T-Type já é aplicado em FACTS, em *drivers* para motores e em sistemas de geração fotovoltaica (LEON; VAZQUEZ; FRANQUELO, 2017). Pela similaridade com o conversor NPC, as mesmas técnicas de modulação e de controle são aplicáveis ao NPP. Contudo, essa topologia não tem grande potencial de uso em altas tensões, uma vez que dispositivos externos têm que bloquear toda a tensão do barramento DC (LEON; VAZQUEZ; FRANQUELO, 2017).

### 2.1.1.6 Conversores Híbridos e Conversores Assimétricos

Em geral, conversores multiníveis híbridos consistem na associação série de topologias distintas, capazes de gerar 3 ou mais níveis de tensão. Contudo, o conceito de multinível híbrido é empregado às topologias que utilizam de diferentes tecnologias de semicondutores, diferentes frequência de chaveamento ou diferentes técnicas de modulação nas subestruturas (MARIETHOZ; RUFER, 2004) ou mesmo subestruturas com diferentes números de fase ou subestruturas que processam energia em DC enquanto que outra parte operam em AC. Na Fig. 2.14 é mostrado um conversor híbrido, que consiste na associação de um ANPC e um FC.

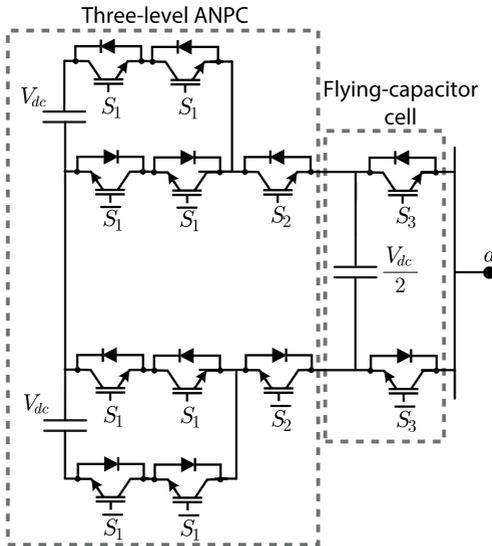


Figura 2.14 – Conversor Híbrido (LEON; VAZQUEZ; FRANQUELO, 2017)

Conversores multiníveis compostos por uma associação de topologias ou não, mas com diferentes tensões nas fontes de alimentação das células são caracterizados como conversores assimétricos. As diferentes tensões de alimentação das células permite sintetizar um número maior de níveis de tensão de saída com menor quantidade de fontes de alimentação (ou divisores de tensão). Por exemplo, um inversor CHB, com 3 células, com fontes isoladas com mesma tensão  $V_{cc}$  é capaz de gerar 7 níveis de tensão por perna; já o mesmo conversor com fontes de

alimentação com tensões de  $V_{cc}$ ,  $3V_{cc}$  e  $9V_{cc}$  é capaz de gerar 27 níveis de tensão. Contudo, dispositivos de diferentes células são submetidos a diferentes esforços de tensão, o que reduz a modularidade do conversor. Na Fig. 2.15 é mostrado um conversor assimétrico que utiliza 2 células T-Type apresentado por Samadaei et al. (2018).

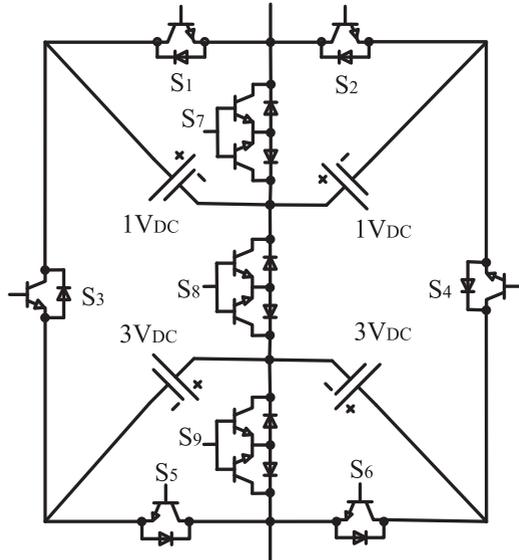


Figura 2.15 – Conversor ST-Type (SAMADAEI et al., 2018)

## 2.2 CAPACITORES CHAVEADOS

Os conversores a capacitores chaveados (switched capacitor converter – SCC) em geral são pequenos, leves, com alta eficiência e alta densidade de potência. Muitas topologias surgiram nas últimas décadas (LIN; CHUA, 1977; DICKSON, 1976; WONG; MAK; IOINOVICI, 1993; MAK; WONG; IOINOVICI, 1995; PENG; ZHANG, 2002; ZHANG et al., 2008; PENG; ZHANG; QIAN, 2003; KHAN; TOLBERT, 2007; WU et al., 2015; VECCHIA; LAZZARIN; BARBI, 2015).

Os capacitores chaveados vem sendo aplicados em diferentes níveis de potência. Na faixa dos miliwatts estruturas a capacitor chaveado são utilizadas como fonte de alimentação para blocos funcionais como memórias E<sup>2</sup>PROM e Flash (LIN; CHUA, 1977; DICKSON, 1976). Para

o nível de potência em vários watts os SCC podem fornecer vários níveis de tensão e corrente contínua em sistema de gerenciamento de energia. Tais aplicações incluem telefones celulares, tablets e computadores portáteis (WONG; MAK; IOINOVICI, 1993; MAK; WONG; IOINOVICI, 1995). Para níveis de potência mais altos, de centenas de watts até dezenas de kilowatts os SCC podem operar como um sistema automotivo de dupla voltagem 42/14V (PENG; ZHANG, 2002), conversor DC-DC frontal em veículos elétricos híbridos (LI et al., 2017) e conversores de uso geral (LI et al., 2017; VECCHIA; LAZZARIN; BARBI, 2015; DIAS; LAZZARIN, 2016).

Um circuito básico a capacitor chaveado é mostrado na Fig. 2.16. Nessa figura são representadas as resistências de condução dos interruptores ( $R_S$ ) e as resistências série-equivalente dos capacitores ( $R_{ESR}$ ). Conversores a capacitor chaveado são circuitos compostos unicamente por interruptores e capacitores no estágio de processamento de potência, isto é, não há elementos indutivos nesse estágio.

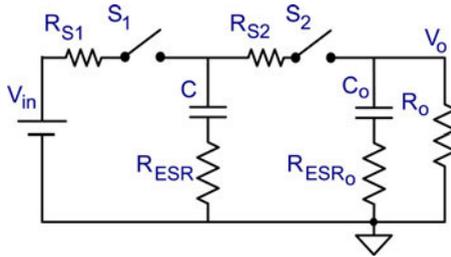


Figura 2.16 – Célula básica de capacitor chaveado (BEN-YAAKOV, 2012).

As etapas de operação de uma célula a capacitores chaveados resume-se a duas: carga, quando o capacitor armazena energia, corresponde ao estado em que o interruptor  $S_1$  está conduzindo e  $S_2$  está aberto (ver Fig. 2.16), como pode ser visto na Fig. 17(a); e descarga, quando o capacitor fornece energia à carga, corresponde ao estado em que o interruptor  $S_2$  está conduzindo e  $S_1$  está aberto (ver Fig. 2.16), como pode ser visto na Fig. 17(b).

Os tempos  $T_1$  e  $T_2$  representam a duração de cada estado de chaveamento e as resistências  $R_1$  e  $R_2$  representam a resistência total das malhas para cada estado de chaveamento:

$$R_1 = R_{S1} + R_{ESR} \quad (2.2)$$

$$R_2 = R_{S2} + R_{ESR} + R_{ESR_0} \quad (2.3)$$

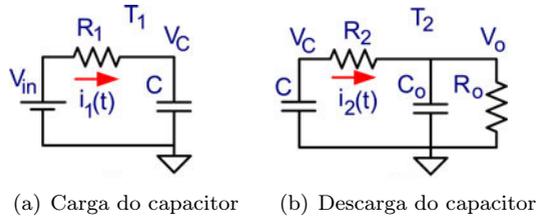


Figura 2.17 – Sub-circuitos equivalentes do SCC da Fig. 2.16 (BEN-YAAKOV, 2012).

Ambos os circuitos da Fig. 2.17 podem ser representados por um circuito genérico de carga, mostrado na Fig. 2.18.

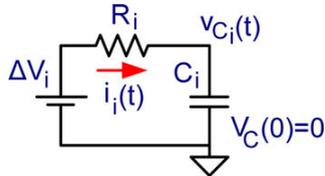


Figura 2.18 – Circuito equivalente de carregamento de capacitor genérico (BEN-YAAKOV, 2012).

Dependendo da relação da constante de tempo do circuito da Fig. 2.18 ( $R_i C_i$ ) e do período de comutação ( $T_i$ ), existem três possíveis perfis para a corrente no capacitor  $C_i$  (BEN-YAAKOV, 2012), como pode ser visto na Fig. 2.19.

- Quando  $T_i \gg R_i C_i$  ocorrerá a carga/descarga completa do capacitor  $C_i$  (complete charge – CC), quando a corrente no capacitor  $C_i$  será uma exponencial decrescente que atinge o zero antes do término do período  $T_i$  (ver Fig. 19(a));
- Quando  $T_i \approx R_i C_i$  ocorrerá a carga/descarga parcial do capacitor  $C_i$  (partial charge – PC), quando a corrente no capacitor  $C_i$  será uma exponencial decrescente, mas não atinge o zero durante o período  $T_i$ . A carga é interrompida e inicia-se a descarga do capacitor – e vice versa, como mostrado na Fig. 19(b);
- Quando  $T_i \ll R_i C_i$  não ocorre carga/descarga do capacitor  $C_i$  (no charge – NC). A corrente no capacitor pode ser considerada

constante durante todo o período  $T_i$ , como pode ser visto na Fig. 19(c).

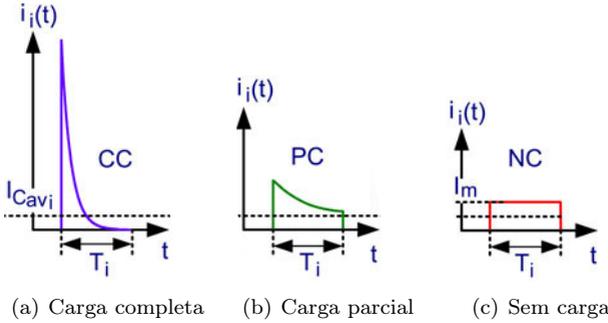


Figura 2.19 – Possíveis perfis de carga do capacitor  $C_i$  da Fig. 2.19 (BEN-YAAKOV, 2012).

Conforme apresentado por Ben-Yaakov e Evzelman (2009), a potência média dissipada ( $P_i$ ) por um dado sub-circuito  $i$  (representado genericamente na Fig. 2.18), durante um período  $T_i$  pode ser expressa por  $P_i = (I_{C_i})^2 R_{e_i}$  e a resistência equivalente ( $R_{e_i}$ ) pode ser expressa por:

$$R_{e_i} = \left\{ \frac{1}{2f_s C_i} \cdot \frac{1 + e^{-\beta_i}}{1 - e^{-\beta_i}} \right\}, \quad \beta_i = \frac{T_i}{R_i C_i} \quad (2.4)$$

Ben-Yaakov e Evzelman (2009) expandem (2.4) via série de Taylor e obtêm (2.5) para NC e (2.6) para CC.

$$R_{e_i NC} C = R_i \frac{T_s}{T_i} = \frac{R_i}{k_{m_i}} \quad (2.5)$$

$$R_{e_i CC} C = \frac{1}{2f_s C_i} \quad (2.6)$$

Na Fig. 2.20 é mostrado o comportamento da resistência equivalente em função do parâmetro  $\beta_i$ . Os pontos A e B, na Fig. 2.20, são de interesse de uma proposta de modelagem apresentada por Ben-Yaakov e Evzelman (2009), mas não são de interesse para este trabalho. Como pode ser observado na Fig. 2.20, operar no modo de carga completa não é desejável, uma vez que a eficiência da estrutura acaba prejudicada, já que  $R_e$  aumenta e, por conseguinte, a potência dissipada também aumenta. Em termos de eficiência é interessante que o conversor a capacitor chaveado opere em NC ou em PC, neste último estando o mais

próximo da fronteira com o modo NC quanto possível.

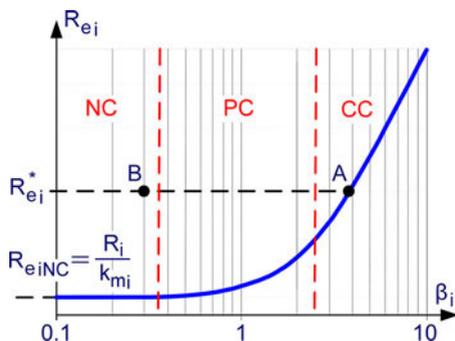


Figura 2.20 – Comportamento da resistência equivalente em função do parâmetro  $\beta_i$  (BEN-YAAKOV, 2012).

Na Fig. 2.21 é dada outra perspectiva desse fenômeno, são apresentadas curvas  $R_e \times f_s$  (resistência equivalente  $\times$  frequência de chaveamento) para diferentes valores de razão cíclica ( $D$ ) com os capacitores do SCC operando no modo CC. É possível observar que a resistência equivalente decresce ao passo que as condições de operação vão se aproximando do modo PC, isto é, em função do aumento da frequência de chaveamento ( $f_s$ ).

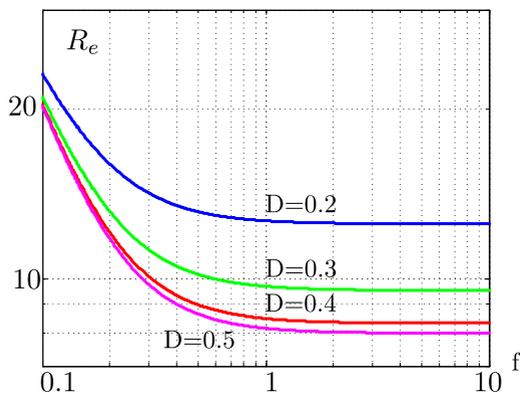


Figura 2.21 – Dependência da resistência equivalente em função da frequência normalizada (BEN-YAAKOV; EVZELMAN, 2009).

Vecchia (2016) propõe a seguinte relação:

$$f_s \tau = f_s (R_S + R_{ESR}) \approx 0,5 \quad (2.7)$$

para que o projeto de um SCC seja adequado. Vecchia (2016) leva em consideração que os componentes de potência possuem imprecisões da ordem dos 5 aos 10% quanto aos valores nominais, considera que o aumento de temperatura do encapsulamento dos interruptores provocará mudanças significativas na resistência de condução desses interruptores, gerando imprecisão nos cálculos e argumenta que não convém aumentar o valor numérico da igualdade (2.7), pois o ganho de eficiência não seria significativo, injustificando um aumento de volume do conversor ou um aumento da frequência de comutação.

## 2.2.1 Tipos de Células de Capacitor Chaveado

A seguir serão apresentados os tipos básicos de células de capacitor chaveado. A classificação é baseada na classificação apresentada por Vecchia (2016).

### 2.2.1.1 Célula *Fibonacci*

A célula *Fibonacci* é composta por três interruptores, comandados por dois sinais complementares e um capacitor, como pode ser visto na Fig. 2.22. O chaveamento permite comutar o capacitor entre dois estágios vizinhos (outras células de *Fibonacci*, fonte ou carga), colocando-o em série com a fonte e a carga; ou o capacitor é comutado entre um nó e o terra, colocando-o em paralelo a um outro estágio.

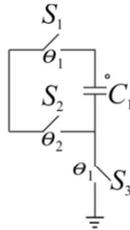


Figura 2.22 – Célula *Fibonacci* (VECCHIA, 2016)

O ganho estático de um conversor baseado nessa célula corres-

ponde à sequência de *Fibonacci* (uma sucessão de números que obedecem um padrão em que cada elemento subsequente é a soma dos dois anteriores) e ao número  $N$  de estágio que compõem o conversor. Para topologias elevadores de tensão o ganho será diretamente proporcional ao número de *Fibonacci*  $F(N + 2)$ , onde  $N$  é número de capacitores. Para topologias abaixadoras de tensão, o ganho do conversor será inversamente proporcional ao número de *Fibonacci*:  $1/F(N + 2)$  (UENO et al., 1991; EGUCHI et al., 2012).

Na Fig. 23(a) é mostrado um conversor elevador de tensão. O capacitor  $C_1$  fica sob a tensão de alimentação do circuito,  $V_{IN}$ . As tensões em  $C_2$  e  $C_3$  são, respectivamente,  $2V_{IN}$  e  $3V_{IN}$ , pois o capacitor  $C_2$  fica sob a soma das tensões da fonte e do capacitor  $C_1$ ; o capacitor  $C_3$  fica sob a soma das tensões dos capacitores  $C_1$  e  $C_2$ . A saída do sistema fica sob a soma das tensões dos capacitores  $C_2$  e  $C_3$ , portanto a tensão de saída será  $V_o = 5V_{IN}$ .

Na Fig. 23(b) é mostrado um conversor abaixador de tensão. O capacitor  $C_1$  fica sob  $3/5$  da tensão de alimentação do circuito,  $V_{IN}$ , pois fica sob a diferença de tensão da fonte pela tensão no capacitor  $C_2$ . O capacitor  $C_2$  fica sob  $2/5$  da tensão de alimentação, pois o capacitor  $C_2$  fica sob a soma do capacitor  $C_3$  e da carga. O capacitor  $C_3$  fica sob  $1/5$  da tensão de alimentação, pois está em paralelo com a carga.

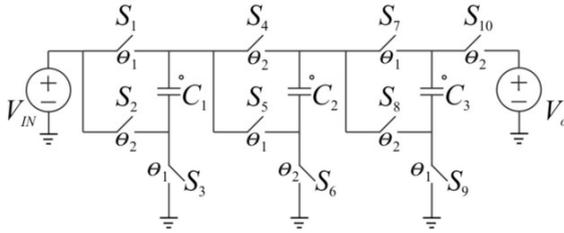
### 2.2.1.2 Célula *Dickson*

É uma célula multiplicadora de tensão desenvolvida para circuitos integrados de baixa potência (DICKSON, 1976). Sarafianos e Steyaert (2015) apresentaram um conversor *Dickson* modificado para obter conversores DC-DC capacitivos de ampla faixa de entrada. Semelhantemente às células de *Fibonacci* e *Valley-Fill*, essa topologia não promove uma divisão igualitária de tensão entre os componentes e pode ser implementada com uso de diodos, a exemplo da célula *CockCroft-Walton* (VECCHIA, 2016). Na Fig. 2.24 é mostrada a célula básica *Dickson*.

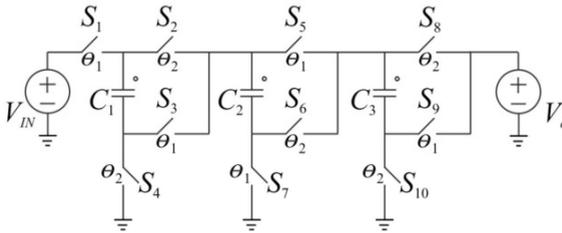
Na Fig. 2.25 é mostrado um conversor divisor de tensão proposto por Sarafianos e Steyaert (2015) que utiliza células *Dickson*.

### 2.2.1.3 Célula *CockCroft-Walton*

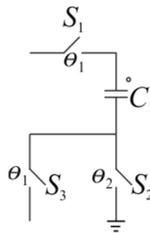
A célula *CockCroft-Walton* é uma célula composta unicamente por componentes passivos (capacitores e diodos). É uma estrutura re-



(a) Conversor elevador de tensão



(b) Conversor abaixador de tensão

Figura 2.23 – Conversores com células de *Fibonacci* (VECCHIA, 2016)Figura 2.24 – Célula *Dickson* (VECCHIA, 2016)

tificadora. Os conversores baseados na células *Cockcroft-Walton* são ditos multiplicadores de tensão ou elevadores de tensão, isto é, maior será a tensão quanto maior for o número de estágios (células *Cockcroft-Walton*). São uma alternativa aos conversores que utilizam magnéticos para obterem o ganho desejado, sendo de projeto menos complexo, mais leves e menos volumosos (MÜLLER; KIMBALL, 2016). Outra característica positiva da estrutura é a distribuição igualitária dos esforços de tensão para todos os componentes (MÜLLER; KIMBALL, 2016). Na Fig. 26(a) é mostrada a célula básica *Cockcroft-Walton* e na Fig. 26(b)

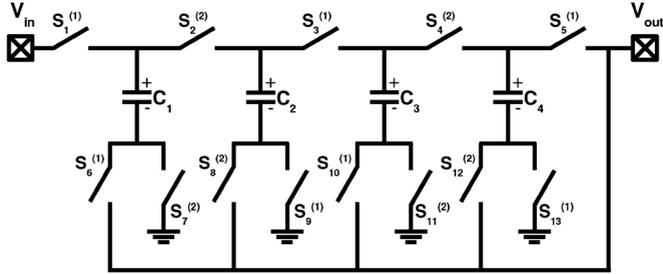
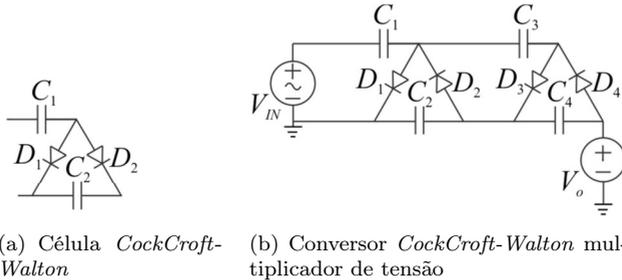


Figura 2.25 – Conversor abaixador com células *Dickson* (SARAFIANOS; STEYAERT, 2015)

um conversor *Cockcroft-Walton* multiplicador de tensão.



(a) Célula *Cockcroft-Walton*.

(b) Conversor *Cockcroft-Walton* multiplicador de tensão

Figura 2.26 – Célula *Cockcroft-Walton* e conversor *Cockcroft-Walton* multiplicador de tensão (VECCHIA, 2016)

Müller e Kimball (2016) apresentaram um conversor baseado na célula *Cockcroft-Walton*, com alto ganho e alimentado em corrente. O conversor pode ser visto na Fig. 2.27.

#### 2.2.1.4 Célula *Valley-Fill*

São células geralmente usadas na correção do fator de potência (power factor correction – PFC) para *drivers* de lâmpadas (WANG; ZHANG; QIU, 2017; LAM; JAIN, 2008). Esta célula não utiliza de componentes ativos, semelhante à célula *Cockcroft-Walton*. É composta por dois capacitores e três diodos, como pode ser visto na Fig. 2.28. Assim como as células de *Fibonacci* e *Dickson*, não promove uma divisão igualitária de tensão entre os componentes. Seu funcionamento consiste na

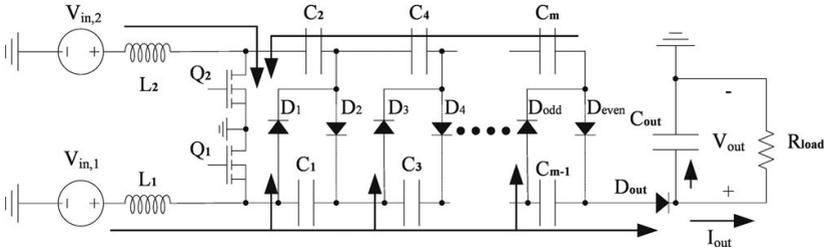


Figura 2.27 – Conversor *Cockcroft-Walton* com alto ganho (MÜLLER; KIMBALL, 2016)

carga dos capacitores quando estes estão em série e na descarga dos mesmo quando em paralelo. Na Fig. 2.29 é mostrada a topologia proposta por Lam e Jain (2008), que utiliza uma célula *Valley-Fill* em um dos estágios de potência.

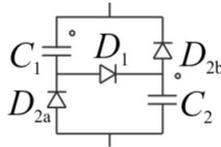


Figura 2.28 – Célula *Valley-Fill* (VECCHIA, 2016)

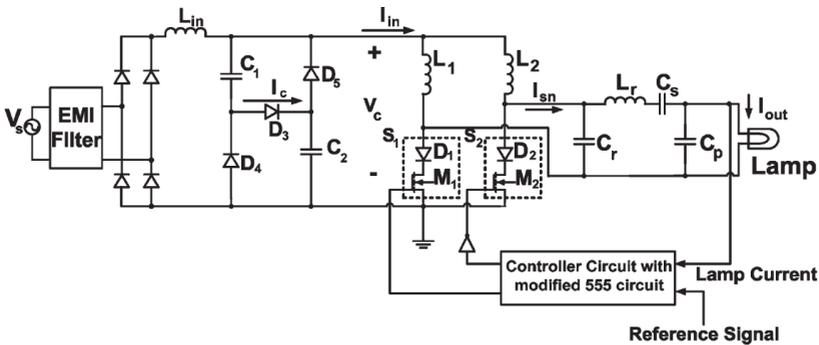


Figura 2.29 – Conversor baseado na célula *Valley-Fill* (LAM; JAIN, 2008)

Foi proposto por Babaei e Gowgani (2014) uma célula de comutação ativa muito similar à célula *Valley-Fill*, nomeada de "unidade

básica“, em tradução livre. Como pode ser visto na Fig. 30(a), a célula é composta por uma fonte de alimentação, a qual pode ser a saída de outros estágios com a mesma célula, um capacitor, dois interruptores e um diodo. A célula comuta de forma similar à célula *Valley-Fill*, ligando o capacitor em paralelo (carregado-o) ou em série (descarregando-o), como pode ser visto nas Figs. 30(b) e 30(c), respectivamente.

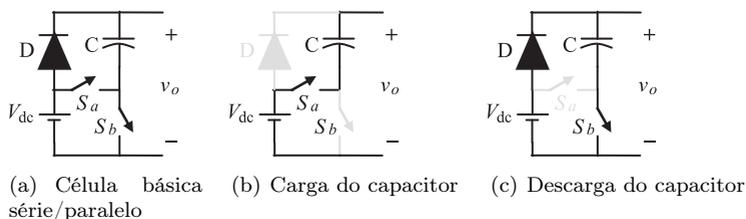


Figura 2.30 – Célula básica do capacitor chaveado cascateado (BABAEI; GOWGANI, 2014)

O conversor proposto por Zamiri et al. (2016), que utiliza essa célula com comutação ativa, é mostrado na Fig. 2.31. Trata-se de uma estrutura que pode ser ligada em cascata, permitindo alcançar múltiplos níveis.

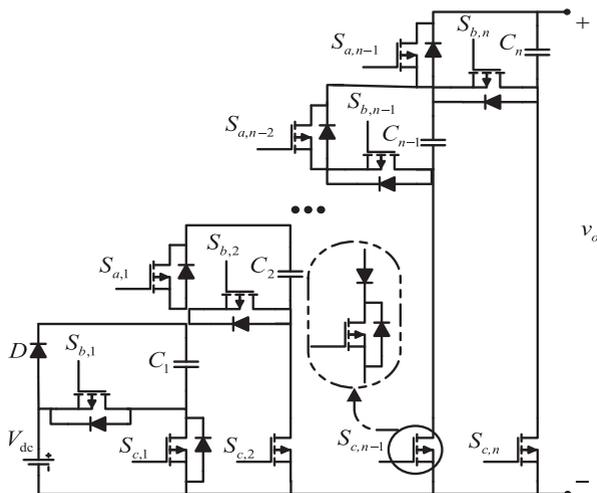


Figura 2.31 – Conversor a capacitor chaveado cascateado (ZAMIRI et al., 2016)

### 2.2.1.5 Célula *Ladder*

A célula *Ladder*, que pode ser vista na Fig. 2.32 é uma célula aplicável a elevadores de tensão. O ganho da estrutura é incrementado através do cascadeamento das células básicas. Os esforços de tensão são distribuídos igualmente entre os semicondutores e capacitores do estágio de potência. A grande desvantagem dessa estrutura é o elevado número de capacitores e interruptores.

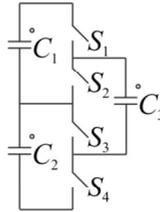


Figura 2.32 – Célula *Ladder* (VECCHIA, 2016)

Na Fig. 2.33 é mostrado um conversor que emprega a célula *Ladder*.

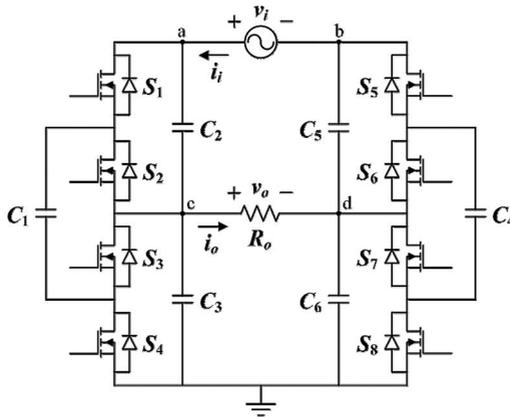


Figura 2.33 – Conversor AC-AC baseado em células *Ladder* (LAZZARIN et al., 2012)

Esta célula se mostra bastante versátil, sendo aplicada em diversas estruturas AC-AC (ANDERSEN; LAZZARIN; BARBI, 2013; LAZZARIN;

ANDERSEN; BARBI, 2015; VECCHIA; LAZZARIN; BARBI, 2015, 2015), estruturas DC-DC (VECCHIA; SALVADOR; LAZZARIN, 2018; DIAS; LAZZARIN, 2018) e estruturas DC-AC (SILVA; COELHO; LAZZARIN, 2016).

### 2.2.1.6 Célula P2

Esta célula foi proposta por Peng (2001), como a célula básica de uma estrutura polifásica multinível. Segundo Peng (2001), a partir de uma estrutura a células P2 é possível derivar qualquer estrutura multinível não-híbrida, inclusive as estruturas discutidas na seção 2.1.1. Na Fig. 2.34 é mostrada uma célula P2 e na Fig. 2.35 é mostrado uma perna de inversor 5 níveis utilizando células P2.

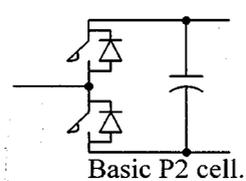


Figura 2.34 – Célula P2 (PENG, 2001)

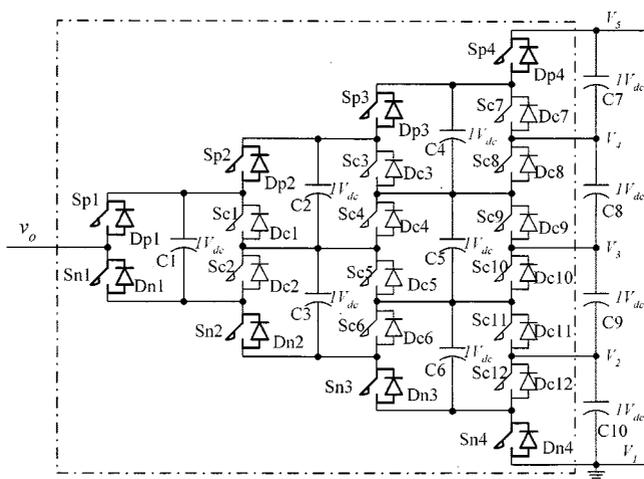


Figura 2.35 – Perna de inversor P2 de 5 níveis (PENG, 2001)

O inversor proposto neste trabalho utiliza dois arranjos de células P2 com 3 níveis de tensão como pernas, em uma configuração monofásica. O funcionamento de uma estrutura a base dessas células é bastante simples e se assemelha ao da célula *Valley-Fill*, os capacitores de uma coluna são comutados em paralelo com os capacitores de outra coluna. Isso faz com que a tensão média dos capacitores seja a mesma.

Esta célula pode ser utilizada tanto como multiplicadora de tensão tanto ou abaixadora de tensão, em estruturas DC-AC e DC-DC (PENG; ZHANG; QIAN, 2003; PENG, 2001). Essa estrutura tende a obter o auto-balanceamento das tensões nos capacitores Peng (2001), entretanto, como será demonstrado no decorrer deste trabalho, para uma estrutura de 3 níveis com uma única perna, funcionando como inversor, pode não ocorrer o auto-balanceamento de tensão, fazendo com que os capacitores fiquem defasados em tensão. A desvantagem dessa estrutura é uso demasiado de interruptores e capacitores.

No Capítulo 3 é apresentada a topologia proposta, baseada nas células P2, e feita a análise teórica da mesma, na qual é demonstrado matematicamente que ocorre o auto-balanceamento das tensões nos capacitores.

### 3 ANÁLISE TEÓRICA E RESULTADOS PRÉVIOS

Neste capítulo é feita uma análise do funcionamento da topologia proposta e apresentados resultados experimentais prévios, obtidos a fim de validar o equacionamento desenvolvido. A topologia proposta é um inversor monofásico de cinco níveis alimentado em corrente (Current-Fed Switched-Capacitor 5-Level Single-Phase Inverter – CFSC5LSPHl). O circuito de potência é composto de duas pernas, essas pernas são células de capacitor chaveado de 3 níveis, onde cada perna cria uma tensão instantânea média positiva ou negativa, de acordo com a exigência de forma de onda sinusoidal de saída. As pernas são constituídas por células P2 (PENG, 2001), conforme pode ser visto na Fig. 3.1.

A análise teórica apresentada a seguir consiste em analisar cada perna do conversor individualmente e funcionando como um conversor DC-DC. Na sequência o equacionamento para cada uma das pernas são concatenados em uma única análise e as tensões médias nos capacitores são obtidas.

#### 3.1 ESTADOS DE COMUTAÇÃO

Dois sinais de comando ( $u_1$  e  $u_2$ ) e seus complementares ( $\overline{u_1}$  e  $\overline{u_2}$ ) acionam os interruptores da primeira coluna e da segunda coluna de uma perna do conversor, respectivamente, como pode ser visto na Fig. 3.1. Esta estrutura de sinais de comando e a modulação proposta (discutida na próxima seção) criam quatro possíveis estados de comutação, por perna:

##### 3.1.0.1 Estado S11

Neste estado  $u_1 = 1$  e  $u_2 = 1$ . O circuito equivalente é mostrado na Fig. 3.2. Nesse estado os interruptores  $S_1$ ,  $S_3$  e  $S_5$  estão em condução. A saída e o capacitor  $C_3$  estão sob a tensão do capacitor  $C_1$  ( $V_{c1}$ ).

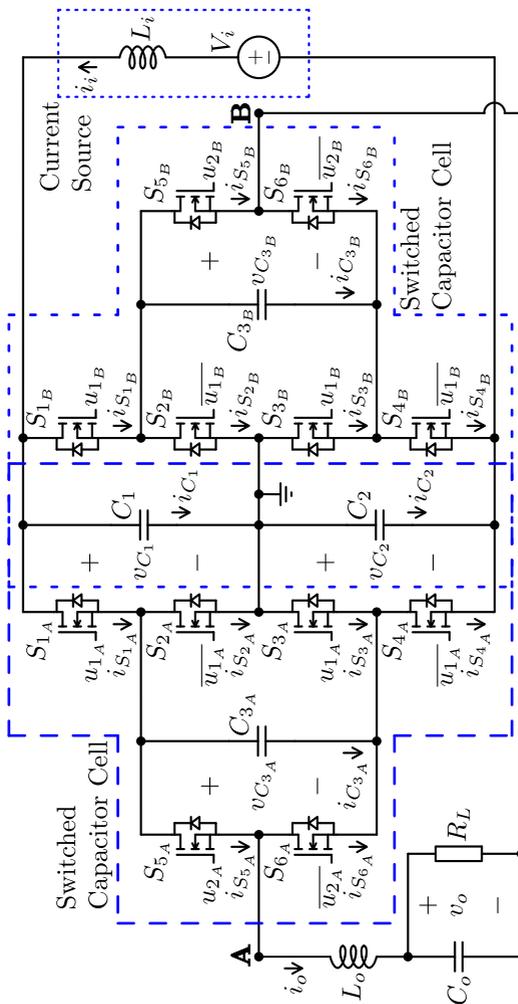


Figura 3.1 – Inversor monofásico de 5 níveis alimentado em corrente – CFSC5LSPhI

### 3.1.0.2 Estado S10

Neste estado  $u_1 = 1$  e  $u_2 = 0$ . O circuito equivalente é mostrado na Fig. 3.3. Nesse estado os interruptores  $S_1$ ,  $S_3$  e  $S_6$  estão em condução. A tensão do capacitor  $C_3$  é igual à  $V_{C_1}$ . A tensão de saída é

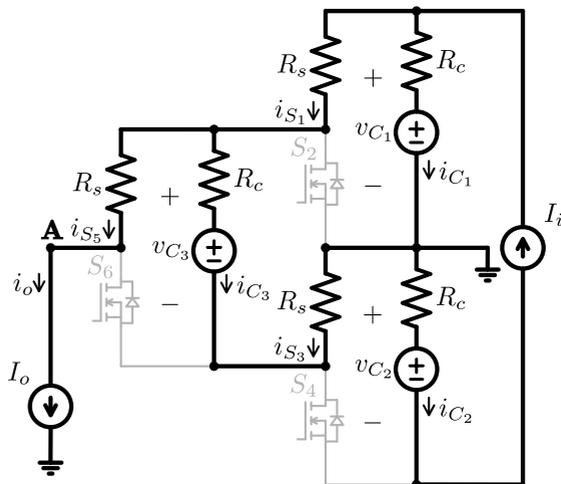


Figura 3.2 – Estado de comutação S11

nula.

### 3.1.0.3 Estado S01

Neste estado  $u_1 = 0$  e  $u_2 = 1$ . O circuito equivalente é mostrado na Fig. 3.4. Nesse estado os interruptores  $S_2$ ,  $S_4$  e  $S_5$  estão em condução. O capacitor  $C_3$  está sob à tensão do capacitor  $C_2$  ( $V_{c2}$ ). A tensão de saída é nula.

### 3.1.0.4 Estado S00

Neste estado  $u_1 = 0$  e  $u_2 = 0$ . O circuito equivalente é mostrado na Fig. 3.5. Nesse estado os interruptores  $S_1$ ,  $S_3$  e  $S_6$  estão em condução. O capacitor  $C_3$  está sob à tensão do capacitor  $C_2$  e a tensão de saída é  $-V_{c2}$ .

## 3.2 MODULAÇÃO

A operação do inversor precisa que uma perna opere no modo de operação positivo enquanto a outra opera no modo de operação nega-

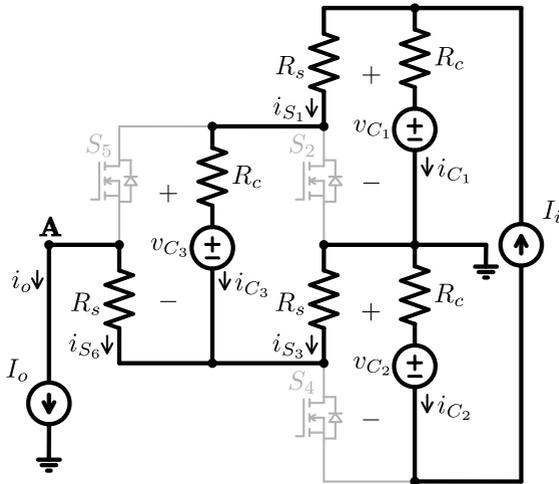


Figura 3.3 – Estado de comutação S10

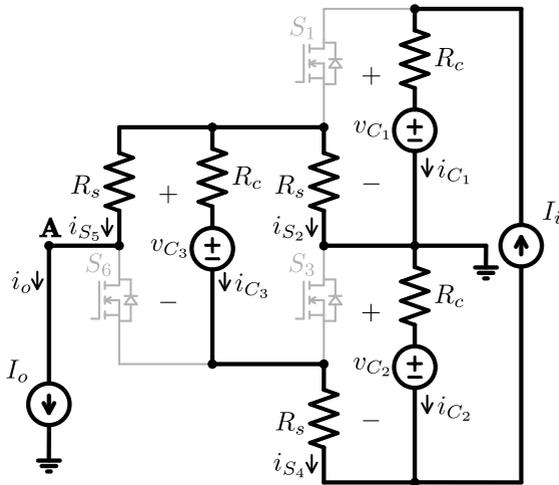


Figura 3.4 – Estado de comutação S01

tivo. Modo de operação positivo significa que a perna cria uma tensão média instantânea positiva. Da mesma forma, o modo de operação negativo significa que a perna cria uma tensão média instantânea negativa. A tensão de perna, em valor absoluto, é menor ou igual a metade

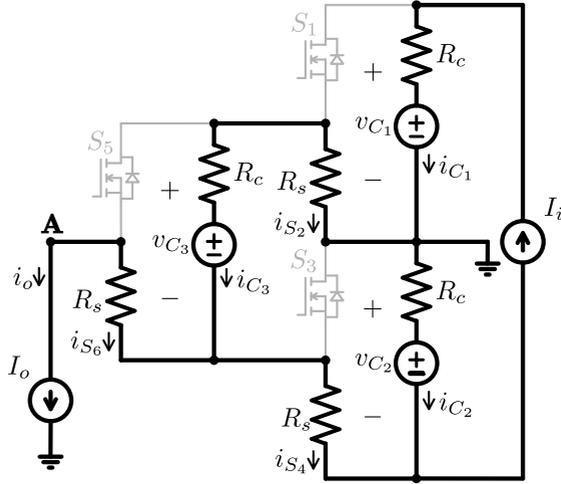


Figura 3.5 – Estado de comutação S00

da tensão do barramento de entrada. A referência de tensão está no meio do divisor de tensão capacitivo (ver Figs. 3.1-3.5).

A tensão média instantânea entre os pontos  $AB$  ( $< V_{AB} >_{T_s}$ ), definida como o valor médio da tensão em um período de comutação, é determinada pela diferença de tensão das pernas (ver os nós  $A$  e  $B$  na Fig. 3.1).

A modulação cria quatro estados de comutação em um período de chaveamento, por perna. Para uma tensão de perna ( $v_A$  ou  $v_B$ ) positiva, a sequência de comutação:  $S_{11}$ ,  $S_{10}$ ,  $S_{11}$  e  $S_{01}$ , para uma razão cíclica  $D$ :  $D \in [0; 0.5]$ , precisa ser criada. Da mesma forma, para uma tensão de perna negativa, a sequência de comutação:  $S_{10}$ ,  $S_{00}$ ,  $S_{01}$  e  $S_{00}$ , para  $D$ :  $D \in ]0.5; 1]$ , precisa ser criada.

A razão cíclica ( $D$ ) é definida como:

$$D = \frac{t_{on}}{T_s} \quad (3.1)$$

onde  $t_{on}$  é o tempo que o interruptor está em condução e  $T_s$  é o período de chaveamento, que é o inverso da frequência de chaveamento ( $f_s$ ).

Para facilitar a análise do circuito foi definida uma variável auxiliar  $\delta$ . A partir desta variável foi definido  $D_a$  e  $D_b$  em (3.2) e (3.3), que denotam a razão cíclica para uma tensão de perna positiva e negativa,

respectivamente.

$$D_a = \frac{1}{2} + \delta \quad (3.2)$$

$$D_b = \frac{1}{2} - \delta \quad (3.3)$$

onde

$$\delta \in [0; 0.5]$$

Na primeira metade da forma de onda senoidal da tensão de saída (0 a 180°), uma perna do inversor funciona no modo de operação positivo enquanto a outra perna trabalha no modo de operação negativo. Na metade final da forma de onda senoidal de tensão de saída (180° a 360°), as pernas do inversor trocam entre si o modo de operação.

Baseado em (3.2) e (3.3) são mostradas, na Fig. 3.6, duas máquinas de estado com as sequências de comutação. A máquina de estado no topo da Fig. 3.6 mostra as transições de estados para o modo de operação positivo, enquanto a máquina de estados na parte inferior mostra as transições para o modo de operação negativo. As transições de estado não ocorrem ao mesmo tempo para os dois modos. No entanto, os tempos de duração dos estados  $S_{11}$  e  $S_{00}$  são os mesmos e os tempos de duração dos estados  $S_{10}$  e  $S_{01}$  são os mesmos, como pode ser visto pelo eixo D na Fig. 3.6.

Estas duas sequências de comutação são facilmente obtidas colocando  $u_1$  e  $u_2$  em defasagem 180° e aplicando a mesma razão cíclica em ambos os sinais. Com essas sequências a frequência de saída de uma meia ponte (uma perna) é o dobro da frequência de comutação ( $f_s$ ).

Na topologia completa (CFSC5LSPH), os sinais de comando da perna A estão defasados em 90° dos sinais de comando da perna B. O deslocamento de fase é necessário para criar uma superposição dos níveis intermediários de tensão de saída ( $-V_i/2$  para 0 e 0 para  $V_i/2$ ), quando  $D \geq 0.75$  ou  $D \leq 0.25$ , criando os níveis de tensão de saída mais altos e mais baixos ( $-V_i$  para  $-V_i/2$  e  $V_i/2$  para  $V_i$ ). Assim, a relação dos tempos de transição das máquinas de estado na Fig. 3.6 é dada por:

$$t'_k = t_k + \frac{T_s}{4} \quad (3.4)$$

onde  $t'_k$  é o tempo de transição na máquina de estados do modo de operação negativo e  $t_k$  é o tempo de transição na máquina de estados do modo de operação positivo.

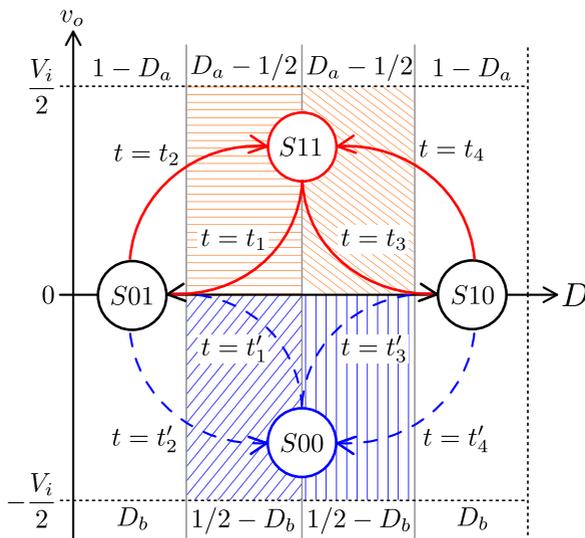


Figura 3.6 – Máquinas de estados da modulação

Além disso, a frequência de comutação no filtro de saída ( $f_{LC_o}$ ) é quatro vezes a frequência de comutação ( $f_s$ ). Esta característica é vantajosa, pois resulta em menores filtros de saída.

### 3.3 ANÁLISE ESTÁTICA

Nesta seção é apresentada a análise matemática dos modos de operação das pernas do conversor. Esta análise é feita para operação de corrente contínua (DC). Na sequência, as equações das tensões dos capacitores são obtidas.

As seguintes suposições são feitas para a análise teórica:

1. A operação do conversor é em regime permanente;
2. O conversor opera no modo de condução contínua (continuous conduction mode – CCM) ;
3. A tensão e a corrente de saída são constantes para alguns ciclos de comutação;
4. A capacitância dos capacitores é grande o suficiente para que as tensões nos capacitores sejam consideradas constantes;

5. A resistência em série-equivalente dos capacitores é significativa (não pode ser negligenciada);
6. A indutância de entrada e a indutância de saída são grandes o suficiente para que sejam consideradas fontes de corrente;
7. As capacitâncias dos interruptores são insignificantes;
8. A resistência de condução dos interruptores é significativa (não pode ser negligenciada).

### 3.3.1 Meia Ponte: Modo de Operação Positivo ( $D \geq 0.5$ )

Neste modo os interruptores funcionam em sobreposição, isto é, os sinais  $u_1$  e  $u_2$  são sobrepostos.

Definindo  $R_i$  como a resistência observada na entrada, a corrente de entrada ( $I_i$ ) pode ser definida como:

$$I_i = \frac{V_i}{R_i} \quad (3.5)$$

O Interruptor  $S_5$  conduz a corrente de saída  $I_o$  nos estados  $S_{11}$  e  $S_{01}$ , logo a corrente média em  $S_5$  ( $I_{s_5}$ ) pode ser expressa como:

$$I_{s_5} = I_o \left[ 2 \left( D_a - \frac{1}{2} \right) + (1 - D_a) \right] = I_o D_a \quad (3.6)$$

A corrente média no capacitor  $C_1$  é nula, portanto, a corrente média no interruptor  $S_1$  é a corrente de entrada:

$$I_{s_1} = I_i \quad (3.7)$$

O interruptor  $S_2$  conduz a corrente de saída, em sentido reverso, quando  $S_1$  não conduz, portanto:

$$I_{s_2} = -I_o (1 - D_a) \quad (3.8)$$

Aplicando a lei de Kirchhoff de corrente:

$$I_{s_1} = I_{s_5} + I_{s_2} \quad (3.9)$$

$$I_o = \frac{I_i}{2D_a - 1} \quad (3.10)$$

A tensão do barramento de entrada  $V_i$  pode ser definida como:

$$V_i = V_{c_1} + V_{c_2} \quad (3.11)$$

Aplicando o teorema da superposição, as fontes podem ser analisadas independentemente. A hipótese em (3.12) foi assumida para as próximas deduções.

$$V_{c_2} > V_{c_3} > V_{c_1} \quad (3.12)$$

Estado  $S11$  (Fig. 3.2): a corrente  $I_i$  flui inteiramente através de  $C_2$ . Parte de  $i_{c_1}$  flui de  $C_3$  para  $C_1$ , mas a resistência série ( $2R_s + 2R_c$ ) limita essa corrente. A corrente de entrada ( $I_i$ ) é dividida entre os capacitores  $C_1$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ . A corrente de saída ( $I_o$ ) é dividida igualmente entre  $C_1$  e  $C_3$ , pois ambas as ramificações têm a mesma resistência, fluindo através de  $C_1$  em sentido reverso.

$$i_{c_1}^{(11)} = \frac{(2R_s + R_c) I_i + V_{c_3} - V_{c_1} - I_o}{2(R_s + R_c)} \quad (3.13)$$

$$i_{c_2}^{(11)} = I_i \quad (3.14)$$

Estado  $S10$  (Fig. 3.3): a corrente  $I_i$  flui inteiramente através de  $C_2$ . Parte de  $i_{c_1}$  flui de  $C_3$  para  $C_1$ , mas a resistência série ( $2R_s + 2R_c$ ) limita essa corrente. A corrente de entrada ( $I_i$ ) é dividida entre os capacitores  $C_1$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ . A corrente de saída ( $I_o$ ) é dividida entre os capacitores  $C_1$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ , passando por  $C_1$  em sentido reverso.

$$i_{c_1}^{(10)} = \frac{(2R_s + R_c) I_i + V_{c_3} - V_{c_1} - R_s I_o}{2(R_s + R_c)} \quad (3.15)$$

$$i_{c_2}^{(10)} = I_i \quad (3.16)$$

Estado  $S01$  (Fig. 3.4): a corrente  $I_i$  flui inteiramente através de  $C_1$ . Parte de  $i_{c_2}$  flui de  $C_2$  para  $C_3$ , mas a resistência série ( $2R_s + 2R_c$ ) limita essa corrente, que flui por  $C_2$  em sentido reverso. A corrente de entrada ( $I_i$ ) é dividida entre os capacitores  $C_2$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ . A corrente de saída ( $I_o$ ) é dividida entre os capacitores  $C_2$  e  $C_3$ , de acordo com a malha de resistência

$$[(2R_s + R_c) || R_c].$$

$$i_{c_1}^{(01)} = I_i \quad (3.17)$$

$$i_{c_1}^{(01)} = \frac{(2R_s + R_c) I_i + V_{c_2} - V_{c_3} + R_s I_o}{2(R_s + R_c)} \quad (3.18)$$

Em regime permanente a corrente média do capacitor  $C_1$  é zero:

$$\frac{1}{T_s} \int_0^{T_s} i_{c_1} dt = 0 \quad (3.19)$$

portanto:

$$(i_{c_1}^{(01)} + i_{c_1}^{(10)}) (1 - D_a) + i_{c_1}^{(11)} \left[ 2 \left( D_a - \frac{1}{2} \right) \right] = 0 \quad (3.20)$$

Substituindo as equações (3.13), (3.15), (3.17), (3.5), (3.10) e (3.11) em (3.20):

$$\frac{V_{c_1} - V_{c_3}}{V_{c_1} + V_{c_2}} = \frac{\bar{R}_s + \bar{R}_c}{D_a} - \frac{\bar{R}_s (1 - D_a)}{D_a (2D_a - 1)} - \bar{R}_c \quad (3.21)$$

onde:

$$\bar{R}_c = \frac{R_c}{R_i} \quad \text{and} \quad \bar{R}_s = \frac{R_s}{R_i}$$

Da mesma forma, a corrente média do capacitor  $C_2$  é zero, portanto:

$$(i_{c_2}^{(01)} + i_{c_2}^{(10)}) (1 - D_a) + i_{c_2}^{(11)} \left[ 2 \left( D_a - \frac{1}{2} \right) \right] = 0 \quad (3.22)$$

Substituindo as equações (3.14), (3.16), (3.18), (3.5), (3.10) e (3.11) em (3.22):

$$\frac{V_{c_2} - V_{c_3}}{V_{c_1} + V_{c_2}} = \frac{2(\bar{R}_s + \bar{R}_c) D_a}{1 - D_a} + \frac{\bar{R}_s}{2D_a - 1} + 2\bar{R}_s + \bar{R}_c \quad (3.23)$$

Substituindo (3.21) em (3.23) e isolando  $V_{c_2} - V_{c_1}$ :

$$V_{c_2} - V_{c_1} = K_G^{(a)} V_i \quad (3.24)$$

onde

$$K_G^{(a)} = \frac{\overline{R}_s}{D_a(2D_a - 1)} + \frac{(3D_a - 1)(\overline{R}_s + \overline{R}_c)}{D_a(1 - D_a)} \quad (3.25)$$

A equação (3.24) mostra que a diferença de tensões entre os capacitores  $C_1$  e  $C_2$  aumenta com  $D_a$ . Consequentemente,  $I_{c_2}$  será maior que  $I_{c_1}$  resultando em maiores esforços nos interruptores  $S_4$  e  $S_6$  quando comparado com os outros interruptores. Portanto, não é interessante o uso de uma topologia de uma única perna como inversor, devido aos altos esforços nos semicondutores.

### 3.3.2 Meia Ponte: Modo de Operação Negativo ( $D < 0.5$ )

Neste modo, os sinais  $u_1$  e  $u_2$  não se sobrepõem.

O interruptor  $S_5$  conduz a corrente de saída ( $I_o$ ) no estado  $S10$ , em sentido reverso, logo a corrente média em  $S_5$  ( $I_{s_5}$ ) pode ser expresso como:

$$I_{s_5} = -I_o D_b \quad (3.26)$$

Em regime permanente a corrente média no capacitor  $C_1$  é nula, portanto, a corrente média no interruptor  $S_1$  é a corrente de entrada:

$$I_{s_1} = I_i \quad (3.27)$$

O interruptor  $S_2$  conduz a corrente de saída quando  $S_1$  não conduz, portanto:

$$I_{s_2} = I_o(1 - D_b) \quad (3.28)$$

Aplicando a lei de Kirchhoff de corrente:

$$I_{s_1} = I_{s_5} + I_{s_2} \quad (3.29)$$

$$I_o = \frac{I_i}{1 - 2D_b} \quad (3.30)$$

O teorema da superposição é aplicado novamente. A hipótese em (3.31) foi assumida para as próximas deduções.

$$V_{c_1} > V_{c_3} > V_{c_2} \quad (3.31)$$

Estado  $S10$  (Fig. 3.3): a corrente  $I_i$  flui inteiramente através de  $C_2$ . Parte de  $i_{c_1}$  flui de  $C_1$  para  $C_3$ , mas a resistência série ( $2R_s + 2R_c$ ) limita essa corrente, que flui através de  $C_1$  em sentido reverso. A corrente de entrada ( $I_i$ ) é dividida entre os capacitores  $C_1$  e  $C_3$ , de acordo

com a malha de resistência  $[(2R_s + R_c) || R_c]$ . A corrente de saída ( $I_o$ ) é dividida entre os capacitores  $C_1$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ .

$$i_{c_1}^{(10)} = \frac{(2R_s + R_c) I_i + R_s I_o - (V_{c_1} - V_{c_3})}{2(R_s + R_c)} \quad (3.32)$$

$$i_{c_2}^{(10)} = I_i \quad (3.33)$$

Estado  $S01$  (Fig. 3.4): a corrente  $I_i$  flui inteiramente através de  $C_1$ . Parte de  $i_{c_1}$  flui de  $C_3$  para  $C_2$ , mas a resistência série ( $2R_s + 2R_c$ ) limita essa corrente. A corrente de entrada ( $I_i$ ) é dividida entre os capacitores  $C_2$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ . A corrente de saída ( $I_o$ ) é dividida entre os capacitores  $C_1$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ , passando por  $C_2$  em sentido reverso.

$$i_{c_1}^{(01)} = I_i \quad (3.34)$$

$$i_{c_2}^{(01)} = \frac{(2R_s + R_c) I_i - R_s I_o + V_{c_3} - V_{c_2}}{2(R_s + R_c)} \quad (3.35)$$

Estado  $S00$  (Fig. 3.5): a corrente  $I_i$  flui inteiramente através de  $C_1$ . Parte de  $i_{c_2}$  flui de  $C_3$  para  $C_2$ , mas a resistência série ( $2R_s + 2R_c$ ) limita essa corrente. A corrente de entrada ( $I_i$ ) é dividida entre os capacitores  $C_2$  e  $C_3$ , de acordo com a malha de resistência  $[(2R_s + R_c) || R_c]$ . A corrente de saída ( $I_o$ ) é dividida igualmente entre  $C_2$  e  $C_3$ , já que ambas as ramificações têm a mesma resistência, fluindo através de  $C_2$  em sentido reverso.

$$i_{c_1}^{(00)} = I_i \quad (3.36)$$

$$i_{c_2}^{(00)} = \frac{(2R_s + R_c) I_i + V_{c_3} - V_{c_2} - I_o}{2(R_s + R_c)} \quad (3.37)$$

As correntes médias nos capacitores  $C_1$  e  $C_2$ , em regime permanente, são nulas, portanto:

$$(i_{c_1}^{(01)} + i_{c_1}^{(10)}) D_b + i_{c_1}^{(00)} \left[ 2 \left( \frac{1}{2} - D_b \right) \right] = 0 \quad (3.38)$$

$$(i_{c_2}^{(01)} + i_{c_2}^{(10)}) D_b + i_{c_2}^{(00)} \left[ 2 \left( \frac{1}{2} - D_b \right) \right] = 0 \quad (3.39)$$

Substituindo as equações (3.32), (3.34), (3.36), (3.5), (3.30) e

(3.11) em (3.38) e substituindo as equações (3.33), (3.35), (3.37), (3.5), (3.30) e (3.11) em (3.39) e substituindo as equações (3.38) em (3.39) e isolando  $V_{c_1} - V_{c_2}$ :

$$V_{c_1} - V_{c_2} = K_G^{(b)} V_i \quad (3.40)$$

onde

$$K_G^{(b)} = \frac{\bar{R}_s}{D_b(2D_b - 1)} + \frac{(3D_b - 1)(\bar{R}_s + \bar{R}_c)}{D_b(1 - D_b)} \quad (3.41)$$

A equação (3.40) mostra que a diferença de tensão entres os capacitores  $C_1$  e  $C_2$  aumenta com  $D_b$ .

### 3.3.3 Ponte Completa: Equalização das Tensões dos Capacitores

Das hipóteses assumidas em (3.12) e (3.31) pode-se inferir que as tensões nos capacitores  $C_3$  de ambas as pernas estão limitadas pelas tensões nos capacitores  $C_1$  e  $C_2$ , isto é,  $V_{c_3}$  está entre  $V_{c_1}$  e  $V_{c_2}$ . Assim, as tensões nos capacitores podem ser determinadas através de  $V_{c_1}$  e  $V_{c_2}$ .

A tensão no capacitor  $C_2$  deve ser a média das tensões deduzidas para cada perna, portanto:

$$V_{c_2} = \frac{V_{c_2}^{(a)} + V_{c_2}^{(b)}}{2} \quad (3.42)$$

Reescrevendo (3.24) e (3.40) e isolando  $V_{c_2}$ :

$$V_{c_2}^{(a)} = V_{c_1} + K_G^{(a)} V_i \quad (3.43)$$

$$V_{c_2}^{(b)} = V_{c_1} - K_G^{(g)} V_i \quad (3.44)$$

Substituindo as equações (3.43) e (3.44) em (3.42):

$$V_{c_2} = V_{c_1} + \frac{K_G^{(a)} V_i - K_G^{(g)} V_i}{2} \quad (3.45)$$

Substituindo (3.2) em (3.25) e substituindo (3.3) em (3.41):

$$K_G^{(a)} = \frac{\bar{R}_s}{\delta(1 + 2\delta)} + \left( \frac{1/2 + 3\delta}{1/4 - \delta^2} \right) (\bar{R}_s + \bar{R}_c) \quad (3.46)$$

$$K_G^{(b)} = \frac{\bar{R}_s}{\delta(1+2\delta)} + \left( \frac{1/2 + 3\delta}{1/4 - \delta^2} \right) (\bar{R}_s + \bar{R}_c) \quad (3.47)$$

Uma vez que  $K_G^{(a)} = K_G^{(b)}$ :

$$V_{c_2} = V_{c_1} = V_{c_3} = \frac{V_i}{2} \quad (3.48)$$

A Equação (3.48) demonstra que a topologia completa ou de ponte completa equaliza as tensões nos capacitores naturalmente, diferentemente que as topologias meia ponte (uma única perna).

### 3.4 RESULTADOS EXPERIMENTAIS

Nessa seção são apresentados resultados iniciais obtidos através de um protótipo, cujas especificações são mostradas na Tabela 3.1 e os principais componentes de potência estão listados na Tabela 3.2. *Drivers* isolados forma empregados para acionar os interruptores MOS-FET. O projeto desses circuitos é baseado em um opto-acoplador e um conversor DC-DC isolado, ambos encapsulados em circuitos integrados. Os sinais de comando foram gerados por um microcontrolador C2000 da *Texas Instruments*. Foi necessário o uso de um autotransformador na saída do conversor para alimentar a carga na tensão pretendida. A foto do protótipo é mostrada na Fig. 3.7.

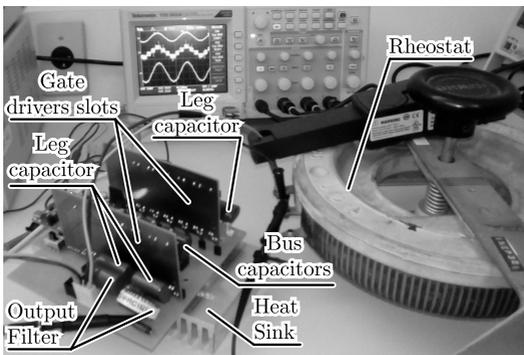


Figura 3.7 – Protótipo

A tensão de saída ( $v_o$ ), a tensão  $AB$  ( $v_{AB}$ ), a corrente de saída

Tabela 3.1 – Especificações de projeto

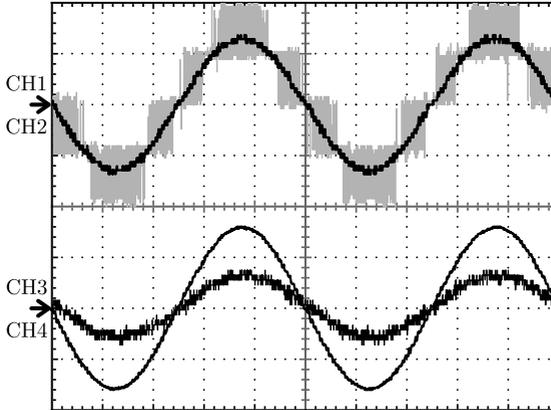
Parâmetro	Símbolo	Valor
Potência de saída	$P_o$	115 $W$
Tensão de entrada	$V_i$	48 $V_{cc}$
Tensão eficaz de saída	$V_{o_{rms}}$	22 $V_{rms}$
Queda de tensão eficaz no indutor	$v_{L_{o_{rms}}}$	10 $V_{rms}$
Razão cíclica	$D$	14.2% ~ 85.8 %
Autotransformador de saída	$N_p : N_s$	1 : 5
Tensão eficaz de saída na carga	$V'_{o_{rms}}$	110 $V_{rms}$
Frequência de saída	$f_o$	50 $Hz$
Carga	$R_o$	105 $\Omega$
Frequência de chaveamento	$f_s$	10 $kHz$

Tabela 3.2 – Componentes de potência

Parâmetro	Símbolo	Valor
Indutor de entrada	$L_i$	660 $\mu H$
Capacitor de barramento	$C_{1,2}$	4.7 $\mu F$
Capacitor de perna	$C_{3A,3B}$	$2 \times 4.7 \mu F$
Indutor de saída	$L_o$	100 $\mu H$
Capacitor de saída	$C_o$	4.7 $\mu F$
Interruptores	$S_{1-6A,B}$	IRF540N

( $i_o$ ) e a forma de onda de tensão na carga ( $v'_o$ ) obtidas experimentalmente são mostradas na Fig. 3.8. Como pode ser visto no canal 2, a tensão  $AB$  oscila entre  $-48 V$  e  $48 V$  ou de  $-V_i$  a  $V_i$ . Os resultados mostram uma forma de onda de tensão de saída ( $v_o$ ) como esperado: sinusoidal de aproximadamente 50  $Hz$  com 31.1  $V$  de tensão de pico. A tensão na carga, isto é, na saída do autotransformador, é a esperada: uma forma de onda sinusoidal na mesma frequência de  $v_o$  com 155  $V$  da tensão de pico. Como esperado, a tensão instantânea  $AB$  tem cinco níveis e comuta entre dois níveis de tensão de acordo com a forma de onda da tensão de saída ( $v_o$ ).

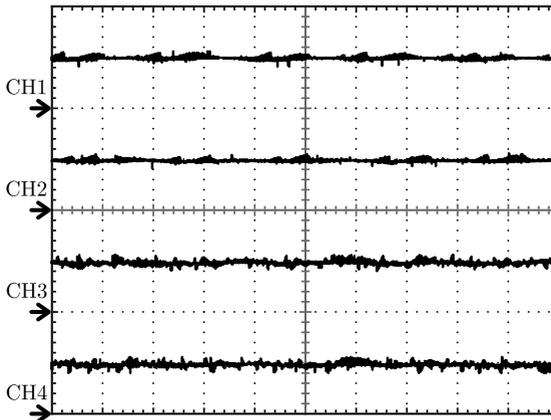
As tensões nos capacitores obtidas experimentalmente são mos-



CH1 - Tensão de saída (25 V/div); CH2 - Tensão  $AB$  (25 V/div); CH3 - Tensão na carga (100 V/div) CH4 - Corrente de saída (2 A/div); tempo: 4 ms/div.

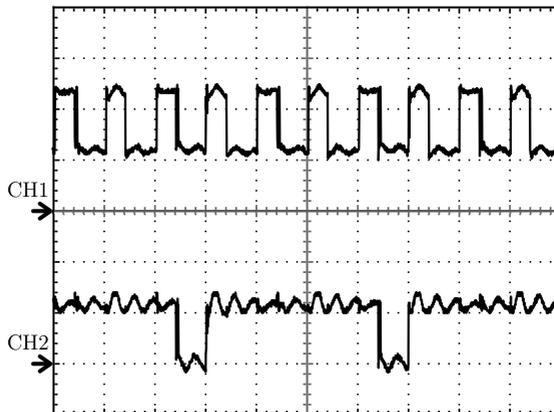
Figura 3.8 – Principais formas de onda do conversor proposto

tradas na Fig. 3.9. As tensões nos capacitores são as mesmas e aproximadamente 24 V ou  $V_i/2$ , confirmando a relação apresentada em (3.48).



CH1 - Tensão no capacitor  $C_1$  (25 V/div); CH2 - Tensão no capacitor  $C_2$  (25 V/div); CH3 - Tensão no capacitor  $C_{3A}$  (25 V/div); CH4 - Tensão no capacitor  $C_{3B}$  (25 V/div); tempo: 5 ms/div.

Figura 3.9 – Auto-balanço das tensões nos capacitores



CH1 - Tensão  $AB$  (20 V/div); CH2 - Tensão em  $S_{5B}$  (20 V/div); tempo: 25  $\mu s$ /div.

Figura 3.10 – Tensão  $AB$  e tensão sobre um interruptor

Na Fig. 3.10 é mostrada a tensão  $AB$  e a tensão no interruptor  $S_{5B}$ , obtidas experimentalmente. Essas formas de onda confirmam que a frequência do filtro de saída ( $f_{LC_o}$ ) é quatro vezes a frequência de comutação ( $f_s$ ). Além disso, na Fig. 3.10, pode-se verificar que as tensões nos interruptores são metade da tensão do barramento de entrada, como as tensões nos capacitores. Assim, as tensões nos interruptores do CFSC5LSPH são menores que as tensões nos interruptores dos inversores convencionais.



## 4 ENCAMINHAMENTO DO TRABALHO

Neste capítulo serão discutidas as etapas que estão em desenvolvimento e que ainda deverão ser desenvolvidas para o fechamento do trabalho. Um cronograma com as atividades já concluídas e com as atividades planejadas está disponível no Apêndice A.

A abordagem inicial consistia em analisar cada perna do conversor individualmente e uma vez determinadas as equações de estados seria feita a análise da topologia completa, a exemplo do que foi exposto no capítulo anterior. Contudo, constatou-se que esta abordagem só se mostrou interessante para demonstrar matematicamente que uma topologia com uma única perna causaria um desequilíbrio nas tensões nos capacitores, ao passo que a razão cíclica se afasta de  $D = 0,5$  e que a topologia de ponte completa garantia o auto-balanço das tensões nos capacitores, para qualquer  $D$ . Essa parte do trabalho já rendeu publicação em congresso (TOMIN JR.; LARICO; GREFF, 2018). Resultados experimentais prévios foram obtidos, entretanto não foram encontradas as equações de dimensionamento dos capacitores, filtro e dos esforços nos semicondutores, em função disso foi construído um protótipo preliminar com o auxílio de simulações.

A abordagem de analisar as pernas individualmente mostrou-se inadequada para modelar o conversor em espaço de estados. Alguns nós acabam sendo comuns a ambas as pernas, dependendo do estado de comutação, o que invalida algumas equações para a topologia de ponte completa.

Verificou-se, por simulação, que o conversor apresenta quatro sequências de chaveamento, com oito estados de comutação cada. Essas sequências de chaveamento estão relacionadas com a razão cíclica ou com os níveis de tensão de saída. Na Tabela 4.1 são mostradas as sequências de chaveamento e a região de operação do conversor.

Neste momento, utilizando do mesmo princípio de sobreposição de fontes, as equações de estados para os 32 estados de comutação possíveis estão sendo determinadas. Cada conjunto de equações para um estado de comutação corresponde a uma matriz quadrada de dimensão 7. Além disso, o equacionamento dos esforços nos interruptores está sendo feito de forma similar, gerando matrizes quadradas de dimensão 12, por estado de comutação. É importante frisar que mesmo estados de comutação “iguais” podem ser diferentes, em função do sentido de circulação de corrente nos interruptores. O modelo dos interruptores considera a resistência de condução das interruptores, quando em con-

Tabela 4.1 – Sequências de chaveamento por região de operação do conversor

Região 1	Região 2	Região 3	Região 4
$V_{cc} \sim V_{cc}/2$	$V_{cc}/2 \sim 0$	$0 \sim -V_{cc}/2$	$-V_{cc}/2 \sim -V_{cc}$
$0 \leq D < 0,25$	$0,25 \leq D < 0,5$	$0,5 \leq D < 0,75$	$0,75 \leq D \leq 1$
1100	1101	1001	1011
1101	1001	1011	0011
1100	1000	1010	0010
1000	1010	0010	0011
1100	1110	0110	0111
1110	0110	0111	0011
1100	0100	0101	0001
0100	0101	0001	0011

Os vetores obedecem a sequência:  $u_{1A}$ ,  $u_{2A}$ ,  $u_{1B}$  e  $u_{2B}$ .

dução no sentido positivo e a queda de tensão no diodo anti-paralelo, quando em condução no sentido reverso.

Após a obtenção das equações de estados serão criados quatro modelos médios, um para cada região de operação. Essas equações de estado médias serão linearizadas pela técnica de pequenos sinais ou pequenas perturbações.

Com as equações de estado médias pretende-se apresentar a prova do balanceamento de tensões por outra via (a partir das equações obtidas para estrutura de ponte completa) e se obter o ganho estático do conversor. Em uma topologia apresentada por Dias e Lazzarin (2016), composta por células *Ladder*, o ganho estático tende a zero para razões cíclicas próximas ao extremo. Essa característica também foi observada na estrutura apresentada nesse trabalho, via simulações. Pretende-se construir uma curva por partes para o ganho estático da estrutura em função da razão cíclica.

Das equações de estados médias pretende-se obter equações para o dimensionamento dos componentes passivos (capacitores e indutores) em função da razão cíclica, bem como os esforços nos interruptores a partir do outro conjunto de equações.

Estabelecidas as equações de esforços nos componentes e do ganho estático da topologia será projetado um segundo protótipo de

1 kVA, alimentado em 514  $V_{cc}$ , com tensão de saída de 220  $V_{rms}$ , a fim de verificar a validade dessas equações. Com a experiência adquirida no primeiro protótipo, estima-se um tempo inferior a um mês para a construção desse segundo protótipo (tempo gasto na construção do primeiro protótipo). Assim como o primeiro protótipo, o segundo protótipo deverá ser microcontrolado e um controle digital deverá ser implementado (primeiro protótipo funcionou em malha aberta). Como o intuito é testar o protótipo com vários tipos de carga, como resistiva pura, indutiva e cargas eletrônicas pretende-se utilizar uma abordagem de controle robusto.

As equações de estado médias linearizadas provavelmente resultarão em quatro modelos distintos, linearizados em torno de quatro pontos diferentes no domínio de  $D$ , esses modelos serão utilizados para o projeto de um controlador robusto. Como o intuito é alcançar critérios de robustez em estabilidade pretende-se projetar controladores com a norma  $\mathcal{H}_\infty$ . Caso os modelos obtidos para cada região de operação sejam equivalentes, será projetado apenas um controlador, do contrário serão projetados quatro controladores (um para cada região de operação), sendo alternados digitalmente.

O método de resolução do problema de controle  $\mathcal{H}_\infty$  pretendido é por desigualdades matriciais lineares (Linear matrix inequalities – LMI). O método LMI, aplicado ao problema de controle  $\mathcal{H}_2/\mathcal{H}_\infty$  consiste na solução nas Equações Algébricas de Riccati, desenvolvidas nos anos 80, as quais tornaram-se uma ferramenta matemática indispensável para aplicações em controle robusto (SANTOS, 2005). As Equações Algébricas de Riccati fazem parte de um conjunto de desigualdades matriciais transformadas em simples inequações através da aplicação do complemento de Schur. Tratam-se, portanto, de um caso particular deste conjunto de desigualdades matriciais ou LMI (SANTOS, 2005). As LMI são resolvidas como problemas de otimização, onde alguma métrica é estipulada e minimizada.

A partir das equações de estados pretende-se encontrar expressões para a resistência equivalente (que modela as perdas do circuito) para cada região de operação e a partir dessas equações estabelecer a relação de eficiência  $\times$  frequência de chaveamento. Por fim, tanto o modelo dinâmico como a relação de eficiência  $\times$  frequência de chaveamento serão validados experimentalmente.



## REFERÊNCIAS

- ANDERSEN, R. L.; LAZZARIN, T. B.; BARBI, I. A 1-kw step-up/step-down switched-capacitor ac-ac converter. *IEEE Transactions on Power Electronics*, v. 28, n. 7, p. 3329–3340, July 2013. ISSN 0885-8993.
- BABAEI, E.; GOWGANI, S. S. Hybrid multilevel inverter using switched capacitor units. *IEEE Transactions on Industrial Electronics*, v. 61, n. 9, p. 4614–4621, Sept 2014. ISSN 0278-0046.
- BAKER, R. H. *Switching circuit*. Jul 1980. US Patent 4,210,826.
- BAKER, R. H.; BANNISTER, L. H. *Electric power converter*. Feb 1975. US Patent 3,867,643.
- BARBI, I. *Eletrônica de Potência*. Florianópolis - SC: Editora da UFSC, 2005.
- BATSCHAUER, A. L. *Inversor Multiníveis Híbrido Trifásico Baseado em Módulos Meia-Ponte*. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, 2011.
- BEN-YAAKOV, S. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. *IEEE Transactions on Power Electronics*, v. 27, n. 2, p. 632–636, Feb 2012. ISSN 0885-8993.
- BEN-YAAKOV, S.; EVZELMAN, M. Generic and unified model of switched capacitor converters. In: *2009 IEEE Energy Conversion Congress and Exposition*. [S.l.: s.n.], 2009. p. 3501–3508. ISSN 2329-3721.
- BRAGA, N. C. *Como funciona o IGBT (Insulated Gate Bipolar Transistor)*. 2017. Disponível em: <<http://www.newtonbraga.com.br/index.php/como-funciona/6336-art1018>> Acesso 3.jul.2017.
- BRUCKNER, T.; BERNET, S.; GULDNER, H. The active npc converter and its loss-balancing control. *IEEE Transactions on Industrial Electronics*, v. 52, n. 3, p. 855–868, June 2005. ISSN 0278-0046.

COLAK, I.; KABALCI, E.; BAYINDIR, R. Review of multilevel voltage source inverter topologies and control schemes. *Energy Conversion and Management*, v. 52, p. 1114–1128, 02 2011.

DIAS, J. C.; LAZZARIN, T. B. Steady state analysis of voltage multiplier ladder switched-capacitor cell. In: *2016 12th IEEE International Conference on Industry Applications (INDUSCON)*. [S.l.: s.n.], 2016. p. 1–6.

DIAS, J. C.; LAZZARIN, T. B. A family of voltage-multiplier unidirectional single-phase hybrid boost pfc rectifiers. *IEEE Transactions on Industrial Electronics*, v. 65, n. 1, p. 232–241, Jan 2018. ISSN 0278-0046.

DICKSON, J. F. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits*, v. 11, n. 3, p. 374–378, June 1976. ISSN 0018-9200.

EGUCHI, K. et al. Design of a step-up/step-down  $k$  ( $=2,3, \dots$ )-fibonacci dc-dc converter designed by switched-capacitor techniques. In: *2012 Fifth International Conference on Intelligent Networks and Intelligent Systems*. [S.l.: s.n.], 2012. p. 170–173.

FEITOSA JR., A. *Alemanha tinha tanta energia elétrica no Natal que precisou pagar às pessoas para elas usarem*. Jan 2018.

GUENEGUES, V. et al. A converter topology for high speed motor drive applications. In: *2009 13th European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2009. p. 1–8.

KHAN, F. H.; TOLBERT, L. M. A multilevel modular capacitor-clamped dc-dc converter. *IEEE Transactions on Industry Applications*, v. 43, n. 6, p. 1628–1638, Nov 2007. ISSN 0093-9994.

KIMBALL, J. W.; KREIN, P. T.; CAHILL, K. R. Modeling of capacitor impedance in switching converters. *IEEE Power Electronics Letters*, v. 3, n. 4, p. 136–140, Dec 2005. ISSN 1540-7985.

KOURO, S. et al. Recent advances and industrial applications of multilevel converters. *IEEE Transactions on Industrial Electronics*, v. 57, n. 8, p. 2553–2580, Aug 2010. ISSN 0278-0046.

LAM, J. C. W.; JAIN, P. K. A modified valley fill electronic ballast having a current source resonant inverter with improved line-current

total harmonic distortion (thd), high power factor, and low lamp crest factor. *IEEE Transactions on Industrial Electronics*, v. 55, n. 3, p. 1147–1159, March 2008. ISSN 0278-0046.

LAZZARIN, T. B.; ANDERSEN, R. L.; BARBI, I. A switched-capacitor three-phase ac–ac converter. *IEEE Transactions on Industrial Electronics*, v. 62, n. 2, p. 735–745, Feb 2015. ISSN 0278-0046.

LAZZARIN, T. B. et al. A 600-w switched-capacitor ac–ac converter for 220 v/110 v and 110 v/220 v applications. *IEEE Transactions on Power Electronics*, v. 27, n. 12, p. 4821–4826, Dec 2012. ISSN 0885-8993.

LEON, J. I.; VAZQUEZ, S.; FRANQUELO, L. G. Multilevel converters: Control and modulation techniques for their operation and industrial applications. *Proceedings of the IEEE*, v. 105, n. 11, p. 2066–2081, Nov 2017. ISSN 0018-9219.

LESNICAR, A.; MARQUARDT, R. An innovative modular multilevel converter topology suitable for a wide power range. In: *2003 IEEE Bologna Power Tech Conference Proceedings*,. [S.l.: s.n.], 2003. v. 3, p. 6 pp. Vol.3–.

LI, S. et al. Analysis and design of the ladder resonant switched-capacitor converters for regulated output voltage applications. *IEEE Transactions on Industrial Electronics*, v. 64, n. 10, p. 7769–7779, Oct 2017. ISSN 0278-0046.

LIN, P.; CHUA, L. Topological generation and analysis of voltage multiplier circuits. *IEEE Transactions on Circuits and Systems*, v. 24, n. 10, p. 517–530, October 1977. ISSN 0098-4094.

MAK, O.-C.; WONG, Y.-C.; IOINOVICI, A. Step-up dc power supply based on a switched-capacitor circuit. *IEEE Transactions on Industrial Electronics*, v. 42, n. 1, p. 90–97, Feb 1995. ISSN 0278-0046.

MARIETHOZ, S.; RUFER, A. New configurations for the three-phase asymmetrical multilevel inverter. In: *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting*. [S.l.: s.n.], 2004. v. 2, p. 828–835 vol.2. ISSN 0197-2618.

MAYO-MALDONADO, J. C.; ROSAS-CARO, J. C.; RAPISARDA, P. Modeling approaches for dc–dc converters with switched capacitors.

*IEEE Transactions on Industrial Electronics*, v. 62, n. 2, p. 953–959, Feb 2015. ISSN 0278-0046.

MESQUITA, S. J. d. *Uma Proposta de Projeto Para Inversor Multinível em Cascata Assimétrico com 63 Níveis na Tensão de Saída e Operação em Baixa Frequência*. Dissertação (Mestrado) — Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos Elétricos, Fortaleza - CE, 2010.

MEYNARD, T. A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: *PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 1992. p. 397–403 vol.1.

MÜLLER, L.; KIMBALL, J. W. High gain dc–dc converter based on the cockcroft–walton multiplier. *IEEE Transactions on Power Electronics*, v. 31, n. 9, p. 6405–6415, Sep. 2016. ISSN 0885-8993.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, Sep. 1981. ISSN 0093-9994.

PENG, F. Z. A generalized multilevel inverter topology with self voltage balancing. *IEEE Transactions on Industry Applications*, v. 37, n. 2, p. 611–618, Mar 2001. ISSN 0093-9994.

PENG, F. Z.; ZHANG, F. A novel compact dc/dc converter for 42 v systems. In: *Power Electronics in Transportation, 2002*. [S.l.: s.n.], 2002. p. 143–148.

PENG, F. Z.; ZHANG, F.; QIAN, Z. A magnetic-less dc-dc converter for dual-voltage automotive systems. *IEEE Transactions on Industry Applications*, v. 39, n. 2, p. 511–518, March 2003. ISSN 0093-9994.

PEREIRA, I. F. B. d. F. *Projectar, Simular e Implementar um Inversor Multinível*. Dissertação (Mestrado) — Universidade do Porto, Faculdade de Engenharia da Universidade do Porto, Mestrado Integrado em Engenharia Electrotécnica e de Computadores Major de Automação, Porto - Distrito do Porto, 2008.

POMILIO, J. A. *Eletrônica de Potência para Geração, Transmissão e Distribuição de Energia Elétrica*. Campinas - SP: Editora da Unicamp, 2012.

RECH, C. *Conversores Multiníveis Aula 03 – Inversor multiníveis com capacitores de grameamento*. Jan 2018.

SALEM, A.; ABIDO, M. A. T-type multilevel converter topologies: A comprehensive review. *Arabian Journal for Science and Engineering*, Aug 2018. ISSN 2191-4281. <<https://doi.org/10.1007/s13369-018-3506-6>>.

SAMADAEI, E. et al. A square t-type (st-type) module for asymmetrical multilevel inverters. *IEEE Transactions on Power Electronics*, v. 33, n. 2, p. 987–996, Feb 2018. ISSN 0885-8993.

SANTOS, J. F. S. *Problema de Controle  $\mathcal{H}_2/\mathcal{H}_\infty$  - Estudo comparativo entre as Técnicas EBPE/CGO e LMI*. Dissertação (Mestrado) — Instituto Militar de Engenharia, Rio de Janeiro – RJ, 2005.

SARAFIANOS, A.; STEYAERT, M. Fully integrated wide input voltage range capacitive dc-dc converters: The folding dickson converter. *IEEE Journal of Solid-State Circuits*, v. 50, n. 7, p. 1560–1570, July 2015. ISSN 0018-9200.

SCHWEIZER, M.; KOLAR, J. W. Design and implementation of a highly efficient three-level t-type converter for low-voltage applications. *IEEE Transactions on Power Electronics*, v. 28, n. 2, p. 899–907, Feb 2013. ISSN 0885-8993.

SILVA, G. V.; COELHO, R. F.; LAZZARIN, T. B. Switched capacitor boost inverter. In: *2016 IEEE 25th International Symposium on Industrial Electronics (ISIE)*. [S.l.: s.n.], 2016. p. 528–533. ISSN 2163-5145.

TOMIN JR., V. P. de; LARICO, H. R. E.; GREFF, D. S. Current-fed switched-capacitor 5-level single-phase inverter. In: *2018 13th IEEE International Conference on Industry Applications (INDUSCON)*. [S.l.: s.n.], 2018. p. 1306–1312.

UENO, F. et al. Emergency power supply for small computer systems. In: *1991., IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 1991. p. 1065–1068 vol.2.

VECCHIA, M. D. *Conversores CC-CC Não Isolados Gerados pela Integração entre Células de Capacitores Chaveados e Células Convencionais de Comutação*. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, Florianópolis – SC, 2016.

VECCHIA, M. D.; LAZZARIN, T. B.; BARBI, I. A three-phase ac-ac converter in open-delta connection based on switched capacitor principle. *IEEE Transactions on Industrial Electronics*, v. 62, n. 10, p. 6035–6041, Oct 2015. ISSN 0278-0046.

VECCHIA, M. D.; SALVADOR, M. A.; LAZZARIN, T. B. Hybrid nonisolated dc-dc converters derived from a passive switched-capacitor cell. *IEEE Transactions on Power Electronics*, v. 33, n. 4, p. 3157–3168, April 2018. ISSN 0885-8993.

WALTRICH, G.; BARBI, I. Three-phase cascade multilevel inverter using commutation sub-cells. In: *2009 Brazilian Power Electronics Conference*. [S.l.: s.n.], 2009. p. 362–368. ISSN 2165-0454.

WANG, L.; ZHANG, B.; QIU, D. A novel valley-fill single-stage boost-forward converter with optimized performance in universal-line range for dimmable led lighting. *IEEE Transactions on Industrial Electronics*, v. 64, n. 4, p. 2770–2778, April 2017. ISSN 0278-0046.

WONG, Y.-C.; MAK, O.-C.; IOINOVICI, A. Development of boost converter based on switched-capacitor circuits. In: *Proceedings of TENCON '93. IEEE Region 10 International Conference on Computers, Communications and Automation*. [S.l.: s.n.], 1993. v. 5, p. 522–525 vol.5.

WU, B. *High-Power Converter and AC Drivers*. Canadá: Wiley Interscience, 2006.

WU, B. *High-Power Converters and AC Drivers*. Wiley, 2007. ISBN 9780471773702.  
<<https://books.google.com.br/books?id=X1b1laKETugC>>.

WU, B. et al. A family of two-switch boosting switched-capacitor converters. *IEEE Transactions on Power Electronics*, v. 30, n. 10, p. 5413–5424, Oct 2015. ISSN 0885-8993.

YUAN, X.; BARBI, I. Fundamentals of a new diode clamping multilevel inverter. *IEEE Transactions on Power Electronics*, v. 15, n. 4, p. 711–718, July 2000. ISSN 0885-8993.

ZAMIRI, E. et al. A new cascaded switched-capacitor multilevel inverter based on improved series-parallel conversion with less number of components. *IEEE Transactions on Industrial Electronics*, v. 63, n. 6, p. 3582–3594, June 2016. ISSN 0278-0046.

ZHANG, F. et al. A new design method for high-power high-efficiency switched-capacitor dc-dc converters. *IEEE Transactions on Power Electronics*, v. 23, n. 2, p. 832-840, March 2008. ISSN 0885-8993.



## APÊNDICE A - Cronograma



Atividade	Janeiro a Março de 2018	Abril de 2018	Mai de 2018	Junho de 2018	Julho de 2018	Agosto de 2018	11 a 15 de Novembro	Novembro a Dezembro de 2018	Janeiro de 2019	Fevereiro de 2019	25 de fevereiro de 2019	Março de 2019	Abril de 2019	Mai de 2019	Junho de 2019	Julho de 2019	Início de agosto de 2019	15 de agosto de 2019	28 de agosto de 2019	Início de setembro de 2019		
Equacionamento, confecção de protótipo, testes experimentais e elaboração de artigo para IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS de outro conversor (DC-DC) sob o título de Unified Second-Stage LC Filter Applied in the Three-State Switching Cell Buck-Boost Converter: Static and Dynamic Analysis and Experimentation. Artigo aceito para publicação em 16 de dezembro de 2018. Atividade realizada com o intuito de aplicar técnicas de modelagem e controle de conversores estáticos, para posteriormente serem aplicados no inversor.																						
Equacionamento inicial: análise individual por perna.																						
Projeto e confecção de um protótipo de 115W / 110V.																						
Testes em Laboratório.																						
Elaboração de artigo científico para congresso.																						
Apresentação de artigo no INDUSCON 2018 sob o título: Current-Fed Switched-Capacitor 5-Level Single-Phase Inverter.																						
Elaboração do texto prévio para qualificação.																						
Qualificação.																						
Equacionamento: obter o modelo em espaço de estados. A partir do modelo em espaço de estados obter esforços nos componentes, dimensionar componentes, obter a curva de ganho estático, o modelo dinâmico e o modelo de resistência equivalente em função da frequência.																						
Projeto e confecção de um protótipo de 1kVA / 220V.																						
Testes em Laboratório.																						
Revisão do texto.																						
Entrega para banca.																						
Defesa da Dissertação.																						
Correções após defesa.																						



Previsão para a atividade



Atividade cumprida, mas com atraso



Atividade cumprida, mas iniciada atrasada



Atividade cumprida dentro ou antes do prazo



Atividade em andamento atrasada