



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO DE CIÊNCIAS, TECNOLOGIAS E SAÚDE
DEPARTAMENTO DE COMPUTAÇÃO

PLANO DE ENSINO

SEMESTRE 2019.1

I. IDENTIFICAÇÃO DA DISCIPLINA:

CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
DEC7546	Circuitos Digitais	4	-	72

HORÁRIO

TURMAS TEÓRICAS	TURMAS PRÁTICAS	MODALIDADE
06655 – 3.1420-2	06655 – 5.1420-2	

II. PROFESSOR(ES) MINISTRANTE(S)

Prof Julián Jair López Salamanca

E-mail: julian.lopez@ufsc.br

III. PRÉ-REQUISITO(S)

CÓDIGO	NOME DA DISCIPLINA
-	Esta disciplina não possui pré-requisitos

IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA

Graduação em Engenharia de Computação

V. JUSTIFICATIVA

Esta disciplina explora conceitos dos circuitos digitais, proporcionando aos alunos as bases teóricas para o desenvolvimento de projetos em ambientes de laboratório. Os circuitos digitais compõe a base dos sistemas microprocessados, assim como dos dispositivos de aquisição de informação, arquivamento de dados digitais, etc.

VI. EMENTA

Álgebra de Boole. Portas lógicas. Parâmetros físicos e limitações de portas lógicas e circuitos integrados. Circuitos combinacionais. Técnicas de minimização de hardware. Implementação de dispositivos elementares de memória (latches e flip-flops). Circuitos Sequenciais. Memória. Implementação de módulos básicos. Ambiente de simulação.

VII. OBJETIVOS

Objetivo Geral:

- Representar equações lógicas, efetuar simplificações por mapas de Karnaugh;
- Implementar funções lógicas utilizando portas lógicas;
- Projetar circuitos eletrônicos fazendo uso dos principais dispositivos digitais;
- Compreender o funcionamento de registradores, memórias e fazer associações em série e em paralelo;
- Conhecer o funcionamento interno dos principais dispositivos digitais.

VIII. CONTEÚDO PROGRAMÁTICO

UNIDADE 1: Álgebra de Boole

- Representar funções lógicas por meio de equações
- Realizar simplificações aplicando teoremas fundamentais e mapas K (minimização)
- Implementar funções lógicas através de portas lógicas

UNIDADE 2: Circuitos Combinacionais Básicos

• Estudar os dispositivos fundamentais: multiplexadores, demultiplexadores, decodificadores, comparadores e codificadores.

UNIDADE 3: somadores

- Circuitos aritméticos somadores, subtratores
- Projeto de circuitos lógicos combinacionais
- Codificadores e decodificadores

UNIDADE 4: Circuitos Sequenciais

- Latches, flipflops
- Máquinas de estado

UNIDADE 5: Registradores

- Série, paralelo, associação
- CIs

UNIDADE 6: Contadores

- Up, Down, reversível
- Síncrono, assíncrono, sequencia não natural

UNIDADE 7: Memória

- Tipos de memória e seu funcionamento interno.
- Associação de memória

IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

Aulas teóricas: desenvolvidas em sala com emprego de meios audiovisuais tais projetor de imagens. Todo o material didático estará disponível "a priori" para os alunos no Ambiente Virtuais de Aprendizagem (AVA) da disciplina ([HTTP://moodle.ufsc.br](http://moodle.ufsc.br)) e atualizados de maneira progressiva ao longo do semestre.

X. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO

- A verificação do rendimento escolar compreenderá **frequência e aproveitamento** nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, ficando nela reprovado o aluno que não comparecer, no mínimo, a 75% (setenta e cinco por cento) das mesmas.
- A nota mínima para aprovação na disciplina será $MF \geq 6,0$ (seis) e Frequência Suficiente (FS). (Art. 69 e 72 da Res. nº 17/Cun/1997).
- O aluno com Frequência Suficiente (FS) e média das notas de avaliações do semestre MF entre 3,0 e 5,5 terá direito a uma nova avaliação no final do semestre (REC), exceto as atividades constantes no art.70, § 2º. A Nota Final (NF) será calculada por meio da média aritmética entre a média das notas das avaliações parciais (MF) e a nota obtida na nova avaliação (REC). (Art. 70 e 71 da Res. nº 17/Cun/1997).

$$NF = \frac{MF + REC}{2}$$

- Ao aluno que não comparecer às avaliações ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. no 17/Cun/1997)
- Serão realizadas as seguintes avaliações:
 - P1: Prova 1 prova escrita e individual
 - P2: Prova 2 prova escrita e individual
 - P3: Prova 3 prova escrita e individual
 - EX: Quiz, desenvolvimento de atividades/trabalhos individuais e em grupos, no decorrer do semestre, no decorrer das aulas e extraclasse.
- A média final (MF) será computada da seguinte forma:

$$MF = P1*0,3+P2*0,3+P3*0,3+EX*0,1$$

Observações:

Avaliação de recuperação

Não há avaliação de recuperação nas disciplinas de **caráter prático** que envolve atividades de laboratório (Res.17/CUn/97).

Nova avaliação

O aluno, que por motivo de força maior e plenamente justificado, deixar de realizar atividades avaliativas previstas no plano de ensino, deverá formalizar pedido à Chefia do Departamento de Ensino ao qual a disciplina pertence, dentro do prazo de 3 (três) dias úteis, apresentando documentação comprobatória.

XI. CRONOGRAMA PRÁTICO

AULA (semana)	DATA	ASSUNTO
1	11/03/19 a 16/03/16	Apresentação do plano de ensino, Postulados, Lei da dualidade, Teoremas fundamentais, Funções Booleanas, Portas Lógicas.
2	18/03/19 a 23/03/19	Equivalência de portas. Equivalências à porta "NAND", "NOR", "NOT", "AND", "OR".
3	25/03/19 a 30/03/19	Implementação de funções.
4	01/04/19 a 06/04/19	Formas padrões, Equivalente decimal, Notações simplificadas, Forma padrão x Tabela verdade.
5	08/04/19 a 13/04/19	Minimização de funções, Simplificação Algébrica, Método do mapa de Karnaugh. Mapas para 2, 3, 5 e 6 variáveis.
6	15/04/19 a 20/04/19	Teoria dos conjuntos e os mapas, Representação de funções no mapa, Agrupamento de quadros., Exemplos de circuitos lógicos. P1 (18/04/19)
7	22/04/19 a 27/04/19	Circuitos multiplexadores, Aplicações de Multiplexadores: Geração de funções booleanas, Associação, Seletor de palavras, Demultiplexadores.
8	29/04/19 a 4/05/19	Circuitos demultiplexadores. Exercícios sobre multiplexadores.
9	6/05/19 a 11/05/19	Decodificadores. Projeto de um Decodificador 2/4: Decodificador Decimal: Circuito Integrado 7442, 74XX42 Decodificador Hexadecimal Associação de Decodificadores Decodificadores para Sete Segmentos
10	13/05/19 a 18/05/19	Comparadores Codificador: Circuito codificador com 3 saídas 74LS148 Circuitos Aritméticos e Códigos Especiais.
11	20/05/19 a 25/05/19	Adição. Projeto do Somador para quatro "bits": Somador Incompleto, Somador Completo ("Full-Adder").
12	27/05/19 a 1/06/19	Somador Paralelo. Circuito Integrado – 74LS83. Subtração P2 (30/05/19)
13	3/06/19 a 8/06/19	Análise e Síntese de Circuitos Seqüenciais: "Latch" RS, "Latch" RS Síncrono, "Latch" D, "Flip-Flop" D "Flip-Flop" JK "Edge-Triggered", "Flip-Flop" JK "Master-Slave".
14	10/06/19 a 15/06/19	Duplo "flip-flop" D: 74LS74, 74HC/HCT74 Quádruplo "Latches" D: 74LS75, 74HC/HCT75 Duplo "flip-flop" JK "edge-triggered": 7476, 74LS76, 74C76, 74HC/HCT76 Duplo "Flip-Flop" JK "edge-triggered" com "Set" e "Reset": 74LS112, 74F112, 74LVC112 Duplo "Flip-Flop" JK "edge-triggered" com "Set" e "Reset": 74LS109, 74F109, 74LVC109

		Seis "flip-flops" D: 74LS174, 74HC/HCT174 Contadores
15	17/06/19 a 22/06/19	Análise e Síntese de Circuitos Seqüências Síncronos Modelos de Máquinas Seqüenciais de Estado
16	24/06/19 a 29/06/19	Análise de uma FSM de Mealy com "Flip-flop" D Análise de uma FSM de Moore com "Flip-flop" D Análise de uma FSM de Mealy com "Flip-flop" JK
17	1/07/19 a 6/07/19	Memórias RAM Memória RAM Estática SRAM Síncrona SRAM Síncrona, Sinais na Leitura/Escrita, Memórias ROM, ROM com Matriz de Diodos ROM programável pelo usuário – PROM, ROM Programável e Apagável pelo Usuário, "EPROM", EEPROM P3 (2/07/19)
18	8/07/19 a 13/07/19	Prova REC Fechamento das notas

Obs: O calendário está sujeito a pequenos ajustes de acordo com as necessidades das atividades desenvolvidas.

XII. FERIADOS PREVISTOS PARA O SEMESTRE 2019.1:

DATA	
3/04/19	Aniversário da cidade (quarta)
19/04/19	Sexta-feira santa (sexta)
20/04/19	Dia não letivo (sábado)
21/04/19	Tiradentes (páscoa) (domingo)
1/05/19	Dia do trabalhador (quarta)
04/05/19	Dia da Padroeira da Cidade (Campus de Araranguá) (sábado)
20/06/19	Corpus Christi (quinta)
21/06/19	Dia não letivo (sexta)
22/06/19	Dia não letivo (sábado)

XIII. BIBLIOGRAFIA BÁSICA

1. TOCCI, RONALD J.; WIDMER, NEAL S.; MOSS, GREGORY L. **Sistemas Digitais: Princípios e Aplicações** 11ª edição. São Paulo: Pearson. (20 exemplares da 11ª edição, 10 exemplares da 10ª edição)
2. BIGNELL, James; DONOVAN, Robert. **Eletrônica digital**. São Paulo: Cengage Learning, 2010. xviii, 648 p. ISBN 9788522107452 (10 exemplares)
3. MALVINO, A. P. e LEACH, D. P.. **Eletrônica Digital – Princípios e Aplicações**. Volumes 1 e 2, São Paulo: McGraw-Hill, 1987 (20 exemplares do volume 1 e do volume 2)

XIV. BIBLIOGRAFIA COMPLEMENTAR:

1. IDOETA, Ivan V.; CAPUANO, Francisco G. **Elementos de eletrônica digital**. 41. ed. rev. e atual. São Paulo: Livros Erica Ed., c2012. 544 p. ISBN 9788571940192
2. FERREIRA, José Manuel Martins. **Introdução ao projecto com sistemas digitais e microcontroladores**. Porto: FEUP, 1998. 371 p. ISBN 9727520324
3. WILSON, Peter. **The circuit designer's companion**. 3rd ed. Amsterdam: Elsevier, 2012. xv, 439 p. ISBN 9780080971384
4. PEDRONI, Volnei A. **Eletrônica digital moderna e VHDL**. Rio de Janeiro: Elsevier, c2010. 619 p. ISBN 9788535234657
5. D'AMORE, ROBERTO, **VHDL – Descrição e Síntese de Circuitos Digitais**, LTC, ISBN: 8521620543, ISBN-13: 9788521620549, 2ª edição, 2012

Obs: Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá.

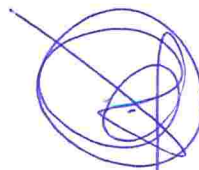
XV. INFRAESTRUTURA E MATERIAS NECESSÁRIOS:

1. Acesso à internet (sem fio e por cabo)
2. Datashow que possa ser operado de forma segura, sem risco de acidentes
3. Uma (1) resma de papel A4 para confecção das provas
4. 200 folhas pautadas (folhas para as respostas das questões das provas)
5. Quadro branco e canetas.
6. Acesso a impressão para a confecção das provas

Obs.: A indisponibilidade de infraestrutura/materiais listados pode causar prejuízos ao processo pedagógico, inviabilizando tanto as atividades dos docentes como as dos alunos, podendo, ainda, acarretar em cancelamento de aulas em último caso.

Julian Jair
López
Salamanca

Assinado de forma
digital por Julian Jair
López Salamanca
Dados: 2019.03.20
17:09:53 -03'00'



Prof. Julián Jair López Salamanca
Professor da Disciplina

Aprovado na Reunião do Colegiado do Curso de

em 27/03/19

Prof. Oliveira Oliveira, Ph.D.
Coordenador do Curso de
Eng. de Computação - UFSC
27/03/2018/CR