



UNIVERSIDADE FEDERAL DE SANTA CATARINA  
Centro de Ciências, Tecnologias e Saúde  
Departamento de Computação  
PLANO DE ENSINO

SEMESTRE 2019.2

**I. IDENTIFICAÇÃO DA DISCIPLINA:**

CÓDIGO	NOME DA DISCIPLINA	Nº DE HORAS-AULA SEMANAIS		TOTAL DE HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
DEC7555	Linguagens de Descrição de Hardware	4	0	72

	HORÁRIO	MODALIDADE
TURMAS TEÓRICAS	TURMAS PRÁTICAS	Presencial
3.1420 e 5.1420 - 7655		

**II. PROFESSOR(ES) MINISTRANTE(S)**

Prof. Marcelo Berejuck, marcelo.berejuck@ufsc.br

Horário de atendimento: Quinta-feira das 10:00 às 12:00 – Unidade Mato Alto – Sala 206

**III. PRÉ-REQUISITO(S)**

CÓDIGO	NOME DA DISCIPLINA
-	É sugerido que o aluno já tenha cursado Circuitos Digitais, e Organização e Arquitetura de Computadores.

**IV. CURSO(S) PARA O(S) QUAL(IS) A DISCIPLINA É OFERECIDA**

Engenharia de Computação

**V. JUSTIFICATIVA**

Esta disciplina deverá explorar conceitos e técnicas em circuitos digitais e motivar a realização de projeto extraclasse em ambiente de laboratório. Também irá induzir o aluno à realizar tais projetos em um ambiente que se utilize de linguagem de descrição de hardware

**VI. EMENTA**

Ementa: Desenvolvimento de projetos em Alto Nível através de Linguagens de Descrição de Hardware (VHDL, Verilog), Máquina Finita de Estados, RTL (RegisterTransferLevel), em dispositivos como Field Programmable Gate Array (FPGA). São considerados Co-Projetos de Hardware/Software em ambientes System-on-Chip enfocando CORE e IP para o re-uso de sistemas. Para esses estudos são considerados os usos das ferramentas EDA (Eletronic Design Automation) da Xilinx e Altera. Considerações sobre: co-projeto de hardware/software; engenharia de software para o sistema; questões de sincronização de clock; protocolo de comunicação; escalonamento; RTOS (Real Time Operating System); validação e verificação; tolerância à falhas; programando sensores e atuadores; simulação, ferramentas EDA, ambiente distribuído.

**VII. OBJETIVOS**

Objetivo Geral:

- Compreender o funcionamento de uma FPGA e o ciclo de desenvolvimento de Hardware utilizando esse tipo de dispositivo.
- Compreender a capacidade desses dispositivos e as possibilidades de integração de Hard Cores, Soft Cores e código personalizado.

- Escrever código em linguagem de descrição de hardware, utilizar ferramentas de desenvolvimento e simulação
- Criar um pequeno projeto de dispositivo que explore os recursos de uma FPGA

## VIII. CONTEÚDO PROGRAMÁTICO

### UNIDADE 1: FPGA

- FPGA, estrutura interna
- FPGA, ferramentas de desenvolvimento e simulação
- Ciclo de desenvolvimento, ferramenta de síntese de hardware, uso como ferramenta de prototipação
- Processadores implementados em hardware e em software, mercado de FPGAs, empresas fabricantes, mercado de atuação
- propriedade intelectual de componentes de hardware

### UNIDADE 2: Programação para FPGA

- Linguagens existentes
- Código sintetizável e código não sintetizável
- Linguagem de programação VHDL

### UNIDADE 3: Estudo da linguagem VHDL

- Formato da linguagem, escrita de código básico
- Recursos avançados da linguagens
- Criação de código, simulação usando ambiente de desenvolvimento ALTERA

### UNIDADE 4: Implementação de dispositivos em VHDL

- portas lógicas, latches, Flipflops, circuitos compostos por diferentes elementos
- decodificadores, mux, demux, decodificadores 7 segmentos
- Uso de decodificadores para habilitar partes de um circuito
- máquinas de estado em VHDL, máquinas moore, máquinas mealy

## IX. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

Aulas teóricas: desenvolvidas em sala e com emprego de meios audiovisuais tais como transparências e apresentações sobre PC portátil de produção própria expostas com projetor. Todo o material didático estará disponível "a priori" para os alunos na página do professor: [fabiodelarocha.paginas.ufsc.br](http://fabiodelarocha.paginas.ufsc.br)

## X. METODOLOGIA E INSTRUMENTOS DE AVALIAÇÃO

A verificação do rendimento escolar compreenderá frequência e aproveitamento nos estudos, os quais deverão ser atingidos conjuntamente. Será obrigatória a frequência às atividades correspondentes a cada disciplina, no mínimo a 75% das mesmas (Frequência Suficiente - FS), ficando nela reprovado o aluno que não comparecer a mais de 25% das atividades (Frequência Insuficiente - FI).

Serão realizadas duas avaliações :

- Prova teórica (P1)
- Trabalho prático (T1)

A média final do semestre será a própria média aritmética entre P1 e T1 e assim a nota mínima para aprovação na disciplina será  $MF \geq 6,0$  (seis) e Frequência Suficiente (FS). (Art. 69 e 72 da Res. nº 17/CUn/1997).

Ao aluno que não comparecer às atividades práticas ou não apresentar trabalhos no prazo estabelecido será atribuída nota 0 (zero). (Art. 70, § 4º da Res. nº 17/CUn/1997)

Observações:

**Avaliação de recuperação**

Não há avaliação de recuperação nas disciplinas de caráter prático que envolve atividades de laboratório. (Res.17/CUn/97).

**Nova avaliação**

O aluno, que por motivo de força maior e plenamente justificado, deixar de realizar atividades avaliativas previstas no plano de ensino, deverá formalizar pedido à Chefia do Departamento de Ensino ao qual a disciplina pertence, dentro do prazo de 3 (três) dias úteis, apresentando documentação comprobatória.

**XI. CRONOGRAMA PRÁTICO**

AULA (semana)	DATA		ASSUNTO
1	06/08/19	08/08/19	Apresentação do plano de ensino, site da disciplina, Introdução à FPGA, visão geral da disciplina. Hardware concorrente.
2	13/08/19	15/08/19	SAEC (Semana Acadêmica de Engenharia de Computação) – Revisão de Circuitos Digitais.
3	20/08/19	22/08/19	Introdução ao VHDL; Definição de Entidade e Arquitetura; Operadores Lógicos e Aritméticos; Tipos de dados; Testes em componentes criados em VHDL; Qsim; ModelSim.
4	27/08/19	29/08/19	Componentes; Formas de conexão interna.
5	03/09/19	05/09/19	Concorrência em VHDL; Comandos concorrentes básicos.
6	10/09/19	12/09/19	Lista de sensibilidade; Comandos sequenciais básicos.
7	17/09/19	19/09/19	Conceitos de sincronismo; Flip-flops; Registradores; Máquinas de estado.
8	24/09/19	26/09/19	Declaração GENERIC; Comando GENERATE; Esquema de geração IF; Comando LOOP; Comando WHILE.
9	01/10/19	03/10/19	Bibliotecas; Pacotes; Ordem de análise na síntese.
10	08/10/19	10/10/19	Read-only memory (ROM); Random-access memory (RAM).
11	15/10/19	17/10/19	PROVA P1
12	22/10/19	24/10/19	Desenvolvimento de processador customizado – caminho de dados
13	29/10/19	31/10/19	Desenvolvimento de processador customizado – caminho de controle
14	05/11/19	07/11/19	Sorteio e apresentação dos trabalhos aos alunos.
15	12/11/19	14/11/19	Execução do Trabalho T1
16	19/11/19	21/11/19	Execução do Trabalho T1
17	26/11/19	28/11/19	Execução do Trabalho T1
18	03/12/19	05/12/19	Defesa de trabalho T1 Fechamento das notas

Obs: O calendário está sujeito a pequenos ajustes de acordo com as necessidades das atividades desenvolvidas.

**XII. FERIADOS PREVISTOS PARA O SEMESTRE 2019.2:**

DATA	
07/09/2019	Independência do Brasil (Sábado)
12/10/2019	Nossa Senhora Aparecida (Sábado)

28/10/2019	Dia do Servidor Público (Lei nº 8.112 – art. 236) (Sexta)
02/11/2019	Finados (Sábado)
15/11/2019	Proclamação da República (Sexta)
16/11/2019	Dia não letivo (Sábado)

### XIII. BIBLIOGRAFIA BÁSICA

- 1] HAMBLEN, James O; HALL, Tyson S; FURMAN, Michael D. **Rapid Prototyping of Digital Systems**. Boston: Springer Science+Business Media, LLC, 2008. *(disponível on-line no pergamum)*
- [2] Pedroni - Circuit Design with VHDL; MIT Press, 2005. *(6 exemplares disponíveis na biblioteca 21.38.049.77 P372e)*
- [3] D'Amore, R. - VHDL: Descrição e Síntese de Circuitos Digitais, LTC, 2005 *(19 exemplares na biblioteca)*

### XIV. BIBLIOGRAFIA COMPLEMENTAR:

- [4] Digital\_McLogic\_Design– Livro disponível gratuitamente em [http://www.ee.calpoly.edu/media/uploads/resources/Master\\_Digital\\_McLogic\\_Design\\_v2.01.pdf](http://www.ee.calpoly.edu/media/uploads/resources/Master_Digital_McLogic_Design_v2.01.pdf) – (licença creative commons)
- [5] Free Range VHDL – Livro disponível gratuitamente em <http://www.freerangefactory.org/>
- [6] The Designer's Guide to VHDL 3 edição, Volume 3, Peter J. Ashenden ISBN: 978-0-12-088785-9 *(disponível no science direct)*
- [7] Quartus II Introduction Using VHDL Designs, Altera, disponível em : [ftp://ftp.altera.com/up/pub/Altera\\_Material/11.0/Tutorials/VHDL/Quartus\\_II\\_Introduction.pdf](ftp://ftp.altera.com/up/pub/Altera_Material/11.0/Tutorials/VHDL/Quartus_II_Introduction.pdf)
- [8] Getting Started with Altera's DE-Series Boards, Altera, disponível em: [ftp://ftp.altera.com/up/pub/Altera\\_Material/10.1/Tutorials/Getting\\_Started\\_with\\_DE-series\\_boards.pdf](ftp://ftp.altera.com/up/pub/Altera_Material/10.1/Tutorials/Getting_Started_with_DE-series_boards.pdf)

Os livros acima citados constam na Biblioteca Universitária e Setorial de Araranguá.

### XV. INFRAESTRUTURA E MATERIAS NECESSÁRIOS:

1. Computadores para os alunos com os softwares da disciplina instalados.
2. Espaço físico com mesas, cadeiras e tomadas em quantidades adequadas
3. Acesso à internet
4. Datashow que possa ser operado de forma segura, sem risco de acidentes
5. Quadro branco e canetas
6. Kit de desenvolvimento Altera Terasic DE0

**Obs.:** A indisponibilidade de infraestrutura/materiais listados pode causar prejuízos ao processo pedagógico, inviabilizando tanto as atividades dos docentes como as dos alunos, podendo, ainda, acarretar em cancelamento de aulas em último caso.

Marcelo Daniel  
Berejuck

Assinado de forma digital por  
Marcelo Daniel Berejuck  
Dados: 2019.06.17 11:52:47 -03'00'

Professor da Disciplina

Aprovado na Reunião do Colegiado do Curso em:  
16/08/19

Prof. Fabricio de Oliveira Ourique, Ph.D.  
Coordenador de Curso de  
Eng. de Computação - UFSC  
Portaria 2703/2018/GR

Coordenador do Curso