



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO DE JOINVILLE
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA DE SISTEMAS
ELETRÔNICOS

VALDIR PEDRINHO DE TOMIN JUNIOR

**CONVERSOR DE 4 QUADRANTES A CAPACITOR CHAVEADO COM 5 NÍVEIS DE
TENSÃO DE SAÍDA**

DISSERTAÇÃO DE MESTRADO – DM – PPGESE – 006

Joinville
2019

Valdir Pedrinho de Tomin Junior

**CONVERSOR DE 4 QUADRANTES A CAPACITOR CHAVEADO COM 5 NÍVEIS DE
TENSÃO DE SAÍDA**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia de Sistemas Eletrônicos da Universidade Federal de Santa Catarina para a obtenção do título de Mestre em Engenharia de Sistemas Eletrônicos.
Orientador: Prof. Hugo Rolando Estofanero Larico, Dr.

Joinville
2019

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Tomin Junior, Valdir Pedrinho de
Conversor de 4 quadrantes a capacitor chaveado com 5
níveis de tensão de saída / Valdir Pedrinho de Tomin Junior
; orientador, Hugo Rolando Estofanero Larico, 2019.
172 p.

Dissertação (mestrado) - Universidade Federal de Santa
Catarina, Campus Joinville, Programa de Pós-Graduação em
Engenharia de Sistemas Eletrônicos, Joinville, 2019.

Inclui referências.

1. Engenharia de Sistemas Eletrônicos. 2. Conversor
multinível. 3. Capacitor chaveado. 4. Conversor de 4
quadrantes. 5. Eletrônica de potência. I. Estofanero
Larico, Hugo Rolando. II. Universidade Federal de Santa
Catarina. Programa de Pós-Graduação em Engenharia de
Sistemas Eletrônicos. III. Título.

Valdir Pedrinho de Tomin Junior

Conversor de 4 Quadrantes a Capacitor Chaveado com 5 Níveis de Tensão de Saída

O presente trabalho em nível de Mestrado foi avaliado e aprovado por banca examinadora composta pelos seguintes membros:

Prof. Alessandro Luiz Batschauer, Dr.
Universidade do Estado de Santa Catarina – UDESC

Prof. Joselito Anastácio Heerdt, Dr.
Universidade do Estado de Santa Catarina – UDESC

Certificamos que esta é a **versão original e final** do trabalho de conclusão que foi julgado adequado para obtenção do título de Mestre em Engenharia de Sistemas Eletrônicos.

Prof. Alexandro Garro Brito, Dr.
Coordenador do Programa

Prof. Hugo Rolando Estofanero Larico, Dr.
Orientador

Joinville, 19 de novembro de 2019.

Dedico este trabalho à minha família e amigos.

AGRADECIMENTOS

Agradeço a Deus, pelo dom da vida, pelas minhas capacidades e pelas pessoas em minha vida.

Agradeço ao meu orientador, professor Hugo R. E. Larico, por me conduzir no desenvolvimento deste trabalho, pela paciência e tolerância às minhas “blasfêmias contra a eletrônica de potência”, como costuma dizer, pelos conhecimentos passados e por me mostrar uma visão singular sobre a construção do conhecimento, mas acima de tudo, por sua amizade.

Agradeço ao professor Diego Santos Greff, por todas as contribuições e orientações durante o período do meu mestrado, não só nas questões técnicas, mas também compartilhando sua experiência de vida.

Agradeço à CAPES, pelo apoio financeiro para a realização dos meus estudos.

Agradeço aos membros da banca examinadora, professores Alessandro Luiz Batschauer e Joselito Anastácio Heerdt pela contribuição para a melhoria do presente documento.

Agradeço aos meus pais, Valdir Pedrinho de Tomin e Blandina Neves, pela compreensão e apoio.

Agradeço à minha namorada, Larissa Ester Pereira, por sua paciência e por encorajar-me durante o período de finalização desta dissertação.

Agradeço a todos os brasileiros que pagam seus impostos e viabilizam a gratuidade de instituições como a Universidade Federal de Santa Catarina.

"All we have to decide is what to do with the time that is given us."
Gandalf in The Fellowship of the Ring, J. R. R. Tolkien (1954)

"É melhor estudar uma única equação, mas entendê-la profundamente,
do que estudar várias e não ter pleno entendimento de nenhuma."
Hugo R. E. Larico (2017)

RESUMO

Neste trabalho é proposto um conversor multinível composto por um par de células P2 de 3 níveis de tensão, onde cada célula constitui uma perna de uma estrutura monofásica que opera nos 4 quadrantes, no qual emprega-se uma técnica de capacitor chaveado. O conversor é abaixador de tensão e sintetiza até 5 níveis de tensão de saída. As células são constituídas por 3 capacitores que processam energia através da comutação de 6 interruptores. Dois capacitores são comuns a ambas as células, de modo que a topologia seja constituída por 4 capacitores de processamento de energia e 12 interruptores. O conversor proposto apresenta o auto-balanceamento das tensões dos capacitores de processamento de energia, característica vantajosa frente a outras topologias multiníveis que demandam de estratégias de balanceamento das tensões sobre os capacitores relativamente complexas. A frequência da tensão pulsada na entrada do filtro de saída é 4 vezes a frequência de chaveamento, o que reduz o tamanho do filtro de saída; e os esforços de tensão sobre os semicondutores são, em magnitude, metade da tensão de entrada. Os esforços de corrente nos semicondutores são menores que a corrente de carga, embora desiguais. Este trabalho apresenta a análise estática da variante topológica composta por uma única célula P2 de 3 níveis de tensão, identificada como C4Q-CC-3N. Essa análise demonstra que o C4Q-CC-3N possui uma faixa de operação limitada, o que justifica o estudo da topologia proposta, identificada como C4Q-CC-5N. Os valores médios do C4Q-CC-5N são obtidos utilizando-se a técnica de espaço de estados. As ondulações de tensão nos capacitores e de corrente nos indutores, bem como os esforços de corrente nos semicondutores e capacitores são obtidos analisando-se as formas de onda sobre esses componentes. Além disso, é obtido um modelo de pequenos sinais de segunda ordem, o qual descreve a dinâmica do sistema. O equacionamento é adaptado para a operação como inversor de tensão e a teoria é verificada, quantitativamente, comparando-se resultados de simulações com valores teóricos previstos pelas equações desenvolvidas para ambos os modos de operação: conversor cc-cc e inversor de tensão. Por fim, são apresentados resultados experimentais obtidos com um protótipo de 115 W operando como inversor, com tensão de entrada de 48 V, tensão eficaz de saída de 110 V / 50 Hz e frequência de chaveamento de 10 kHz. Os resultados validam o princípio de funcionamento proposto.

Palavras-chave: Conversor multinível, Capacitor chaveado, Conversor de 4 quadrantes, Inversor.

ABSTRACT

This work proposes a multilevel converter composed of a pair of 3-level P2 cells, where each cell constitutes a leg of a 4-quadrants single-phase structure, using a switched capacitor technique. The converter is a step-down converter that synthesizes up to 5 output voltage levels. The cells consist of 3 power processing capacitors switched by 6 power switches. Two capacitors are shared by both cells. Thus, the topology consists of 4 power processing capacitors and 12 power switches. The proposed converter presents a self voltage balancing on the power processing capacitors, an advantageous feature compared to other multilevel topologies that require relatively complex strategies for voltage balancing. The frequency of the pulsed voltage at the output filter input is four times the switching frequency, which reduces the size of the output filter; and the current stresses on semiconductors are, in magnitude, half of the input voltage. The current stresses on semiconductors are lower than the load current, although unequal. This work presents the static analysis of the topological variant composed by a single 3-level P2 cell, identified as the half-bridge converter. This analysis shows that the half-bridge converter has a limited operating range, justifying the study of the proposed topology, identified as the full-bridge converter. The mean values of the full-bridge are obtained using the state-space technique. The voltage ripples on capacitors and current ripples on inductors as well as current stresses on semiconductors and capacitors are obtained analyzing the waveforms on these components. Furthermore, a second-order small-signals model is obtained, which describes the system dynamics. The equations are adapted for operation as a voltage inverter, and the theory is verified, quantitatively, comparing simulation data with the theoretical values predicted by the developed equations for both operations modes: dc-dc converter and voltage inverter. Finally, is presented the experimental data obtained from a prototype of 115 W operating as a voltage inverter with an input voltage of 48 V, RMS output voltage of 110 V / 50 Hz, and switching frequency of 10 kHz. The experimental data validates the principle of operation.

Keywords: Multilevel converter, Switched capacitor, 4-quadrant converter, Inverter.

LISTA DE FIGURAS

Figura 2.1 – Célula básica de capacitor chaveado	40
Figura 2.2 – Sub-circuitos equivalentes do SCC da Fig. 2.1	40
Figura 2.3 – Circuito genérico de carga / descarga do capacitor	40
Figura 2.4 – Possíveis perfis de carga do capacitor C_i da Fig. 2.4	41
Figura 2.5 – Comportamento da resistência equivalente em função do parâmetro β_i – Adaptado de Ben-Yaakov (2012)	42
Figura 2.6 – Dependência da resistência equivalente em função da frequência normalizada – Adaptado de Ben-Yaakov e Evzelman (2009).	42
Figura 2.7 – Conversor NPC trifásico de 3 níveis	44
Figura 2.8 – Conversor NPC trifásico de 5 níveis	46
Figura 2.9 – Conversor NPC de 5 níveis trifásico sem ligação série de diodos	47
Figura 2.10 – Conversor ANPC trifásico de 3 níveis	48
Figura 2.11 – Conversor TNPC trifásico de 3 níveis	48
Figura 2.12 – Conversor FC trifásico de 3 níveis	49
Figura 2.13 – Conversor FC trifásico de 5 níveis	50
Figura 2.14 – Topologia multinível generalizada com auto-balanço de tensões	52
Figura 3.1 – Conversor de 4 de quadrantes a capacitor chaveado com 3 níveis de tensão de saída	55
Figura 3.2 – Circuito analógico modulador dos sinais de comando do C4Q-CC-3N	56
Figura 3.3 – Principais formas de onda do C4Q-CC-3N para $0 \leq \delta \leq 1/2$	58
Figura 3.4 – Estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$	59
Figura 3.5 – Estado topológico 01 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$	60
Figura 3.6 – Estado topológico 10 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$	60
Figura 3.7 – Principais formas de onda do C4Q-CC-3N para $-1/2 \leq \delta \leq 0$	62
Figura 3.8 – Estado topológico 00 do C4Q-CC-3N com $-1/2 \leq \delta \leq 0$	63
Figura 3.9 – Estado topológico 10 do C4Q-CC-3N com $-1/2 \leq \delta \leq 0$	63
Figura 3.10 – Estado topológico 01 do C4Q-CC-3N com $-1/2 \leq \delta \leq 0$	64
Figura 3.11 – Diferença de tensão entre os capacitores em função de δ, r_{SON} e r_{ESR}	66
Figura 4.1 – Conversor de 4 de quadrantes a capacitor chaveado com 5 níveis de tensão de saída	67
Figura 4.2 – Circuito analógico modulador dos sinais de comando do C4Q-CC-5N	67
Figura 4.3 – Principais formas de onda do C4Q-CC-5N para $1/4 \leq \delta \leq 1/2$	70
Figura 4.4 – Principais formas de onda do C4Q-CC-5N para $0 \leq \delta < 1/4$	71
Figura 4.5 – Estado topológico 1100 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$	74
Figura 4.6 – Estado topológico 0100 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$	74
Figura 4.7 – Estado topológico 1101 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$	75
Figura 4.8 – Estado topológico 1000 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$	76

Figura 4.9 – Estado topológico 1110 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$. . .	77
Figura 4.10 – Estado topológico 0100 do C4Q-CC-5N com $0 \leq \delta < 1/4$	78
Figura 4.11 – Estado topológico 0101 do C4Q-CC-5N com $0 \leq \delta < 1/4$	78
Figura 4.12 – Estado topológico 1101 do C4Q-CC-5N com $0 \leq \delta < 1/4$	79
Figura 4.13 – Estado topológico 1001 do C4Q-CC-5N com $0 \leq \delta < 1/4$	80
Figura 4.14 – Estado topológico 1000 do C4Q-CC-5N com $0 \leq \delta < 1/4$	80
Figura 4.15 – Estado topológico 1010 do C4Q-CC-5N com $0 \leq \delta < 1/4$	81
Figura 4.16 – Estado topológico 1110 do C4Q-CC-5N com $0 \leq \delta < 1/4$	82
Figura 4.17 – Estado topológico 0110 do C4Q-CC-5N com $0 \leq \delta < 1/4$	83
Figura 4.18 – Tensão média de saída V_o em função de δ	85
Figura 4.19 – Tensão média nos capacitores de barramento $V_{C_{BR}}$ e nos capacitores chaveados $V_{C_{CH}}$ em função δ	86
Figura 4.20 – Formas de onda de corrente e tensão nos capacitores chaveados	87
Figura 4.21 – Formas de onda de corrente e tensão nos capacitores de barramento	88
Figura 4.22 – Formas de onda da soma das ondulações de tensão nos capacitores C_1 e C_2 e corrente no indutor de entrada L_i	89
Figura 4.23 – Formas de onda de tensão e corrente no indutor de saída L_o	90
Figura 4.24 – Formas de onda de corrente e tensão no capacitor de saída C_o	91
Figura 5.1 – Ondulação $\Delta V_{C_{CH}}$ normalizada nos capacitores chaveados para um período da onda sinusoidal da tensão de saída	105
Figura 5.2 – Ondulação $\Delta V_{C_{BR}}$ normalizada nos capacitores de barramento para um período da onda sinusoidal da tensão de saída	105
Figura 5.3 – Ondulação ΔI_{L_i} normalizada no indutor de entrada para um período da onda sinusoidal da tensão de saída	106
Figura 5.4 – Ondulação ΔI_{L_o} normalizada no indutor de saída para um período da onda sinusoidal da tensão de saída com $0 \leq D_m \leq 1/4$	107
Figura 5.5 – Ondulação ΔI_{L_o} normalizada no indutor de saída para um período da onda sinusoidal da tensão de saída com $0 \leq D_m \leq 1/2$	109
Figura 6.1 – Diagrama de blocos da malha de controle	115
Figura 6.2 – Resultados de simulação – Formas de onda de corrente e tensão no capacitor C_B em regime permanente e malha aberta	117
Figura 6.3 – Resultados de simulação – Formas de onda de corrente e tensão no capacitor C_2 em regime permanente e malha aberta	117
Figura 6.4 – Resultados de simulação – Formas de onda de tensão e corrente no indutor L_i em regime permanente e malha aberta	117
Figura 6.5 – Resultados de simulação – Formas de onda de tensão e corrente no indutor L_o em regime permanente e malha aberta	118
Figura 6.6 – Resultados de simulação – Formas de onda de corrente e tensão no capacitor C_o em regime permanente e malha aberta	118

Figura 6.7 – Resultados de simulação – Comparativo da resposta da tensão de saída $v_o(t)$ do modelo de pequenos sinais com a resposta do circuito simulado em malha aberta para um degrau na razão cíclica de $\delta = 0,25$ para $\delta = 0,35$	120
Figura 6.8 – Resultados de simulação – Resposta da tensão de saída $v_o(t)$ para um degrau na referência de $r_{ef}(t) = 25$ V para $r_{ef}(t) = 35$ V com o sistema em malha fechada	120
Figura 6.9 – Resultados de simulação – Diagramas de Bode da tensão de saída v_o para frequências de 200 Hz a 200 kHz. Resposta do circuito simulado em malha aberta contraposta a resposta do modelo de pequenos sinais	121
Figura 6.10 – Resultados de simulação – Tensão v_{AB} na entrada do filtro de saída e tensão de saída v_o para um período da onda sinusoidal da tensão de saída com o sistema em malha fechada	122
Figura 6.11 – Resultados de simulação – Tensão nos capacitores para um período da onda sinusoidal da tensão de saída com o sistema em malha fechada	122
Figura 6.12 – Resultados de simulação – Diferença de tensão entre os capacitores para um período da onda sinusoidal da tensão de saída com o sistema em malha fechada	122
Figura 6.13 – Esquemático de ligação com autotransformador	125
Figura 6.14 – Protótipo – Teste com um reostato como carga	125
Figura 6.15 – Protótipo – Teste com um monitor como carga, acoplado à saída do autotransformador	126
Figura 6.16 – Resultados experimentais – Principais formas de onda do conversor proposto – CH1 - Tensão de saída (25 V/div); CH2 - Tensão AB (25 V/div); CH3 - Tensão na saída do autotransformador (100 V/div) CH4 - Corrente de saída (2 A/div); tempo: 4 ms/div.	126
Figura 6.17 – Resultados experimentais – Tensões nos capacitores – CH1 - Tensão no capacitor C_1 (25 V/div); CH2 - Tensão no capacitor C_2 (25 V/div); CH3 - Tensão no capacitor C_A (25 V/div); CH4 - Tensão no capacitor C_B (25 V/div); tempo: 4 ms/div.	127
Figura 6.18 – Resultados experimentais – Tensão v_{AB} e tensão sobre um interruptor – CH1 - Tensão AB (20 V/div); CH2 - Tensão no interruptor S_{5B} (20 V/div); tempo: 25 μ s/div.	127

LISTA DE TABELAS

Tabela 2.1 – Tensão de saída por perna para os diferentes estados de comutação do NPC de 3 níveis	45
Tabela 2.2 – Tensão de saída por perna para os diferentes estados de comutação do ANPC de 3 níveis	48
Tabela 2.3 – Tensão de saída por perna para os diferentes estados de comutação do TNPC de 3 níveis	49
Tabela 2.4 – Tensão de saída por perna para os diferentes estados de comutação do FC de 3 níveis	50
Tabela 2.5 – Número de componentes, por perna, para as topologias NPC, FC e P2 para n níveis de tensão de fase	52
Tabela 3.1 – Tensão na entrada do filtro de saída para $0 \leq \delta \leq 1/2$	58
Tabela 3.2 – Tensão na entrada do filtro de saída para $-1/2 \leq \delta \leq 0$	62
Tabela 4.1 – Sequências de chaveamento por região de operação do conversor	69
Tabela 4.2 – Tensão v_{AB} na entrada do filtro de saída para $1/4 \leq \delta \leq 1/2$. .	70
Tabela 4.3 – Tensão v_{AB} na entrada do filtro de saída para $0 \leq \delta < 1/4$. . .	71
Tabela 4.4 – Esforços nos semicondutores – Perna A – para $0 \leq \delta \leq 1/2$	93
Tabela 4.5 – Esforços nos semicondutores – Perna B – para $0 \leq \delta \leq 1/2$. . .	93
Tabela 5.1 – Esforços nos semicondutores – Conversor operando como inversor	112
Tabela 6.1 – Especificações de projeto do circuito simulado	113
Tabela 6.2 – Componentes de potência do circuito simulado	115
Tabela 6.3 – Resultados de simulação – Valores médios, ondulações e esforços de corrente nos componentes para operação como conversor cc-cc em regime permanente e malha aberta	119
Tabela 6.4 – Resultados de simulação – Valores médios, ondulações e esforços de corrente nos componentes para operação como inversor em regime permanente e malha aberta	123
Tabela 6.5 – Especificações de projeto do protótipo	124
Tabela 6.6 – Componentes de potência do protótipo	125

LISTA DE ABREVIATURAS E SIGLAS

cc	Corrente contínua	33
ca	Corrente alternada	33
MOSFET	Metal-oxide-semiconductor field effect transistor	33
IGBT	Insulated gate bipolar transistor	33
GTO	Gate turn-off thyristor	33
UPS	Uninterruptible power supplies	34
THD	Total harmonic distortion	34
C4Q-CC-5N	Conversor de 4 de quadrantes a capacitor chaveado com 5 níveis de tensão de saída	36
C4Q-CC-3N	Conversor de 4 de quadrantes a capacitor chaveado com 3 níveis de tensão de saída	36
cc-cc	Conversão de corrente contínua para corrente contínua	36
cc-ca	Conversão de corrente contínua para corrente alternada	36
SCC	Switched capacitor converter	39
E ² PROM	Electrically-erasable programmable read-only memory	39
CC	Complete charge	41
PC	Partial charge	41
NC	No charge	41
EMI	Electromagnetic interference	44
NPC	Neutral Point Clamped	44
FACTS	Flexible alternate current transmission systems	45
PWM	Pulse width modulation	45
ANPC	Active Neutral Point Clamped	47
NPP	Neutral point piloted	47
FC	Flying Capacitor	49
CCM	Continuous conduction mode	57
SISO	Single input single output	68
RP	Regime permanente	113
PID	Controlador proporcional integrador derivativo	116

LISTA DE SÍMBOLOS

r_{SON}	Resistência de condução do interruptor	40
r_{ESR}	Resistência série-equivalente do capacitor	40
T_s	Período de comutação	41
D	Razão cíclica	42
S_x	Interruptor x	44
v_o	Tensão instantânea de saída	44
V_i	Tensão de entrada (cc)	44
V_i	Tensão no barramento de entrada (DC)	55
C_x	Capacitor x	55
L_x	Indutor x	55
S_x	Interruptor x	55
R_o	Resistência de carga	55
i_{L_i}	Corrente instantânea de entrada	55
i_{L_o}	Corrente instantânea de saída	55
i_{C_x}	Corrente instantânea no capacitor x	55
i_{S_x}	Corrente instantânea no interruptor x	55
v_{C_x}	Tensão instantânea no capacitor x	55
v_o	Tensão instantânea de saída	55
i_o	Corrente na carga	55
f_s	Frequência de comutação	56
$v_t(t)$	Tensão triangular das portadoras triangulares do modulador	56
V_{tpp}	Amplitude de pico a pico da tensão das portadoras triangulares do modulador	56
P_i	Potência de entrada	57
P_o	Potência de saída	57
\bar{v}_A	Tensão média instantânea na entrada do filtro de saída (C4Q-CC-3N)	57
Δt	Intervalo de tempo	57
\bar{v}_o	Tensão média instantânea na carga	58
\bar{i}_{L_i}	Corrente média instantânea de entrada	58
\bar{i}_{L_o}	Corrente média instantânea de saída	58
V_f	Queda de tensão no diodo anti-paralelo do interruptor	60
\bar{i}_{C_x}	Corrente média instantânea no capacitor x	61
\bar{v}_{C_x}	Tensão média instantânea no capacitor x	61
$\ V_f\ $	Queda de tensão V_f normalizada por \bar{i}_{L_o}	61
\bar{v}_{AB}	Tensão média instantânea na entrada do filtro de saída	69
$[\mathbf{x}]$	Vetor das variáveis de estado	72
$[\mathbf{y}]$	Vetor das variáveis de saída	72

[A]	Matriz das variáveis de estado	72
[B]	Matriz de entrada ou de perturbações	72
[C]	Matriz de saída	72
$v_{C_{BR}}$	Tensão instantânea nos capacitores de barramento	73
$v_{C_{CH}}$	Tensão instantânea nos capacitores chaveados	73
$\overline{v_{C_{BR}}}$	Tensão média instantânea nos capacitores de barramento	73
$\overline{v_{C_{CH}}}$	Tensão média instantânea nos capacitores chaveados	73
$\overline{v_{C_x}}$	Tensão média instantânea no capacitor C_x	73
C	Capacitância padronizada para os capacitores C_1, C_2, C_A e C_B	73
x_k	Variável de estado	83
$\overline{x_k}$	Valor médio instantâneo da variável de estado x_k	83
[$\overline{\mathbf{A}}$]	Matriz média instantânea das variáveis de estado	83
[$\overline{\mathbf{B}}$]	Matriz média instantânea de entrada	83
[$\overline{\mathbf{C}_k}$]	Matriz de saída para a variável de estado x_k	83
V_o	Tensão média de saída	84
I_o	Corrente média de saída	84
I_{L_o}	Corrente média no indutor L_o , mesmo que corrente média de saída	84
I_i	Corrente média de entrada	84
I_{L_i}	Corrente média no indutor L_i , mesmo que corrente média de entrada	84
$V_{C_{BR}}$	Tensão média nos capacitores de barramento	84
$V_{C_{CH}}$	Tensão média nos capacitores chaveados	84
$\Delta V_{C_{CH}}$	Ondulação de tensão nos capacitores chaveados	86
$i_{C_{CH}}$	Corrente instantânea nos capacitores chaveados	87
$\overline{i_{C_{CH},RMS}}$	Corrente eficaz instantânea nos capacitores chaveados	87
$\Delta V_{C_{BR}}$	Ondulação de tensão nos capacitores de barramento	88
$i_{C_{BR}}$	Corrente instantânea nos capacitores de barramento	88
$\overline{i_{C_{BR},RMS}}$	Corrente eficaz instantânea nos capacitores de barramento	88
ΔI_{L_i}	Ondulação de corrente de entrada	89
ΔI_{L_o}	Ondulação de corrente de saída	90
ΔV_o	Ondulação de tensão de saída	91
$\overline{i_{C_o,RMS}}$	Corrente eficaz no capacitor de saída	92
V_{r_x}	Máxima tensão reversa sobre qualquer semiconductor x	92
$\overline{i_x}$	Corrente média instantânea no semiconductor x	92
$\overline{i_{x,RMS}}$	Corrente eficaz instantânea no semiconductor x	92
[$\overline{\mathbf{x}}$]	Vetor dos valores médio instantâneo das variáveis de estado	97
$\hat{i}_{L_o}(t)$	Pequena perturbação na corrente média instantânea de saída $\overline{i_{L_o}}$ em torno do ponto quiescente I_{L_o}	98
$\hat{v}_o(t)$	Pequena perturbação na tensão média instantânea de saída $\overline{v_o}$ em torno do ponto quiescente V_o	98

$\hat{\delta}(t)$	Pequena perturbação na perturbação média instantânea $\bar{\delta}$ sobre a razão cíclica D em torno do ponto quiescente δ	98
$[\hat{x}]$	Vetor das perturbações sobre variáveis de estado	98
$[\hat{y}]$	Vetor das perturbações sobre variáveis de saída linearizadas . . .	98
$[A]$	Matriz média instantânea das variáveis de estado linearizada . . .	98
$[B]$	Matriz média instantânea de entrada linearizada	98
$[I]$	Matriz identidade	98
s	Variável de Laplace (domínio da frequência)	98
$G_v(s)$	Função de transferência de pequenos sinais, de uma perturbação na perturbação da razão cíclica para uma perturbação na tensão de saída	99
D_m	Índice de modulação	103
ω_0	Velocidade angular ou pulsação da onda de tensão de saída . . .	103
f_0	Frequência da onda de tensão de saída	103
$V_{o,p}$	Valor de pico da tensão sinusoidal de saída	104
$V_{C_{BL},p}$	Valor de pico da diferença de tensão entre os capacitores de barramento e os capacitores chaveados	104
$I_{o,p}$	Valor de pico da corrente sinusoidal de saída	104
$\Delta V_{C_{BR},max}$	Máxima ondulação de tensão nos capacitores C_A e C_B para operação como inversor	105
$\Delta V_{C_{BR},max}$	Máxima ondulação de tensão nos capacitores C_1 e C_2 para operação como inversor	106
$\Delta I_{L_i,max}$	Máxima ondulação de corrente de entrada para operação como inversor	107
$\Delta I_{L_o,max}$	Máxima ondulação de corrente de saída para operação como inversor	108
T_0	Período da onda de tensão de saída	110
$I_{C_{CH},RMS}$	Corrente eficaz nos capacitores chaveados	110
$I_{C_{BR},RMS}$	Corrente eficaz nos capacitores de barramento	110
$I_{C_o,RMS}$	Corrente eficaz no capacitor de saída	110
I_x	Corrente média no semicondutor x	111
$I_{x,RMS}$	Corrente eficaz no semicondutor x	111
$V_{o,RMS}$	Tensão eficaz de saída	111
$I_{L_o,RMS}$	Corrente eficaz de saída	111
$I_{L_i,RMS}$	Corrente eficaz de entrada	111
t_{AS}	Tempo de assentamento	113
$\%SS$	Percentual de sobressinal	113
K_v	Ganho do sensor de tensão	113
B	Densidade de fluxo magnético	114
J	Densidade de corrente	114

$C(s)$	Função de transferência do controlador	116
$v_c(s)$	Sinal de controle oriundo do controlador	116
$e_r(s)$	Erro de realimentação	116
$r_{ef}(s)$	Sinal de referência	116
$M_o(s)$	Função de transferência de pequenos sinais, do sinal de controle para perturbação na perturbação da razão cíclica	116
$E(\%)$	Erro relativo	118
V_{TEO}	Valor teórico oriundo do equacionamento (cálculo do erro relativo)	118
V_{SIMUL}	Valor simulado (cálculo do erro relativo)	118
$V_{oT,RMS}$	Tensão eficaz na saída do autotransformador	124
$N_p : N_s$	Relação de transformação do autotransformador	124
$v_{oT}(t)$	Tensão instantânea na saída do autotransformador	125

SUMÁRIO

1	INTRODUÇÃO	33
2	TOPOLOGIAS MULTINÍVEIS E TÉCNICA DE CAPACITOR CHAVEADO: UMA REVISÃO	39
2.1	CAPACITOR CHAVEADO	39
2.1.1	Princípio de funcionamento de uma célula a capacitor chaveado	39
2.1.2	Aplicações de capacitores chaveados em eletrônica de potência	43
2.2	TOPOLOGIAS MULTINÍVEIS	44
2.2.1	Conversor de ponto neutro grampeado	44
2.2.1.1	Conversor de ponto neutro ativamente grampeado	47
2.2.1.2	Conversor de ponto neutro grampeado tipo T	47
2.2.2	Conversor a capacitor flutuante	49
2.3	CÉLULA P2	51
3	C4Q-CC-3N OPERANDO COMO CONVERSOR CC-CC	55
3.1	ANÁLISE ESTÁTICA	56
3.1.1	Modo de operação positivo	57
3.1.1.1	Estado topológico 11	59
3.1.1.2	Estado topológico 01	59
3.1.1.3	Estado topológico 10	60
3.1.1.4	Desbalanço de tensão entre os capacitores de barramento	61
3.1.2	Modo de operação negativo	61
3.1.2.1	Estado topológico 00	62
3.1.2.2	Estado topológico 10	63
3.1.2.3	Estado topológico 01	63
3.1.2.4	Desbalanço de tensão entre os capacitores de barramento	64
3.2	CONSIDERAÇÕES FINAIS	65
4	C4Q-CC-5N OPERANDO COMO CONVERSOR CC-CC	67
4.1	ANÁLISE ESTÁTICA	68
4.1.1	Princípio de operação: dispositivos ideais	69
4.1.1.1	Região de operação R1	69
4.1.1.2	Região de operação R2	71
4.1.2	Equações de estados	72
4.1.3	Estados topológicos – região de operação R1	73
4.1.3.1	Estado topológico 1100	73
4.1.3.2	Estado topológico 0100	74
4.1.3.3	Estado topológico 1101	75
4.1.3.4	Estado topológico 1000	76
4.1.3.5	Estado topológico 1110	76

4.1.4	Estados topológicos – região de operação R2	77
4.1.4.1	Estado topológico 0100	77
4.1.4.2	Estado topológico 0101	78
4.1.4.3	Estado topológico 1101	79
4.1.4.4	Estado topológico 1001	79
4.1.4.5	Estado topológico 1000	80
4.1.4.6	Estado topológico 1010	81
4.1.4.7	Estado topológico 1110	82
4.1.4.8	Estado topológico 0110	82
4.1.5	Equação de estado médio instantâneo	83
4.1.6	Tensão média de saída	84
4.1.6.1	Ganho estático ideal	84
4.1.6.2	Tensão média de saída não ideal	84
4.1.6.3	Tensão média de saída ideal vs não ideal	85
4.1.7	Tensão média nos capacitores chaveados	85
4.1.8	Corrente média de saída e corrente média de entrada	86
4.1.9	Ondulação de tensão nos capacitores chaveados	86
4.1.10	Corrente eficaz nos capacitores chaveados	87
4.1.11	Ondulação de tensão nos capacitores de barramento	87
4.1.12	Corrente eficaz nos capacitores de barramento	88
4.1.13	Ondulação de corrente no indutor de entrada	89
4.1.14	Ondulação de corrente no indutor de saída	90
4.1.15	Ondulação tensão no capacitor de saída	91
4.1.16	Corrente eficaz no capacitor de saída	92
4.1.17	Esforços nos semicondutores	92
4.1.17.1	Esforços de tensão	92
4.1.17.2	Esforços de corrente	92
4.2	ANÁLISE DINÂMICA	93
4.2.1	Estados topológicos – região de operação R1	94
4.2.1.1	Estado topológico 1100	94
4.2.1.2	Estado topológico 0100	94
4.2.1.3	Estado topológico 1101	95
4.2.1.4	Estado topológico 1000	95
4.2.1.5	Estado topológico 1110	95
4.2.2	Estados topológicos – região de operação R2	95
4.2.2.1	Estado topológico 0100	95
4.2.2.2	Estado topológico 0101	95
4.2.2.3	Estado topológico 1101	96
4.2.2.4	Estado topológico 1001	96

4.2.2.5	Estado topológico 1000	96
4.2.2.6	Estado topológico 1010	96
4.2.2.7	Estado topológico 1110	96
4.2.2.8	Estado topológico 0110	97
4.2.3	Modelagem por circuito médio	97
4.2.4	Modelo médio linearizado	97
4.3	CONSIDERAÇÕES FINAIS	99
5	C4Q-CC-5N OPERANDO COMO INVERSOR MONOFÁSICO COM CARGA RESISTIVA	103
5.1	ANÁLISE ESTÁTICA	103
5.1.1	Máxima ondulação de tensão nos capacitores chaveados	104
5.1.2	Máxima ondulação de tensão nos capacitores de barramento	105
5.1.3	Máxima ondulação de corrente no indutor de entrada	106
5.1.4	Máxima ondulação de corrente no indutor de saída	107
5.1.4.1	Máxima ondulação de corrente de saída operando com 3 níveis de tensão de saída	107
5.1.4.2	Máxima ondulação de corrente de saída operando com 5 níveis de tensão de saída	108
5.1.5	Correntes eficazes nos capacitores	109
5.1.6	Esforços de corrente nos semicondutores	111
5.1.7	Tensão de saída, corrente de saída e corrente de entrada eficazes	111
5.2	CONSIDERAÇÕES FINAIS	112
6	SIMULAÇÕES E RESULTADOS EXPERIMENTAIS	113
6.1	EXEMPLO DE PROJETO	113
6.1.1	Dimensionamento dos componentes de potência	113
6.1.2	Projeto de controlador	115
6.2	RESULTADOS DE SIMULAÇÕES	116
6.2.1	Conversor cc-cc operando em regime permanente e malha aberta	116
6.2.2	Resposta dinâmica	119
6.2.3	Inversor operando em regime permanente e malha aberta	121
6.3	RESULTADOS EXPERIMENTAIS	124
7	CONCLUSÃO	129
7.1	TRABALHOS FUTUROS	132
	REFERÊNCIAS	133
	APÊNDICE A – EXEMPLO DE CÁLCULO DAS CORRENTES DOS CAPACI- TORES DE PROCESSAMENTO DE ENERGIA DO C4Q-CC- 3N ATRAVÉS DE ANÁLISE POR SUPERPOSIÇÃO	139

APÊNDICE B – IGUALDADE DAS TENSÕES MÉDIAS INSTANTÂNEAS ENTRE OS CAPACITORES DE BARRAMENTO E ENTRE OS CAPACITORES CHAVEADOS	143
APÊNDICE C – CIRCUITO ESQUEMÁTICO USADO NAS SIMULAÇÕES . . .	149
APÊNDICE D – CIRCUITO ESQUEMÁTICO DO PROTÓTIPO	151
APÊNDICE E – <i>SOFTWARE</i> EMBARCADO	153
APÊNDICE F – COMPARAÇÃO COM AS TOPOLOGIAS FC E NPC	167

1 INTRODUÇÃO

Fontes de energia elétrica alternativas, como a fotovoltaica e a eólica estão ganhando espaço no cenário mundial e devem, cada vez mais, ser uma parcela significativa da produção de energia elétrica. Por exemplo, houve um superavit na produção de energia elétrica na Alemanha, em dezembro de 2017, na semana do Natal, por conta da produção oriunda de fontes eólicas e fotovoltaicas. Os preços chegaram abaixo de zero no final de semana do Natal em função do clima quente (favorecendo a produção de usinas fotovoltaicas) e dos fortes ventos na região das usinas eólicas, gerando um crédito de US\$ 60,00 por megawatt-hora aos clientes. Não sendo este um caso isolado, uma vez que em países como Bélgica, França, Reino Unido, Holanda, Suíça e na própria Alemanha já houveram eventos similares (FEITOSA JR., 2018). Contudo, a conexão destes sistemas geradores de energia elétrica à rede elétrica de distribuição ou transmissão de energia elétrica necessita de condicionamento. Conversores estáticos são utilizados para adequar os níveis de tensão e frequência de transmissão das fontes geradoras para as redes de distribuição ou transmissão.

Segundo Barbi (2005), conversores estáticos são circuitos eletrônicos responsáveis pelo controle do fluxo de potência entre 2 ou mais sistemas elétricos. Conversores estáticos são circuitos não lineares, pois usam de um conjunto de interruptores comutando em frequências relativamente altas (em relação à frequência da onda sintetizada), segundo uma sequência determinada por circuitos de comando (modulação), para gerar a forma de onda desejada na saída. Os conversores estáticos permitem o processamento de energia entre sistemas de corrente contínua (cc) e/ou corrente alternada (ca), operando em diferentes níveis de tensão, corrente ou mesmo em frequência diferentes. Os conversores estáticos são objeto de estudo da eletrônica de potência, que teve seu advento com o desenvolvimento de dispositivos semicondutores ou interruptores (tiristores, diodos, triacs MOSFETs, IGBTs, GTOs) e está em constante desenvolvimento tanto em novas tecnologias para semicondutores, quanto no desenvolvimento de novas estruturas que visam atender essas novas demandas na conversão de energia.

A abrangência de conversores estáticos, de modo geral, é limitada pelas tecnologias dos dispositivos empregados, em especial os semicondutores. A tendência, iniciada há algumas décadas, é de que os conversores estáticos passem a processar cada vez mais potência, o que esbarra nos níveis de tensão e corrente dos dispositivos empregados. Dessa forma, a potência nominal dos conversores convencionais acaba sendo limitada. Aplicações que extrapolam os limites físicos desses conversores convencionais demandam a utilização de várias unidades de processamento de energia (LEON; VAZQUEZ; FRANQUELO, 2017). Contudo, no intuito de contornar este problema, nessas últimas 5 décadas, topologias de conversores estáticos com

maior potência nominal, mas utilizando dispositivos limitados, vem sendo desenvolvidas na academia e sendo aplicadas no meio industrial. Via de regra, essas topologias são concebidas como a junção de dispositivos semicondutores em arranjos que criam níveis intermediários de tensão, aumentando a tensão gerenciada pelo conversor e, por conseguinte, a potência. Isso é precursor dos chamados conversores multiníveis (LEON; VAZQUEZ; FRANQUELO, 2017).

Além de serem topologias que podem operar em níveis de tensão e potência mais elevados, conversores multiníveis são atrativos para aplicações que envolvem a integração de energias renováveis com os sistemas de transmissão / distribuição (usinas fotovoltaicas e eólicas), veículos elétricos (ou sistemas veiculares auxiliares em veículos de grande porte), sistemas de fornecimento ininterrupto de energia (uninterruptible power supply – UPS) *etc.*

A seguir são elencadas algumas características gerais dos conversores multiníveis que os tornam atrativos para as aplicações já citadas (LEON; VAZQUEZ; FRANQUELO, 2017):

- Grande capacidade de processamento de energia, sendo uma boa alternativa para o acionamento de motores de média tensão, bombas ou ventiladores;
- Degraus na forma de onda de saída (mais de 3 níveis), o que implica em menor distorção harmônica;
- Redução do tamanho de filtros de saída;
- Emprego de dispositivos que operam em menores níveis de tensão e/ou corrente e, por conseguinte, menores perdas por condução;
- Menores derivadas de tensão sobre a carga;
- Modularidade (em algumas topologias);
- Maior disponibilidade ou tolerância a falhas (em algumas topologias).

Contudo, apresentam maior complexidade nas técnicas de controle e modulação, maiores níveis de isolamento de tensão do barramento e necessidade de balanço de tensão (LEON; VAZQUEZ; FRANQUELO, 2017).

De forma geral, conversores multiníveis são empregados em sistemas que demandam grande processamento de energia. Contudo, estudos de topologias multiníveis em aplicações de baixa tensão e baixa potência vem sendo realizados nos últimos anos. Dentre esses estudos cita-se sistemas de geração de energia fotovoltaica (ESFANDIARI; BAHRAMINEJAD, 2014); carregadores de bateria (PENG; ZHANG; QIAN, 2002); e acionamento de motores e máquinas síncronas (MECKE, 2011). Nesse tipo de aplicação o uso de conversores multiníveis justifica-se pela maior qualidade de energia e menor índice de distorção harmônica (Total Harmonic Distortion – THD).

Kouro et al. (2010) apresenta alguns desafios relacionados às topologias multiníveis e as respectivas técnicas de modulação, principalmente em relação às soluções comerciais. Alguns pontos discutidos por Kouro et al. (2010) permanecem atuais, mesmo quase uma década depois. Soluções comerciais de conversores multiníveis de alta potência empregam IGBTs como interruptores e operam com frequências de chaveamento inferiores a 1 kHz, visando melhorar a eficiência, levando os dispositivos ao limite; e procurando viabilizar a construção de sistemas de arrefecimentos (tornando-os factíveis). Contudo, operar em baixas frequências de chaveamento introduz harmônicas de menor ordem e manter alta performance nesse cenário mostra-se um desafio, embora conversores de baixa potência possam operar com frequências de chaveamento em algumas dezenas de kilo-hertz sem maiores problemas. Outro problema inerente às topologias multiníveis são as perdas por condução, que são mais representativas – quando comparadas às estruturas de 2 níveis de tensão – em função do número de componentes em série – para sintetização dos múltiplos níveis de tensão – em determinados estados de chaveamento. Ademais, em geral existe a possibilidade de algum interruptor (ou diodo) ser submetido, instantaneamente, a uma tensão superior a idealmente prevista. Isso está relacionado a entrada e saída de condução, tempo morto e defasagem de sinais de comando dos interruptores. Em função disso normalmente empregam-se interruptores (ou diodos) com tensões de bloqueio muito superiores as idealmente necessárias, *e.g.* conversores de 3 níveis de tensão utilizam interruptores que suportam à tensão de barramento, enquanto que idealmente só precisariam suportar metade da tensão de barramento.

A contribuição deste trabalho consiste na proposta e estudo de um conversor multinível composto por um par de células P2 de 3 níveis de tensão (PENG, 2001), onde cada célula constitui uma perna de uma estrutura monofásica que opera nos 4 quadrantes, isto é, tensão positiva / negativa e corrente positiva / negativa, no qual emprega-se uma técnica de capacitor chaveado. O conversor é abaixador de tensão e pode sintetizar até 5 níveis de tensão de saída. As células são constituídas por 3 capacitores que processam energia através da comutação de 6 interruptores e compartilham um par de capacitores, de modo que a topologia seja constituída por 4 capacitores de processamento de energia, 2 deles associados na forma de um divisor capacitivo (compartilhados), junto ao barramento de entrada, e 2 capacitores chaveados; e 12 interruptores.

Figuram entre as possíveis aplicações para o conversor proposto: carregamento de baterias em veículos, a exemplo da aplicação proposta por Peng, Zhang e Qian (2002) ou em microrredes de energia *off-grid*, operando como conversor cc-cc bidirecional em corrente; acionamento de motores de corrente contínua, operando como conversor cc-cc nos 4 quadrantes; e como inversor em microrredes de energia *on-grid*. Aplicações nas quais justifica-se o uso de um conversor multinível para se alcançar

maior qualidade de energia e menor THD ou aplicações em que o menor peso (não há componentes magnéticos no estágio de processamento de energia) ou maior densidade de potência são relevantes.

Além da topologia proposta, é estudada a variante topológica constituída por uma única célula P2 de 3 níveis de tensão. Dessa forma discriminou-se como Conversor de 4 de Quadrantes a Capacitor Chaveado com 5 Níveis de tensão de saída (C4Q-CC-5N) a variante topológica que é constituída por duas células P2 e como Conversor de 4 de Quadrantes a Capacitor Chaveado com 3 Níveis de tensão de saída (C4Q-CC-3N) a variante constituída por uma única célula. O estudo de ambas as topologias considera o uso de filtros de entrada e de saída. O estudo do C4Q-CC-3N se fez necessário para justificar a escolha do C4Q-CC-5N como tema desta dissertação, uma vez que o C4Q-CC-5N apresenta maior viabilidade técnica, embora demande de um número maior de componentes de potência.

O C4Q-CC-5N apresenta o auto-balanceamento das tensões dos capacitores de processamento de energia, sendo desnecessário o uso de técnicas específicas para o controle de tensão, o que é um desafio para muitas das topologias multiníveis. Para tanto, diferentemente de outras topologias multiníveis abordadas na revisão bibliográfica deste trabalho, nas duas variantes topológicas apresentadas os capacitores de processamento de energia não são colocados em flutuação em nenhum dos estágios topológicos, caracterizando a técnica de capacitor chaveado (ZAMIRI et al., 2016; BABAEI; GOWGANI, 2014; QIAN et al., 2012). Empregou-se a técnica de capacitor chaveado em função da hipótese de que estados topológicos onde os capacitores de processamento de energia estariam em flutuação tornariam a estrutura suscetível a desbalanços de tensão. Ambas as variantes são estudadas no modo de operação como conversor cc-cc (de corrente contínua para corrente contínua), mas visando demonstrar que o C4Q-CC-5N promove o auto-balanceamento das tensões dos capacitores, também é apresentado o estudo dessa variante topológica como inversor de tensão ou conversor cc-ca (de corrente contínua para corrente alternada), uma vez que operando como inversor de tensão o conversor é excitado nos 4 quadrantes.

O objetivo principal desse trabalho é demonstrar matematicamente que a topologia apresenta o auto-balanceamento das tensões dos capacitores de processamento de energia através do equacionamento das tensões sobre esses capacitores para operação como conversor cc-cc em condições de regime permanente; o que é uma vantagem frente a outras topologias multiníveis que utilizam de capacitores de processamento de potência e necessitam de estratégias específicas relativamente complexas para o controle do desbalanço de tensão nos capacitores. Como objetivo secundário propõe-se desenvolver uma metodologia que permita o projeto preliminar do conversor. Para tanto, são considerados os seguintes objetivos específicos:

- Analisar as etapas de comutação do conversor;

- Modelar o conversor em espaço de estados;
- Equacionar as ondulações de tensão e corrente nos componentes passivos;
- Equacionar os esforços de corrente e tensão nos componentes passivos e semicondutores;
- Obter o modelo dinâmico de pequenos sinais do conversor;
- Expandir o equacionamento para operação como conversor cc-cc para a operação como inversor de tensão;
- Validar o princípio de funcionamento apresentado e a hipótese de auto-balanceamento das tensões dos capacitores de processamento de energia experimentalmente.

Este trabalho está organizado em 7 capítulos. No Capítulo 2 é feita a revisão bibliográfica e do estado da arte a cerca das principais topologias multiníveis. No Capítulo 3 é apresentada a análise estática do C4Q-CC-3N. Nesse capítulo são equacionadas as tensões nos capacitores e é demonstrado que para essa variante há grandes restrições quanto a faixa de operação do conversor. No Capítulo 4 são apresentadas a análise estática e dinâmica do C4Q-CC-5N. Nesse capítulo são obtidos os valores médios das correntes de entrada e saída e das tensões nos capacitores; as ondulações de tensão e corrente nos componentes passivos; os esforços de corrente nos semicondutores; e o modelo dinâmico de pequenos sinais do conversor. Nesse capítulo também é discutida a questão do auto-balanceamento das tensões dos capacitores de processamento de energia. No Capítulo 5 o equacionamento desenvolvido no Capítulo 4 é adaptado para operação como inversor de tensão. No Capítulo 6 é apresentado um exemplo de projeto utilizando o equacionamento desenvolvido no Capítulo 4. As grandezas obtidas no exemplo de projeto são utilizadas em simulações, tanto para operação como conversor cc-cc como para inversor de tensão. Os resultados de simulação são comparados, quantitativamente, aos valores previstos através das equações desenvolvidas nos Capítulos 4 e 5. Ainda no Capítulo 6 são apresentados resultados experimentais obtidos através de um protótipo de 115 W, com o intuito de validar o princípio de funcionamento do conversor. No Capítulo 7 são apresentadas as conclusões gerais do trabalho e algumas propostas para continuidade deste trabalho.

No decorrer do mestrado foram elaborados 2 artigos científicos, um artigo em conferência e outro em periódico. O artigo apresentado em conferência (TOMIN JR.; LARICO; GREFF, 2018) aborda o tema desta dissertação, no entanto ainda em uma fase inicial, em que muito do que foi desenvolvido e concluído nesta dissertação não é apresentado. O artigo a ser publicado em periódico (LARICO; TOMIN JR.; LARICO,

2020), embora não aborde o tema deste trabalho contribuiu para o aprendizado do autor quanto as técnicas que foram empregadas na análise deste conversor de 4 quadrantes a capacitor chaveado.

2 TOPOLOGIAS MULTINÍVEIS E TÉCNICA DE CAPACITOR CHAVEADO: UMA REVISÃO

Neste capítulo é apresentado e discutido o estado da arte das principais topologias multiníveis e da técnica de capacitor chaveado. A topologia proposta é composta por duas células P2 (PENG, 2001) de 3 níveis de tensão, arranjadas como pernas de um único conversor, na qual é aplicada a técnica de capacitor chaveado. Por se tratar de uma topologia multinível em tensão que utiliza da técnica de capacitor chaveado, a discussão limita-se às topologias multiníveis em tensão e ao princípio de funcionamento de uma célula a capacitor chaveado, com breve menção às topologias que utilizam dessa técnica.

2.1 CAPACITOR CHAVEADO

Os conversores a capacitor chaveado (switched capacitor converter – SCC) em geral são pequenos, leves, com alta eficiência e alta densidade de potência. Esses conversores apresentam grande densidade de potência, em torno de 1,4 kW/L, característica atrativa para aplicações típicas de eletrônica de potência (IOINOVICI, 2001).

A técnica de capacitor chaveado é aplicada em diferentes níveis de potência. Na faixa dos miliwatts estruturas a capacitor chaveado são utilizadas como fonte de alimentação para blocos funcionais como memórias E²PROM e Flash (LIN; CHUA, 1977; DICKSON, 1976). Para o nível de potência de vários watts os SCCs podem fornecer vários níveis de tensão e corrente contínua em sistema de processamento de energia. Tais aplicações incluem fontes de telefones celulares, *tablets* e computadores portáteis (WONG; MAK; IOINOVICI, 1993; MAK; WONG; IOINOVICI, 1995). Para níveis de potência mais altos, de centenas de watts até dezenas de kilowatts os SCCs são empregáveis em sistemas automotivos, em veículos elétricos (PENG; ZHANG, 2002; LI et al., 2017), em sistemas de geração de energia renovável ou em conversores de uso geral (LI et al., 2017; VECCHIA; LAZZARIN; BARBI, 2015; DIAS; LAZZARIN, 2016).

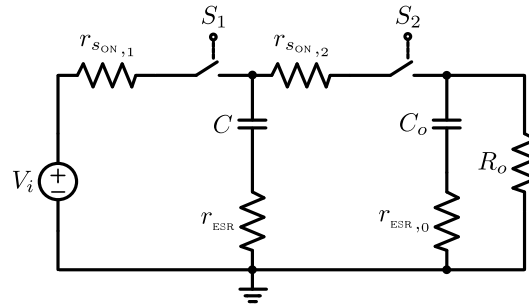
A seguir é apresentado o princípio de funcionamento de uma célula a capacitor chaveado e na sequência é contextualizado o uso da técnica de capacitor chaveado na eletrônica de potência.

2.1.1 Princípio de funcionamento de uma célula a capacitor chaveado

Um circuito básico a capacitor chaveado, apresentado por Ben-Yaakov (2012), é mostrado na Fig. 2.1. Nessa figura são representadas as resistências de condução dos interruptores r_{ON} e as resistências série-equivalente dos capacitores r_{ESR} . Conversores a capacitor chaveado são circuitos compostos unicamente por interruptores e capacitoro-

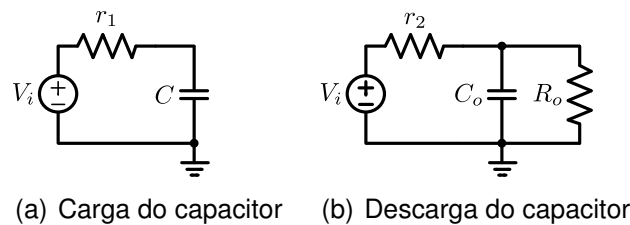
res no estágio de processamento de energia, isto é, não há elementos indutivos nesse estágio.

Figura 2.1 – Célula básica de capacitor chaveado



As etapas de operação de uma célula a capacitor chaveado resume-se a duas: carga, quando o capacitor armazena energia, corresponde ao estado em que o interruptor S_1 está conduzindo e S_2 está aberto (ver Fig. 2.1), como pode ser visto na Fig. 2.2(a); e descarga, quando o capacitor fornece energia à carga, corresponde ao estado em que o interruptor S_2 está conduzindo e S_1 está aberto (ver Fig. 2.1), como pode ser visto na Fig. 2.2(b).

Figura 2.2 – Sub-circuitos equivalentes do SCC da Fig. 2.1



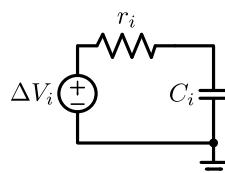
As resistências r_1 e r_2 representam a resistência total das malhas para cada estado de chaveamento:

$$r_1 = r_{s_{ON},1} + r_{ESR} \quad (2.1)$$

$$r_2 = r_{s_{ON},2} + r_{ESR} + r_{ESR,0} \quad (2.2)$$

Ambos os circuitos da Fig. 2.2 podem ser representados por um circuito genérico de carga, mostrado na Fig. 2.3.

Figura 2.3 – Circuito genérico de carga / descarga do capacitor

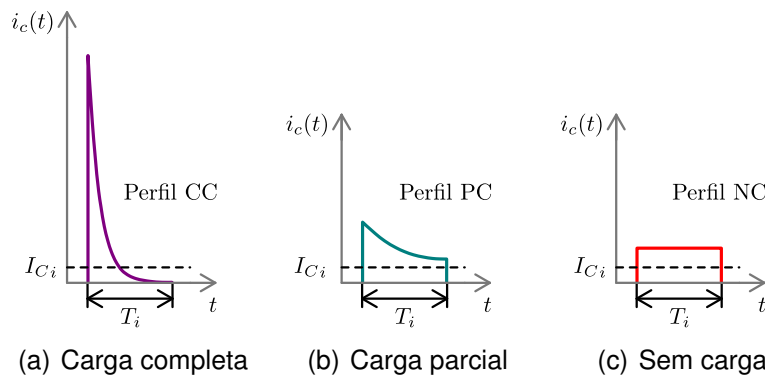


Dependendo da relação da constante de tempo τ_i ($\tau_i = r_i C_i$) do circuito da Fig. 2.3, e do período de comutação T_s , existem três possíveis perfis para a corrente no capacitor C_i (BEN-YAAKOV, 2012), como pode ser visto na Fig. 2.4.

- Quando $T_s \gg \tau_i$ ocorre a carga/descarga completa do capacitor C_i (complete charge – CC), onde a corrente no capacitor C_i é uma exponencial decrescente que atinge o zero antes do término do período T_i , conforme ver Fig. 2.4(a);
- Quando $T_s \approx \tau_i$ ocorre a carga/descarga parcial do capacitor C_i (partial charge – PC), onde a corrente no capacitor C_i é uma exponencial decrescente, mas não atinge o zero durante o período T_i . A carga é interrompida e inicia-se a descarga do capacitor – e vice versa, como mostrado na Fig. 2.4(b);
- Quando $T_s \ll \tau_i$ não ocorre carga/descarga do capacitor C_i (no charge – NC). A corrente no capacitor pode ser considerada constante durante todo o período T_i , como pode ser visto na Fig. 2.4(c).

Onde T_i é o tempo de duração ou período do estado de chaveamento i .

Figura 2.4 – Possíveis perfis de carga do capacitor C_i da Fig. 2.4



Conforme apresentado por Ben-Yaakov e Evzelman (2009), a potência média dissipada P_i por um estado de chaveamento i (representado genericamente na Fig. 2.3), durante um período T_i é expressa por $P_i = (I_{C_i})^2 r_{e_i}$ e a resistência equivalente r_{e_i} é expressa por:

$$r_{e_i} = \left\{ \frac{1}{2f_s C_i} \cdot \frac{1 + e^{-\beta_i}}{1 - e^{-\beta_i}} \right\}, \quad \beta_i = \frac{T_i}{r_i C_i} \quad (2.3)$$

onde I_{C_i} é a corrente média no capacitor no estado de chaveamento i .

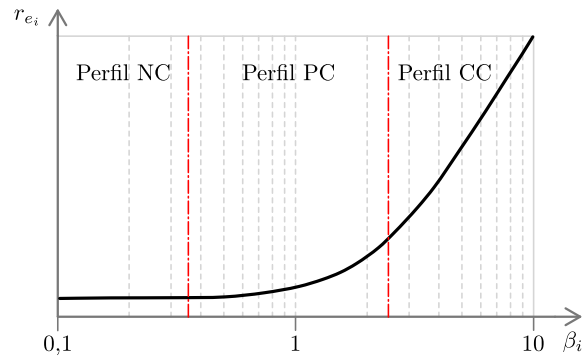
Ben-Yaakov e Evzelman (2009) expandem (2.3) via série de Taylor e obtêm (2.4) para NC e (2.5) para CC.

$$r_{e_{iNC}} = r_i \frac{T_s}{T_i} \quad (2.4)$$

$$r_{e_{iCC}} = \frac{1}{2f_s C_i} \quad (2.5)$$

Na Fig. 2.5 é mostrado o comportamento da resistência equivalente em função do parâmetro β_i .

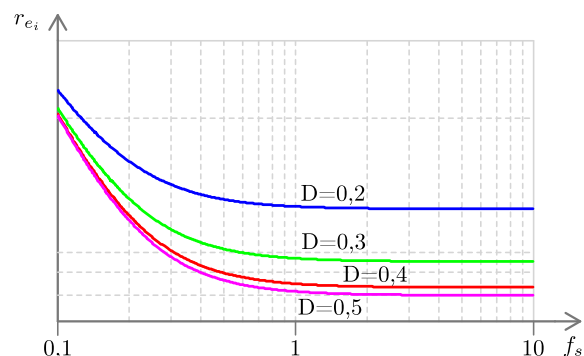
Figura 2.5 – Comportamento da resistência equivalente em função do parâmetro β_i – Adaptado de Ben-Yaakov (2012)



Como pode ser observado na Fig. 2.5, operar no modo de carga completa não é desejável, uma vez que a eficiência da estrutura acaba prejudicada, já que r_{e_i} aumenta e, por conseguinte, a potência dissipada também aumenta. Em termos de eficiência é interessante que o conversor a capacitor chaveado opere em NC ou em PC, neste último estando o mais próximo da fronteira com o modo NC quanto possível.

Na Fig. 2.6 é dada outra perspectiva desse fenômeno, são apresentadas curvas $r_{e_i} \times f_s$ (resistência equivalente \times frequência de chaveamento) para diferentes valores de razão cíclica D com os capacitores do SCC operando no modo CC. Observa-se que a resistência equivalente decresce ao passo que as condições de operação vão se aproximando do modo PC, isto é, em função do aumento da frequência de chaveamento f_s .

Figura 2.6 – Dependência da resistência equivalente em função da frequência normalizada – Adaptado de Ben-Yaakov e Evzelman (2009).



Vecchia (2016) propõe a seguinte relação:

$$f_s \tau = f_s (r_{s_{ON}} + r_{ESR}) \approx 0,5 \quad (2.6)$$

para que o projeto de um SCC seja adequado. Vecchia (2016) leva em consideração que os componentes de potência possuem imprecisões da ordem dos 5 aos 10%

quanto aos valores nominais, considera que o aumento de temperatura do encapsulamento dos interruptores provocará mudanças significativas na resistência de condução desses interruptores, gerando imprecisão nos cálculos e argumenta que não convém aumentar o valor numérico da igualdade (2.6), pois o ganho de eficiência não seria significativo, injustificando um aumento de volume do conversor ou um aumento da frequência de comutação.

2.1.2 Aplicações de capacitores chaveados em eletrônica de potência

Dentre as estruturas a capacitor chaveado já consolidadas na literatura cita-se:

- Conversores baseados na célula *Fibonacci* (UENO et al., 1991; EGUCHI et al., 2012);
- Conversores baseados na célula *Dickson* (DICKSON, 1976; SARAFIANOS; STEYAERT, 2015);
- Conversores baseados na célula *Cockcroft-Walton* (MÜLLER; KIMBALL, 2016);
- Conversores baseados na célula *Valley-Fill* (WANG; ZHANG; QIU, 2017; LAM; JAIN, 2008);
- Conversores baseados na célula *Ladder* (LAZZARIN; ANDERSEN; BARBI, 2015; VECCHIA; LAZZARIN; BARBI, 2015; SILVA; COELHO; LAZZARIN, 2016; DIAS; LAZZARIN, 2018).

Conforme disposto, algumas dessas estruturas atendem demandas que envolvem potências da ordem dos miliwatts, onde os conversores são internos a circuitos integrados. Contudo, topologias como a apresentada por Martins (2013), baseada na célula *Valley-Fill*, ou conversores para aplicação em sistemas cc–cc (WU et al., 2015; XIONG; TAN, 2015; HOU et al., 2016), com alto ganho ou mesmo abaixadores de tensão como apresentado por (CORTEZ et al., 2015) e em diversas estruturas ca–ca (ANDERSEN; LAZZARIN; BARBI, 2013; LAZZARIN; ANDERSEN; BARBI, 2015; VECCHIA; LAZZARIN; BARBI, 2015), estruturas cc–cc (VECCHIA; SALVADOR; LAZZARIN, 2018; DIAS; LAZZARIN, 2018) e estruturas dc–ac (SILVA; COELHO; LAZZARIN, 2016) baseadas na célula *Ladder* são exemplos de aplicações da técnica de capacitor chaveado na eletrônica de potência.

A principal demanda atendida por conversores cc–cc a capacitor chaveado é a interligação de fontes renováveis à rede (LI et al., 2014; RANJANA; REDDY; KUMAR, 2014; CHOI; YOO; CHOI, 2011; SUGANYA; SUDHAKARAN, 2015) e em microrredes (SAHOO; KUMAR, 2014). Topologias abaixadoras de tensão tem aplicação em sistemas de armazenamento de energia em baterias (VECCHIA, 2016).

2.2 TOPOLOGIAS MULTINÍVEIS

Segundo (PEREIRA, 2008), as topologias multiníveis diferem das demais nos níveis de tensão de entrada e de saída do conversor estático: em um conversor convencional há apenas dois níveis de tensão e em um conversor multinível há pelo menos 3. Conforme Pereira (2008), conversores multiníveis são definidos como fixadores de níveis de tensão em que a tensão sintetizada na saída é função dos níveis de tensão existentes na entrada e da comutação dos interruptores. Em geral, esses níveis de tensão são obtidos por divisores capacitivos ou por fontes isoladas. De acordo com Pomilio (2012) os conversores multiníveis apresentam algumas vantagens como: possibilidade de conexão direta com a rede (sem a necessidade do uso de transformadores), baixa taxa de emissões eletromagnéticas (electromagnetic interference – EMI) e possibilidade de obtenção de níveis mais altos de processamento de energia, sem a necessidade da associação em série de interruptores. Outras vantagens, conforme Pereira (2008), são menores tensões aplicadas nos interruptores, maior rendimento, justificado por menores perdas de comutação, maior frequência de comutação na saída, menor conteúdo harmônico e resposta dinâmica mais rápida.

A seguir são apresentadas as principais topologias multiníveis existentes.

2.2.1 Conversor de ponto neutro grampeado

O conversor de ponto neutro grampeado (Neutral Point Clamped – NPC) foi proposto por Baker (1980), na versão com 3 níveis de tensão, sob o nome de *Switching Circuit*. A topologia ficou conhecida pelo nome de NPC após ter sido apresentada por Nabae, Takahashi e Akagi (1981). Na versão mais básica do conversor (3 níveis de tensão) cada perna do conversor consiste de uma coluna de quatro interruptores (com diodos em anti-paralelo) e dois diodos ligados a um ponto médio ou neutro, obtido através de um divisor de tensão capacitivo, como pode ser visto na Fig. 2.7.

Figura 2.7 – Conversor NPC trifásico de 3 níveis

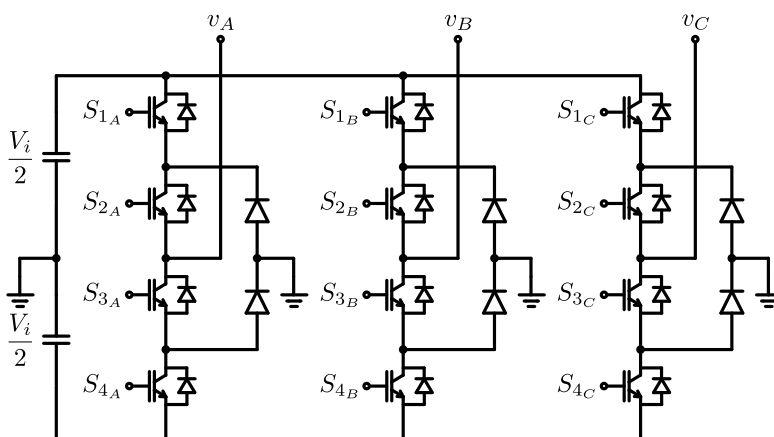


Tabela 2.1 – Tensão de saída por perna para os diferentes estados de comutação do NPC de 3 níveis

S_{1x}	S_{2x}	S_{3x}	S_{4x}	v_o
1	1	0	0	$V_i/2$
0	1	1	0	0
0	0	1	1	$-V_i/2$

Onde V_i é a tensão de entrada e v_o é tensão de saída instantânea em uma perna.

Em função do ponto médio este conversor pode sintetizar 3 níveis de tensão. Na Tabela 2.1 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores (em notação Booleana) para uma perna do circuito da Fig. 2.7.

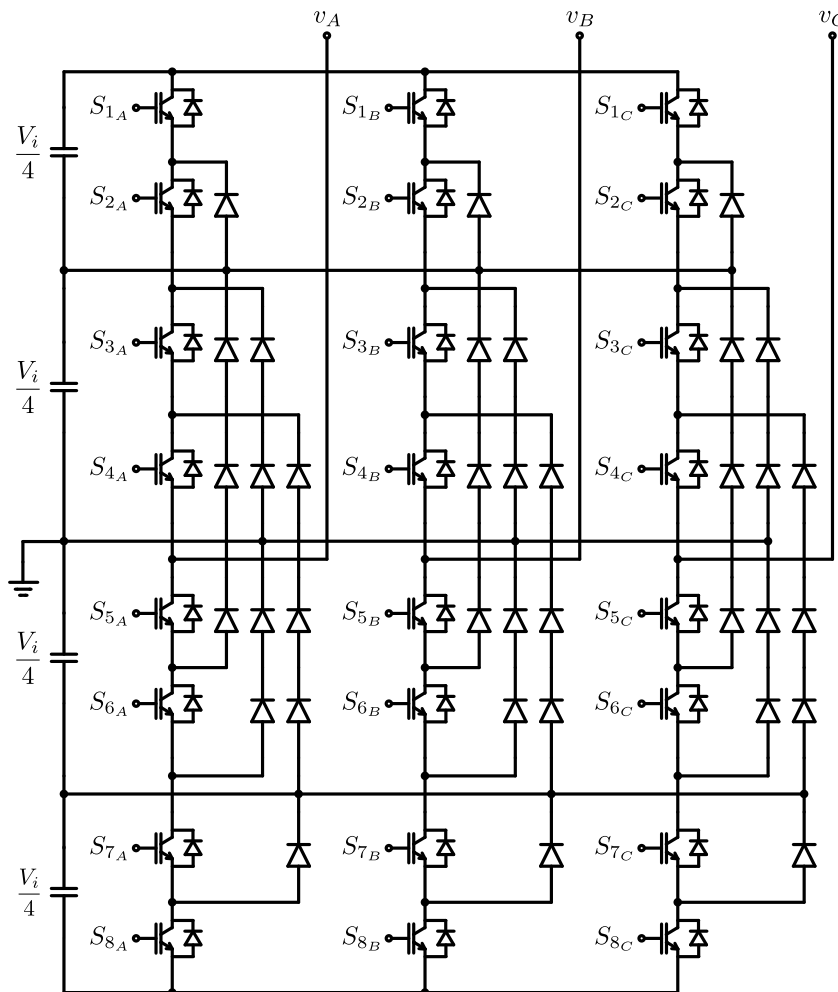
A tecnologia à volta deste conversor já é bastante madura, sendo comercializado por um grande número de companhias pelas últimas duas décadas. Conversores NPC, geralmente de 3 níveis, são largamente aplicados em sistemas flexíveis de transmissão de corrente alternada (flexible alternate current transmission systems – FACTS) e *drives* de motores (ventiladores, bombas, compressores *etc*) (LEON; VAZQUEZ; FRANQUELO, 2017).

O conversor NPC apresenta como vantagens a redução da tensão de bloqueio sobre os interruptores, $V_i/2$ para a estrutura de 3 níveis, redução do conteúdo harmônico (em relação às topologias clássicas de 2 níveis) e menores derivadas de tensão sobre a carga (NABAE; TAKAHASHI; AKAGI, 1981). Ainda, não exige técnicas complexas de modulação e controle, normalmente usam-se técnicas de *level-shifted PWM* ou modulação por largura de pulso com múltiplas portadoras defasadas em tensão e técnicas de injeção de sequência de zero no controle dos desbalanços de tensão cc para topologias de 3 níveis (LEON; VAZQUEZ; FRANQUELO, 2017).

Como desvantagem cita-se os desbalanços de tensão cc, facilmente sanáveis com alguma técnica de balanceamento de tensão para a topologia de 3 níveis, mas que exigem soluções complexas para topologias com maior quantidade de níveis. O aumento da tensão de bloqueio sobre os interruptores e sobre os capacitores e a assimetria na operação dos componentes de potência levando a perdas desiguais nesses componentes também são fatores negativos.

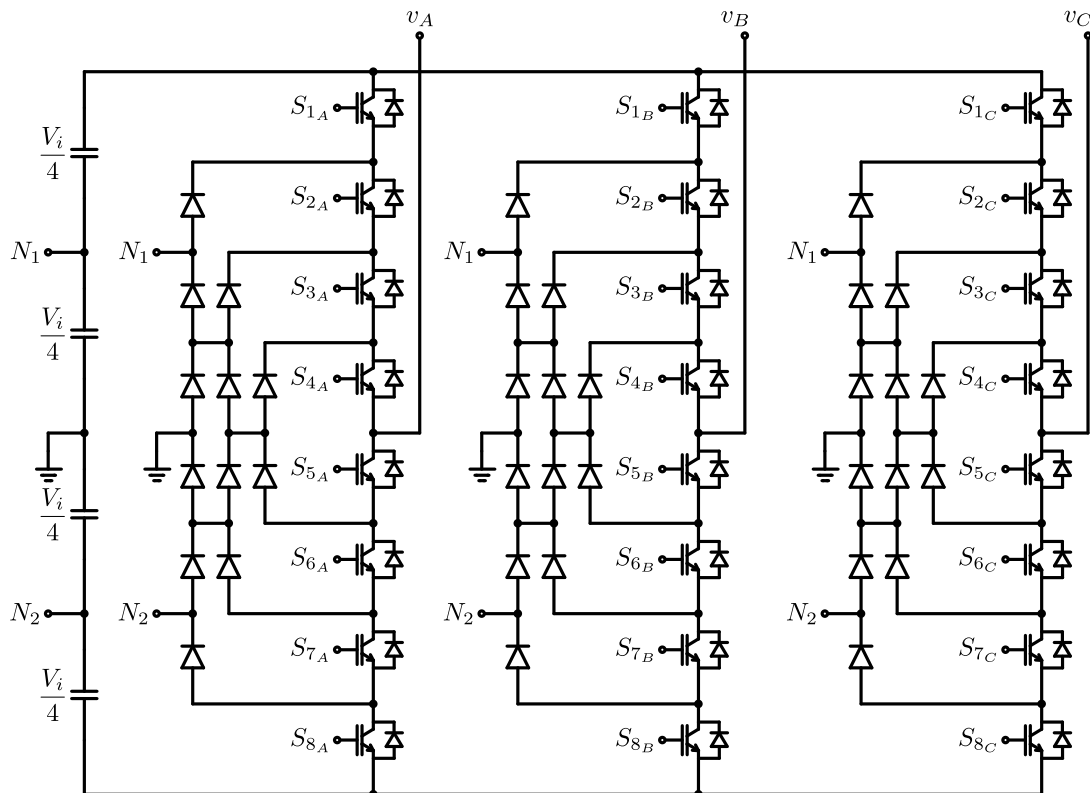
Como mencionado, a estrutura pode ter mais de 3 níveis de tensão. Através da adição de interruptores e diodos às pernas, seguindo o mesmo padrão da estrutura de 3 níveis, aumenta-se o número de níveis de tensão. Na Fig. 2.8 é apresentada uma estrutura de 5 níveis, ilustrando como ocorre a escalada do número de níveis.

Figura 2.8 – Conversor NPC trifásico de 5 níveis



Contudo, como observa-se na Fig. 2.8, para que todos os diodos de potência estejam submetidos ao mesmo nível de tensão é necessária a associação série desses. Mas, devido a não idealidades, não há garantias de que todos os diodos de potência estejam submetidos ao mesmo nível de tensão. Yuan e Barbi (2000) propuseram uma estrutura que evita a associação em série dos diodos de potência para estruturas com mais de 3 níveis e garante que os esforços de tensão estejam limitados à tensão individual dos capacitores de barramento. Na Fig. 2.9 é mostrada o conversor proposto por Yuan e Barbi (2000).

Figura 2.9 – Conversor NPC de 5 níveis trifásico sem ligação série de diodos



2.2.1.1 Conversor de ponto neutro ativamente grampeado

Como solução ao desbalanço de tensões do conversor NPC foi proposto por Bruckner, Bernet e Guldner (2005) uma topologia nomeada de Active Neutral Point Clamped converter (ANPC) ou conversor de ponto neutro ativamente grampeado.

O conversor ANPC consiste na substituição dos diodos de grampeamento por interruptores. Esses interruptores possibilitam 4 novos estados de comutação para uma tensão de saída nula. Isso cria caminhos para a corrente de fase ser conduzida tanto pelo caminho superior quanto pelo caminho inferior em ambos os sentidos. Na Tabela 2.2 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores para uma perna do conversor ANPC ilustrado na Fig. 2.10.

2.2.1.2 Conversor de ponto neutro grampeado tipo T

O conversor TNPC ou de ponto neutro pilotado (neutral point piloted – NPP) ou ainda *T-Type* foi proposto por Holtz (1977). Na versão mais básica do conversor (3 níveis de tensão) cada perna do conversor consiste de 3 interruptores (com diodos em anti-paralelo), sendo um dos interruptores um interruptor bidirecional conectado entre o ponto médio da perna com o ponto médio ou neutro do barramento cc, obtido através de um divisor de tensão capacitivo, formando um “T”, como pode ser visto na Fig. 2.11.

O funcionamento da célula TNPC é bastante simples, sendo que um único

Figura 2.10 – Conversor ANPC trifásico de 3 níveis

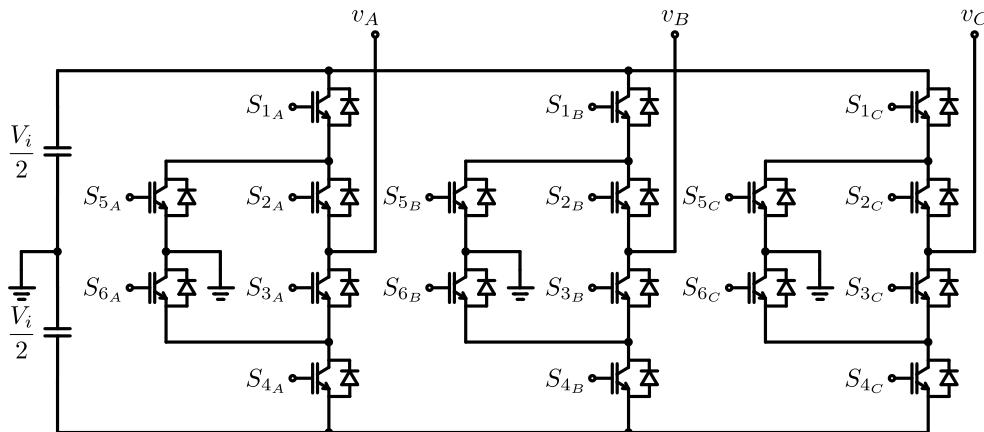
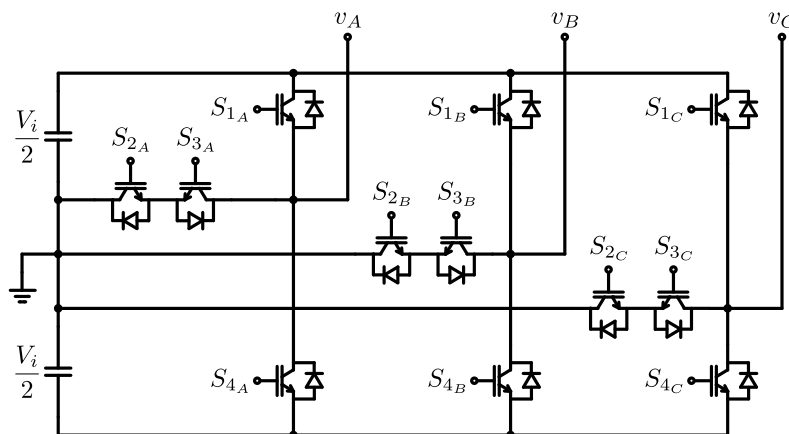


Tabela 2.2 – Tensão de saída por perna para os diferentes estados de comutação do ANPC de 3 níveis

S_{X_1}	S_{X_2}	S_{X_3}	S_{X_4}	S_{X_5}	S_{X_6}	v_o
1	1	0	0	0	1	$V_i/2$
0	1	0	0	1	0	0
0	1	0	1	1	0	0
1	0	1	0	0	1	0
0	0	1	0	0	1	0
0	0	1	1	1	0	$-V_i/2$

Figura 2.11 – Conversor TNPC trifásico de 3 níveis



interruptor é acionado por vez. Na Tabela 2.3 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores para uma perna do conversor TNPC ilustrado da Fig. 2.11.

Segundo Heerdt (2013) a principal diferença entre o conversor TNPC e as demais topologias baseadas na topologia NPC é que os semicondutores da topologia *T-Type* estão sujeitos à tensão total de barramento, enquanto que nas demais topologias os semicondutores bloqueiam apenas metade da tensão de barramento. Contudo,

Tabela 2.3 – Tensão de saída por perna para os diferentes estados de comutação do TNPC de 3 níveis

S_{1X}	S_{2X}	S_{3X}	S_{4X}	v_o
1	0	1	0	$V_i/2$
0	1	1	0	0
0	1	0	1	$-V_i/2$

necessita de apenas de 3 fontes isoladas para alimentação dos *drives*, enquanto que os demais necessitam de quatro fontes isoladas.

Outro aspecto positivo, segundo Guennegues et al. (2009), é que a topologia permite operar o conversor em maiores frequências de chaveamento em comparação ao NPC, o que permite uma redução no tamanho e volume dos filtros de saída.

O conversor TNPC já é aplicado em FACTS, em *drives* para motores e em sistemas de geração fotovoltaica (LEON; VAZQUEZ; FRANQUELO, 2017). Pela similaridade com o conversor NPC, as mesmas técnicas de modulação e de controle são aplicáveis ao TNPC. Contudo, essa topologia não tem grande potencial de uso em altas tensões, uma vez que dispositivos externos têm que bloquear toda a tensão do barramento cc (LEON; VAZQUEZ; FRANQUELO, 2017).

2.2.2 Conversor a capacitor flutuante

O conversor a capacitor flutuante ou capacitor de grampeamento (Flying Capacitor – FC) foi proposto por (MEYNARD; FOCH, 1992). Na versão mais básica do conversor (3 níveis de tensão) cada perna do conversor consiste de uma coluna de quatro interruptores (com diodos em anti-paralelo) e um capacitor ligado aos interruptores externos, como pode ser visto na Fig. 2.12.

Figura 2.12 – Conversor FC trifásico de 3 níveis

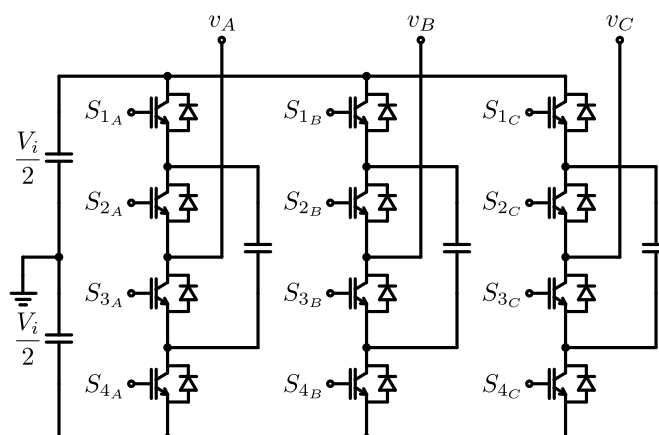


Tabela 2.4 – Tensão de saída por perna para os diferentes estados de comutação do FC de 3 níveis

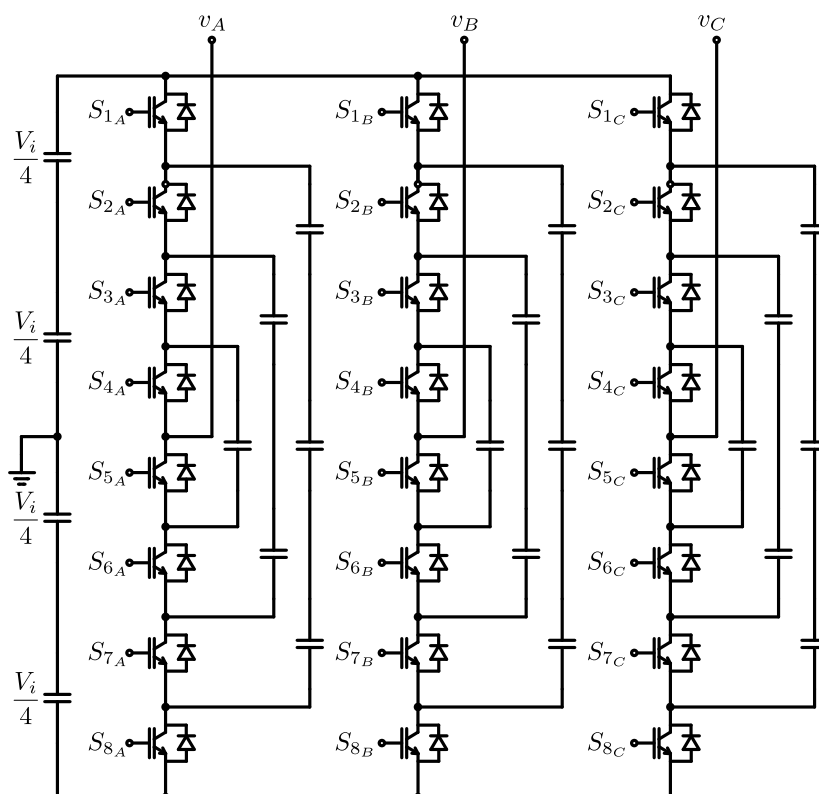
$S_{1,x}$	$S_{2,x}$	$S_{3,x}$	$S_{4,x}$	v_o
1	1	0	0	$V_i/2$
1	0	1	0	0
0	1	0	1	0
0	0	1	1	$-V_i/2$

Através da comutação dos interruptores os capacitores são colocados em série com a carga (ou com uma das fases desta) ou em flutuação (um dos terminais do capacitor é desconectado). Quando o capacitor é colocado em série com a carga, as tensões do ponto médio do barramento e do capacitor se anulam, gerando tensão nula na saída. Quando em flutuação o capacitor permite que a tensão plena do barramento seja imposta à carga, nos dois sentidos.

Na Tabela 2.4 são apresentados os níveis de tensão de saída e o sinal de comando dos interruptores para uma perna do conversor FC ilustrado da Fig. 2.12.

A estrutura pode ter o número de níveis ampliados, através de adição da interruptores e capacitores, seguindo o mesmo padrão da estrutura de 3 níveis. Na Fig. 2.13 é apresentada uma estrutura de 5 níveis, ilustrando como ocorre a escalada do número de níveis.

Figura 2.13 – Conversor FC trifásico de 5 níveis



O FC também é uma tecnologia amadurecida, estando presente no mercado desde da década de 90, ao ser patenteado pela ALSTOM (ALSPA VDM6000), e ocupa o mesmo nicho que o NPC: FACTS e *drives* de motores (LEON; VAZQUEZ; FRANQUELO, 2017).

Da mesma forma que ocorre com o NPC, aumentar o número de níveis implica no crescimento quadrático dos dispositivos de grampeamento, observado-se mesmos níveis de tensão em todos os componentes (diodos ou capacitores de grampeamento passam a ser ligados em série para dividir os esforços). Contudo, os capacitores de grampeamento garantem o grampeamento de tensão em todos os interruptores, algo não garantido na topologia NPC devido às diferenças intrínsecas dos interruptores, como a capacitância. Além disso, a estrutura é tolerante a falhas, bastando um sistema de *bypass* para aumentar a disponibilidade do conversor.

Quando modulada por técnicas como *phase-shifted PWM* ou PWM deslocado em fase, a estrutura garante a equalização das perdas sobre os interruptores e tende a apresentar um balanço natural das tensões nos capacitores, entretanto a resposta dinâmica desse balanço de tensões é demasiada lenta e em função disso a topologia necessita do uso de estratégias dedicadas ao balanceamento das tensões dos capacitores de grampeamento (LEON; VAZQUEZ; FRANQUELO, 2017). Este problema está ligado a transferência de potência ativa, uma vez que as oscilações das tensões nos capacitores aumentam conforme a potência ativa transferida aumenta, o que, por conseguinte, prejudica a qualidade da forma de onda de saída (KOURO et al., 2010).

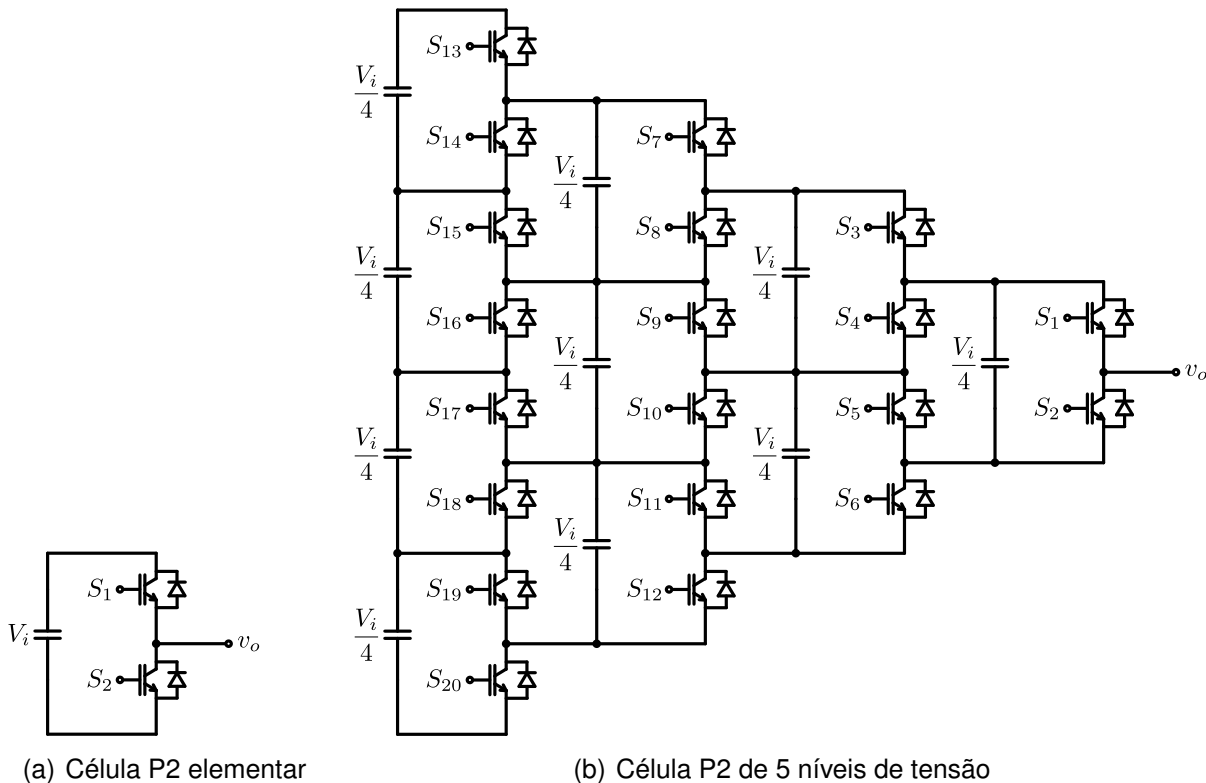
Contudo, segundo Batschauer (2011), a maior quantidade de estados de operação que resultam na mesma tensão de saída (quando comparado ao NPC) permite o emprego de técnicas para o equilíbrio das tensões nos capacitores de barramento sem o aumento da distorção harmônica da tensão de saída.

2.3 CÉLULA P2

Esta célula foi proposta por Peng (2001), como a célula básica de uma estrutura polifásica multinível. Na Fig. 2.14(a) é mostrada uma célula P2 elementar e na Fig. 2.14(b) é mostrada uma célula P2 de 5 níveis de tensão.

Esta célula pode ser utilizada tanto como multiplicadora de tensão como abaixadora de tensão, em estruturas cc-ca e cc-cc (PENG; ZHANG; QIAN, 2003; PENG, 2001). Essa estrutura tende a obter o auto-balanceamento das tensões nos capacitores (PENG, 2001), entretanto, como é demonstrado no decorrer deste trabalho, para uma estrutura composta por uma única célula o auto-balanceamento de tensão não ocorre para todo o domínio da razão cíclica, fazendo com que um desequilíbrio de tensão entre os capacitores. Peng, Zhang e Qian (2002) apresentam o estudo de um conversor com uma única célula P2 de 5 níveis de tensão e demonstram a existência do desbalanço de tensão entre os capacitores a partir do equacionamento das potên-

Figura 2.14 – Topologia multinível generalizada com auto-balanço de tensões



cias de perdas obtendo expressões que dependem da frequência de chaveamento e da capacitância dos capacitores. Neste trabalho adota-se outra abordagem que permite analisar o desbalanço de tensão sob o ponto de vista da razão cíclica.

Segundo Peng (2001) a célula P2 viabiliza o projeto de conversores compactos, de alta eficiência, com baixas emissões eletromagnéticas e baixo custo. Contudo, a estrutura é caracterizada por um elevado número de interruptores e capacitores. Na Tabela 2.5 é apresentado um comparativo do número de componentes entre as estruturas NPC, FC e P2 para n níveis de tensão de fase.

Tabela 2.5 – Número de componentes, por perna, para as topologias NPC, FC e P2 para n níveis de tensão de fase

	NPC	FC	P2
Interruptores e diodos em anti-paralelo	$2(n - 1)$	$2(n - 1)$	$n(n - 1)$
Diodos de grampeamento	$(n - 1)(n - 2)$	0	0
Capacitores de grampeamento	0	$(n - 1)(n - 2)/2$	$(n - 1)(n - 2)/2$
Capacitores do barramento	$n - 1$	$n - 1$	$n - 1$

Ao aplicar-se a técnica de capacitor chaveado à célula P2 tem-se que os capacitores de grampeamento ou capacitores chaveados estão, necessariamente, em paralelo com outro capacitor de grampeamento ou do barramento, em todos os estados de chaveamento. Isso atende o princípio mencionado na Seção 2.2.1 que há

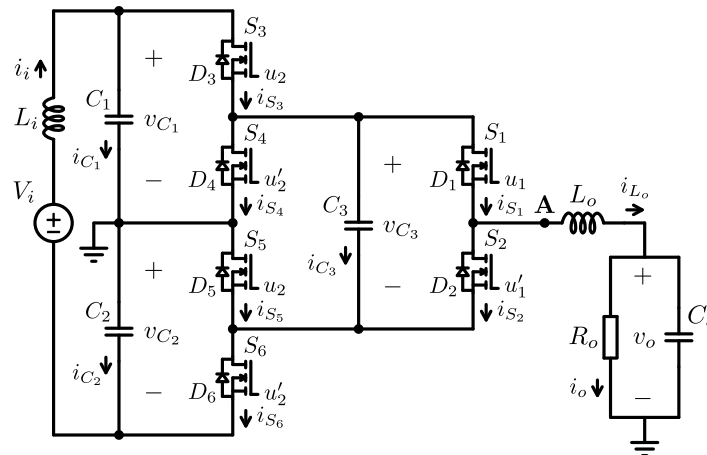
apenas etapas de carga e descarga, não havendo estados em que os capacitores de processamento de energia estejam em flutuação.

No decorrer desta dissertação não é apresentado o estudo do modelo por resistência equivalente em função da frequência de chaveamento (estudo comumente é feito para topologias a capacitor chaveado). Contudo, as equações desenvolvidas no Capítulo 4 para dimensionamento dos capacitores contemplam a frequência de chaveamento e requisitos de projeto adequados garantem que a condição (2.5) seja atendida, garantindo que o conversor opere muito próximo à condição de mínimas perdas, isto é, com perfil de carga PC, muito próximo ao perfil NC.

3 C4Q-CC-3N OPERANDO COMO CONVERSOR CC-CC

Neste capítulo é apresentada a análise estática sobre o funcionamento do C4Q-CC-3N, que consiste de uma única célula de capacitor chaveado de 3 níveis do tipo P2 (PENG, 2001), conforme mostrado na Fig. 3.1.

Figura 3.1 – Conversor de 4 de quadrantes a capacitor chaveado com 3 níveis de tensão de saída



Como pode ser observado na Fig. 3.1, o C4Q-CC-3N é composto por três capacitores (C_1 , C_2 e C_3) no estágio de processamento de energia, dos quais dois (C_1 , C_2) compõem um divisor capacitivo junto ao barramento de entrada, cuja tensão é V_i , e o terceiro capacitor (C_3) é comutado por uma coluna de quatro de interruptores (S_3 a S_6), enquanto que a saída é comutada por outra coluna ou par de interruptores (S_1 e S_2). Na entrada do estágio de potência há um filtro indutivo (L_i) e na saída um filtro LC (L_o e C_o). A resistência de carga é representada por R_o . As correntes i_{L_i} e i_{L_o} são, respectivamente, a corrente no indutor de entrada L_i ou corrente de entrada e a corrente no indutor de saída L_o ou a corrente de saída; v_o é a tensão de saída; v_{C_x} e i_{C_x} são tensão e corrente no capacitor x , respectivamente; e i_{S_x} é a corrente no interruptor x .

Aplicada a modulação por deslocamento de fase ou *phase shift* são equacionados os estados topológicos e as relações de tensão entre os capacitores para tensão de saída positiva e negativa, isto é, para uma razão cíclica maior ou menor que 50%, respectivamente. Para esta análise é considerado que a topologia opera como um conversor cc-cc e que é imposta uma tensão – bem definida – ao capacitor chaveado (capacitor C_3) em todos os estados topológicos, diferentemente do que ocorre com o conversor *Flying Capacitor* (MEYNARD; FOCH, 1992) que, em alguns estados topológicos, coloca o capacitor flutuante em flutuação.

A modulação consiste em aplicar dois sinais de comando PWM u_1 e u_2 – e seus complementares u'_1 e u'_2 – defasados de 180° em cada uma das colunas de interruptores, respectivamente, conforme pode ser observado nas Figs. 3.1 e 3.2. Ambos os

sinais de comando possuem a mesma razão cíclica D , que é definida como:

$$D = \frac{t_{\text{ON}}}{T_s} \quad (3.1)$$

onde t_{ON} é o tempo do interruptor em condução e T_s é o período de chaveamento, o qual é definido como:

$$T_s = \frac{1}{f_s} \quad (3.2)$$

onde f_s é a frequência de chaveamento.

Seja δ uma perturbação na razão cíclica em torno do ponto quiescente de 50%, constante para alguns ciclos de chaveamento, reescreve-se D e seu respectivo complementar D' , como:

$$D = \frac{1}{2} + \delta \quad (3.3)$$

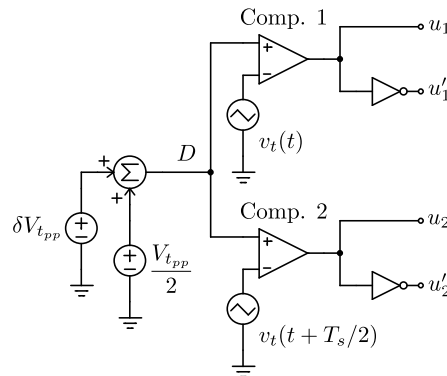
$$D' = 1 - D = \frac{1}{2} - \delta \quad (3.4)$$

com:

$$\delta \in \mathbb{R} \quad \left| -\frac{1}{2} \leq \delta \leq \frac{1}{2} \right.$$

Na Fig. 3.2 é apresentado um modulador analógico, baseado em comparadores, que sintetiza os sinais de comando u_1 e u_2 . A razão cíclica D é comparada a portadoras triangulares $v_t(t)$, com uma amplitude de pico a pico de $V_{t_{pp}}$ e período T_s , defasadas no tempo de $T_s/2$ ou de 180° .

Figura 3.2 – Circuito analógico modulador dos sinais de comando do C4Q-CC-3N



A fim de se estabelecer uma comparação entre essas duas formas de operação o equacionamento das relações de tensão entre os capacitores nos dois modos de operação é feito em função δ .

3.1 ANÁLISE ESTÁTICA

São feitas as seguintes considerações para simplificar a análise matemática:

c-1 A operação do conversor é em regime permanente;

- c-2 O conversor opera no modo de condução contínua (continuous conduction mode – CCM);
- c-3 A tensão e a corrente de saída são constantes para alguns ciclos de comutação;
- c-4 A capacitância dos capacitores é grande o suficiente para que as tensões nos capacitores sejam consideradas constantes para alguns ciclos de comutação;
- c-5 A resistência série-equivalente dos capacitores é significativa (não pode ser negligenciada);
- c-6 As capacitâncias dos interruptores são insignificantes;
- c-7 A resistência de condução dos interruptores é significativa (não pode ser negligenciada);
- c-8 A queda de tensão nos diodos dos interruptores é significativa (não pode ser negligenciada);
- c-9 A corrente de saída i_{L_o} é mandatória para determinar o estado dos interruptores (condução direta ou condução reversa, pelo diodo intrínseco);
- c-10 A potência dissipada ou potência de perdas é desprezível e, por conseguinte, a potência de entrada P_i é aproximadamente igual a potência de saída P_o .

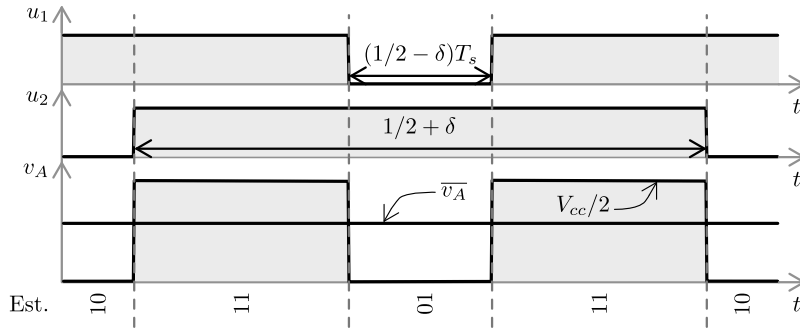
A análise dos estados topológicos é feita para os dois modos de operação da topologia, isto é, para $0 \leq D \leq 1/2$ ou $-1/2 \leq \delta \leq 0$ e para $1/2 \leq D \leq 1$ ou $0 \leq \delta \leq 1/2$. Cada modo de operação cria três estados topológicos que são analisados a seguir. Como o objetivo desse capítulo é demonstrar, quantitativamente, o desbalanço de tensão entre os capacitores do estágio de processamento de energia, são equacionadas apenas as correntes nos capacitores a fim de se obter expressões matemáticas que relacionam essas tensões.

3.1.1 Modo de operação positivo

Na Fig. 3.3 são apresentadas as formas de onda ideais dos sinais de comando u_1 e u_2 e a tensão instantânea v_A na entrada do filtro de saída, para o modo de operação positivo.

onde $\overline{v_A}$ é a tensão média instantânea na entrada do filtro de saída, que é a tensão média na entrada do filtro de saída para um ciclo de chaveamento (ERICKSON; MAKSIMOVIĆ, 2001).

Na Tabela 3.1 são resumidas as informações da Fig. 3.3, onde é apresentada a tensão instantânea v_A na entrada do filtro de saída; o sinal de comando dos interruptores; e o tempo de duração de cada estado topológico Δt para o modo de operação positivo.

Figura 3.3 – Principais formas de onda do C4Q-CC-3N para $0 \leq \delta \leq 1/2$ Tabela 3.1 – Tensão na entrada do filtro de saída para $0 \leq \delta \leq 1/2$

$u_1 u_2$	v_A	Δt
11	$V_i/2$	$2\delta T_s$
10	0	$(1/2 - \delta) T_s$
01	0	$(1/2 - \delta) T_s$

Desconsiderando-se as perdas, a tensão média instantânea na carga \bar{v}_o é computada por:

$$\begin{aligned} \bar{v}_o = \bar{v}_A &\approx \frac{1}{T_s} \int_t^{t+T_s} v_A dt \\ \bar{v}_o &\approx \frac{1}{T_s} \left(\frac{V_i}{2} \right) (2\delta T_s) \\ \bar{v}_o &\approx \delta V_i \end{aligned} \quad (3.5)$$

Ainda desconsiderando-se as perdas, estabelece-se a igualdade de potências:

$$\begin{aligned} P_i &\approx P_o \\ V_i \bar{i}_{L_i} &\approx \bar{v}_o \bar{i}_{L_o} \end{aligned} \quad (3.6)$$

Substituindo-se (3.5) em (3.6), obtém-se:

$$\begin{aligned} V_i \bar{i}_{L_i} &\approx (\delta V_i) \bar{i}_{L_o} \\ \bar{i}_{L_i} &\approx \delta \bar{i}_{L_o} \end{aligned} \quad (3.7)$$

onde \bar{i}_{L_i} e \bar{i}_{L_o} são as correntes média instantânea de entrada e saída, respectivamente.

A Equação 3.7 estabelece uma relação aproximada entre a corrente de entrada e corrente de saída válida quando as perdas resistivas nos capacitores, indutores e interruptores não são relevantes.

Para a análise do modo de operação positivo é considerada a seguinte hipótese simplificada:

h-1 Há diferença entre as tensões nos capacitores segundo a inequação:

$$v_{C_2} > v_{C_3} > v_{C_1} \quad (3.8)$$

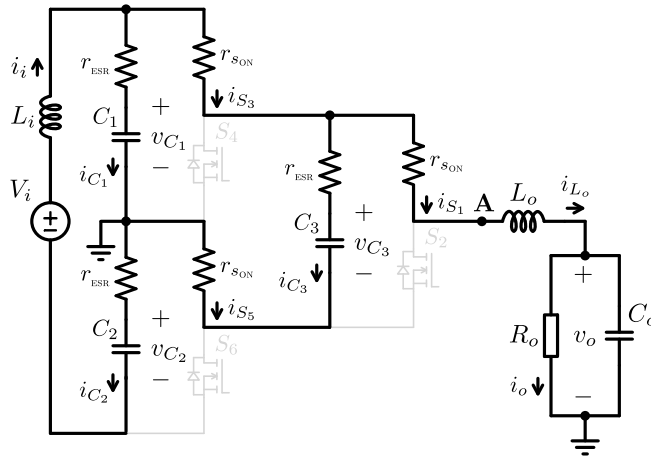
Esta hipótese é adotada uma vez que não há balanceamento de tensões nos capacitores no C4Q-CC-3N, conforme é mostrado na análise a seguir.

O procedimento utilizado para determinar as correntes nos capacitores é demonstrado no Apêndice A.

3.1.1.1 Estado topológico 11

Os interruptores S_1 , S_3 e S_5 estão em condução. A saída e o capacitor C_3 estão sob a tensão do capacitor C_1 (v_{C_1}) ou, idealmente, $V_i/2$. O circuito equivalente é mostrado na Fig. 3.4. onde $r_{s_{ON}}$ é a resistência de condução do interruptor; e r_{ESR} é

Figura 3.4 – Estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$



resistência série-equivalente do capacitor.

As correntes instantâneas nos capacitores são dadas por:

$$i_{C_1(11)} = \frac{2r_{s_{ON}} + r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} - \frac{1}{2} i_{L_o} + \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (3.9)$$

$$i_{C_2(11)} = i_{L_i} \quad (3.10)$$

$$i_{C_3(11)} = \frac{r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} - \frac{1}{2} i_{L_o} - \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (3.11)$$

3.1.1.2 Estado topológico 01

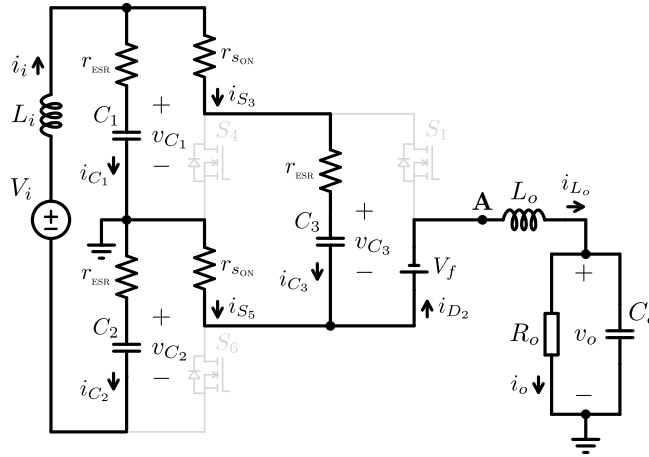
Os interruptores S_3 e S_5 estão em condução e o interruptor S_2 está em condução reversa. O capacitor C_3 está sob a tensão do capacitor C_1 (v_{C_1}). A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 3.5.

As correntes instantâneas nos capacitores são dadas por:

$$i_{C_1(01)} = \frac{2r_{s_{ON}} + r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} - \frac{r_{s_{ON}}}{2(r_{s_{ON}} + r_{ESR})} i_{L_o} + \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (3.12)$$

$$i_{C_2(01)} = i_{L_i} \quad (3.13)$$

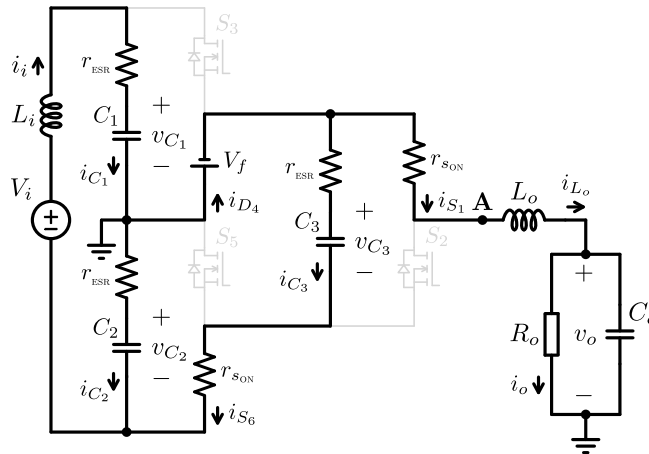
$$i_{C_3(01)} = \frac{r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} + \frac{r_{s_{ON}}}{2(r_{s_{ON}} + r_{ESR})} i_{L_o} - \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (3.14)$$

Figura 3.5 – Estado topológico 01 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$ 

onde V_f é a queda de tensão no diodo anti-paralelo do interruptor.

3.1.1.3 Estado topológico 10

Os interruptores S_1 e S_6 estão em condução e o interruptor S_4 está em condução reversa. O capacitor C_3 está sob a tensão do capacitor C_2 (v_{C_2}). A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 3.6.

Figura 3.6 – Estado topológico 10 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$ 

As correntes instantâneas nos capacitores são dadas por:

$$i_{C_1(10)} = i_{L_i} \quad (3.15)$$

$$i_{C_2(10)} = \frac{r_{s_{ON}} + r_{ESR}}{r_{s_{ON}} + 2r_{ESR}} i_{L_i} - \frac{v_{C_2} - v_{C_3} - V_f}{r_{s_{ON}} + 2r_{ESR}} \quad (3.16)$$

$$i_{C_3(10)} = \frac{r_{ESR}}{r_{s_{ON}} + 2r_{ESR}} i_{L_i} + \frac{v_{C_2} - v_{C_3} - V_f}{r_{s_{ON}} + 2r_{ESR}} \quad (3.17)$$

3.1.1.4 Desbalanço de tensão entre os capacitores de barramento

Em regime permanente a corrente média instantânea no capacitor C_1 é nula, portanto:

$$\begin{aligned}\overline{i_{C_1}} &= \frac{1}{T_s} \int_t^{t+T_s} i_{C_1} dt = 0 \\ \overline{i_{C_1}} &= i_{C_1(11)} (2\delta) + i_{C_1(10)} \left(\frac{1}{2} - \delta\right) + i_{C_1(01)} \left(\frac{1}{2} - \delta\right) = 0\end{aligned}\quad (3.18)$$

Substituindo (3.7), (3.9), (3.12) e (3.15) em (3.18) e isolando-se os termos de tensão, tem-se:

$$\begin{aligned}\left[\frac{\overline{v_{C_3}} - \overline{v_{C_1}}}{4(r_{\text{ESR}} + r_{\text{sON}})} \right] (2\delta + 1) - \overline{i_{L_o}} \left[\frac{r_{\text{sON}} + (r_{\text{ESR}} - 2r_{\text{sON}})\delta + 2r_{\text{ESR}}\delta^2}{4(r_{\text{ESR}} + r_{\text{sON}})} \right] &= 0 \\ \overline{v_{C_3}} - \overline{v_{C_1}} = \overline{i_{L_o}} \left[\frac{r_{\text{sON}} + (r_{\text{ESR}} - 2r_{\text{sON}})\delta + 2r_{\text{ESR}}\delta^2}{2\delta + 1} \right]\end{aligned}\quad (3.19)$$

Da mesma forma, a corrente média instantânea no capacitor C_2 é nula, portanto:

$$\begin{aligned}\overline{i_{C_2}} &= \frac{1}{T_s} \int_t^{t+T_s} i_{C_2} dt = 0 \\ \overline{i_{C_2}} &= i_{C_2(11)} (2\delta) + i_{C_2(10)} \left(\frac{1}{2} - \delta\right) + i_{C_2(01)} \left(\frac{1}{2} - \delta\right) = 0\end{aligned}\quad (3.20)$$

Substituindo (3.7), (3.10), (3.13) e (3.16) em (3.20) e isolando-se os termos de tensão, tem-se:

$$\begin{aligned}\left[\frac{\overline{v_{C_2}} - \overline{v_{C_3}} - V_f}{2r_{\text{ESR}} + r_{\text{sON}}} \right] \left(\delta - \frac{1}{2}\right) + \frac{\overline{i_{L_o}}}{2} \left[\frac{\delta(3r_{\text{ESR}} + 2r_{\text{sON}} + 2\delta r_{\text{ESR}})}{2r_{\text{ESR}} + r_{\text{sON}}} \right] &= 0 \\ \overline{v_{C_2}} - \overline{v_{C_3}} = \overline{i_{L_o}} \left[\frac{\delta(3r_{\text{ESR}} + 2r_{\text{sON}} + 2\delta r_{\text{ESR}})}{1 - 2\delta} \right] + V_f\end{aligned}\quad (3.21)$$

Substituindo (3.19) em (3.21), de forma a cancelar o termo $\overline{v_{C_3}}$, tem-se:

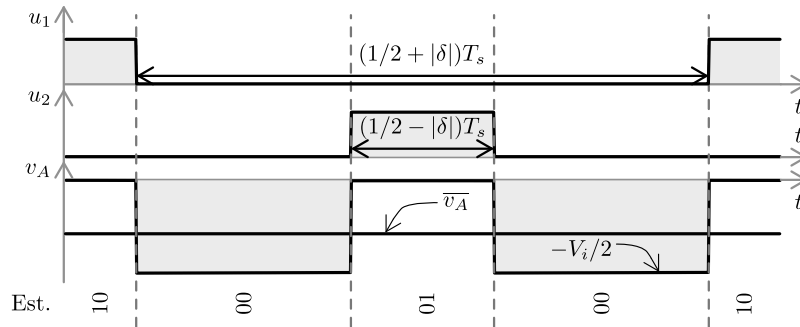
$$\frac{\overline{v_{C_2}} - \overline{v_{C_1}}}{\overline{i_{L_o}}} = \frac{r_{\text{sON}} + 2(2r_{\text{ESR}} - r_{\text{sON}})\delta + 8(r_{\text{ESR}} + r_{\text{sON}})\delta^2}{1 - 4\delta^2} + \|V_f\| \quad (3.22)$$

onde $\|V_f\| = \frac{V_f}{\overline{i_{L_o}}}$

A Equação 3.22 indica um desbalanço de tensão entre os capacitores de barramento, que é dado em função de δ .

3.1.2 Modo de operação negativo

Na Fig. 3.7 são apresentadas as formas de onda ideais dos sinais de comando u_1 e u_2 e a tensão instantânea v_A na entrada do filtro de saída, para o modo de operação negativo.

Figura 3.7 – Principais formas de onda do C4Q-CC-3N para $-1/2 \leq \delta \leq 0$ 

Na Tabela 3.2 são resumidas as informações da Fig. 3.7, onde é apresentada a tensão instantânea v_A na entrada do filtro de saída; o sinal de comando dos interruptores; e o tempo de duração de cada estado topológico Δt para o modo de operação negativo.

Tabela 3.2 – Tensão na entrada do filtro de saída para $-1/2 \leq \delta \leq 0$

$u_1 u_2$	v_A	Δt
00	$-V_i/2$	$2 \delta T_s$
10	0	$(1/2 - \delta) T_s$
01	0	$(1/2 - \delta) T_s$

Analogamente ao modo de operação positivo, tem-se:

$$\overline{i_{L_i}} \approx -|\delta| \overline{i_{L_o}} \quad (3.23)$$

Para a análise do modo de operação negativo é considerada a seguinte hipótese simplificada:

h-2 Há diferença entre as tensões nos capacitores segundo a inequação:

$$v_{C_1} > v_{C_3} > v_{C_2} \quad (3.24)$$

3.1.2.1 Estado topológico 00

Os interruptores S_2 , S_4 e S_6 estão em condução. O capacitor C_3 está sob a tensão do capacitor C_2 (v_{C_2}) e em anti-paralelo à saída, cuja tensão é, idealmente, $-V_i/2$. O circuito equivalente é mostrado na Fig. 3.8.

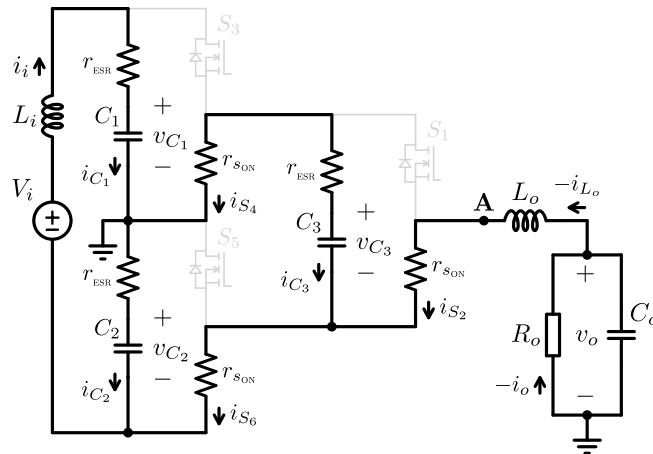
As correntes instantâneas nos capacitores são dadas por:

$$i_{C_1(00)} = i_{L_i} \quad (3.25)$$

$$i_{C_2(00)} = \frac{2r_{s_{ON}} + r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} + \frac{1}{2} i_{L_o} + \frac{v_{C_3} - v_{C_2}}{2(r_{s_{ON}} + r_{ESR})} \quad (3.26)$$

$$i_{C_3(00)} = \frac{r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} + \frac{1}{2} i_{L_o} - \frac{v_{C_3} - v_{C_2}}{2(r_{s_{ON}} + r_{ESR})} \quad (3.27)$$

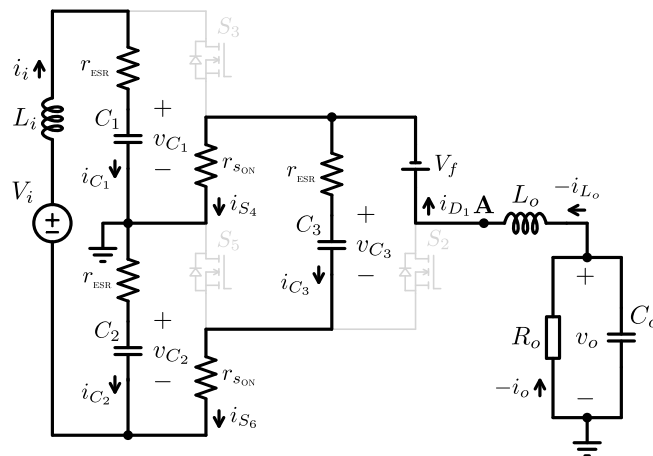
Figura 3.8 – Estado topológico 00 do C4Q-CG-3N com $-1/2 \leq \delta \leq 0$



3.1.2.2 Estado topológico 10

Os interruptores S_4 e S_6 estão em condução e o interruptor S_1 está em condução reversa. O capacitor C_3 está sob a tensão do capacitor C_2 (v_{C_2}). A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 3.9.

Figura 3.9 – Estado topológico 10 do C4Q-CG-3N com $-1/2 \leq \delta \leq 0$



As correntes instantâneas nos capacitores são dadas por:

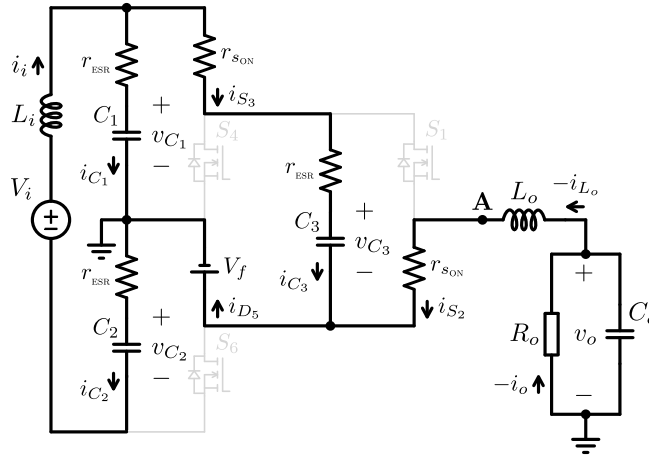
$$i_{C_1(00)} = i_{L_i} \tag{3.28}$$

$$i_{C_2(00)} = \frac{2r_{s_{ON}} + r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} + \frac{r_{s_{ON}}}{2(r_{s_{ON}} + r_{ESR})} i_{L_o} + \frac{v_{C_3} - v_{C_2}}{2(r_{s_{ON}} + r_{ESR})} \tag{3.29}$$

$$i_{C_3(00)} = \frac{r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} - \frac{r_{s_{ON}}}{2(r_{s_{ON}} + r_{ESR})} i_{L_o} - \frac{v_{C_3} - v_{C_2}}{2(r_{s_{ON}} + r_{ESR})} \tag{3.30}$$

3.1.2.3 Estado topológico 01

Os interruptores S_2 e S_3 estão em condução e o interruptor S_5 está em condução reversa. O capacitor C_3 está sob a tensão do capacitor C_1 (v_{C_1}). A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 3.10.

Figura 3.10 – Estado topológico 01 do C4Q-CC-3N com $-1/2 \leq \delta \leq 0$ 

As correntes instantâneas nos capacitores são dadas por:

$$i_{C1(01)} = \frac{r_{sON} + r_{ESR}}{r_{sON} + 2r_{ESR}} i_{Li} - \frac{v_{C1} - v_{C3} - V_f}{r_{sON} + 2r_{ESR}} \quad (3.31)$$

$$i_{C2(01)} = i_{Li} \quad (3.32)$$

$$i_{C3(01)} = \frac{r_{ESR}}{r_{sON} + 2r_{ESR}} i_{Li} + \frac{v_{C1} - v_{C3} - V_f}{r_{sON} + 2r_{ESR}} \quad (3.33)$$

3.1.2.4 Desbalanço de tensão entre os capacitores de barramento

Em regime permanente a corrente média instantânea no capacitor C_1 é nula, portanto:

$$\overline{i_{C1}} = \frac{1}{T_s} \int_t^{t+T_s} i_{C1} dt = 0 \quad (3.34)$$

$$\overline{i_{C1}} = i_{C1(00)} (2|\delta|) + i_{C1(10)} \left(\frac{1}{2} - |\delta| \right) + i_{C1(01)} \left(\frac{1}{2} - |\delta| \right) = 0$$

Substituindo (3.23), (3.25), (3.28) e (3.31) em (3.34) e isolando-se os termos de tensão, tem-se:

$$\left[\frac{\overline{v_{C1}} - \overline{v_{C3}} - V_f}{2r_{ESR} + r_{sON}} \right] \left(|\delta| - \frac{1}{2} \right) - \frac{\overline{i_{Lo}}}{2} \left[\frac{|\delta| (3r_{ESR} + 2r_{sON} + 2|\delta|r_{ESR})}{2r_{ESR} + r_{sON}} \right] = 0 \quad (3.35)$$

$$\overline{v_{C1}} - \overline{v_{C3}} = \overline{i_{Lo}} \left[\frac{|\delta| (3r_{ESR} + 2r_{sON} + 2|\delta|r_{ESR})}{2|\delta| - 1} \right] + V_f$$

Da mesma forma, a corrente média instantânea no capacitor C_2 é nula, portanto:

$$\overline{i_{C2}} = \frac{1}{T_s} \int_t^{t+T_s} i_{C2} dt = 0 \quad (3.36)$$

$$\overline{i_{C2}} = i_{C2(00)} (2|\delta|) + i_{C2(10)} \left(\frac{1}{2} - |\delta| \right) + i_{C2(01)} \left(\frac{1}{2} - |\delta| \right) = 0$$

Substituindo (3.23), (3.26), (3.29) e (3.32) em (3.36) e isolando-se os termos de tensão, tem-se:

$$\left[\frac{\overline{v_{C_3}} - \overline{v_{C_2}}}{4(r_{\text{ESR}} + r_{\text{SON}})} \right] (2|\delta| + 1) + \overline{i_{L_o}} \left[\frac{r_{\text{SON}} + (r_{\text{ESR}} - 2r_{\text{SON}})|\delta| + 2r_{\text{ESR}}\delta^2}{4(r_{\text{ESR}} + r_{\text{SON}})} \right] = 0 \quad (3.37)$$

$$\overline{v_{C_3}} - \overline{v_{C_1}} = \overline{i_{L_o}} \left[\frac{r_{\text{SON}} + (r_{\text{ESR}} - 2r_{\text{SON}})|\delta| + 2r_{\text{ESR}}\delta^2}{1 - 2|\delta|} \right]$$

Substituindo (3.19) em (3.21), de forma a cancelar o termo $\overline{v_{C_3}}$, tem-se:

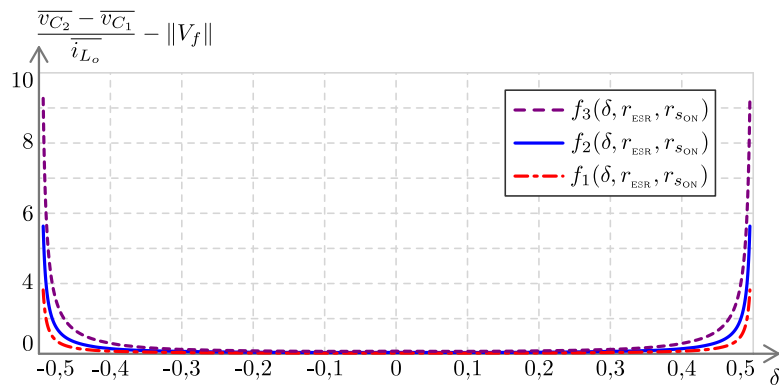
$$\frac{\overline{v_{C_2}} - \overline{v_{C_1}}}{\overline{i_{L_o}}} = \frac{r_{\text{SON}} + 2(2r_{\text{ESR}} - r_{\text{SON}})|\delta| + 8(r_{\text{ESR}} + r_{\text{SON}})\delta^2}{1 - 4\delta^2} + \|V_f\| \quad (3.38)$$

A Equação 3.38 indica um desbalanço de tensão entre os capacitores de barramento, que é dado em função de δ .

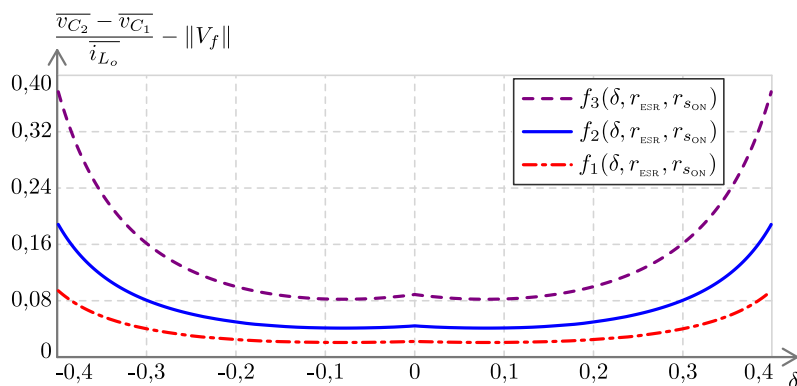
3.2 CONSIDERAÇÕES FINAIS

A partir de (3.22) e (3.38) concluí-se que para valores extremos de δ , isto é, próximos a $-1/2$ ou $1/2$, a diferença de tensão entre os capacitores de barramento aumenta significativamente e, por conseguinte, a diferença de tensão do capacitor chaveado C_3 para um desses capacitores também aumenta. Na Fig. 3.11 é apresentada a diferença de tensão entre os capacitores de barramento em função de δ , normalizada por $\overline{i_{L_o}}$. A curva f_2 é plotada a partir dos componentes listados na Tabela 6.2; a curva f_1 é plotada considerando-se 50% do valor dos componentes (r_{SON} e r_{ESR}) listados na Tabela 6.2; e a curva f_3 é plotada considerando-se 200% do valor dos componentes listados na Tabela 6.2.

Figura 3.11 – Diferença de tensão entre os capacitores em função de δ , r_{sON} e r_{ESR}



(a) Gráfico para todo o domínio de δ



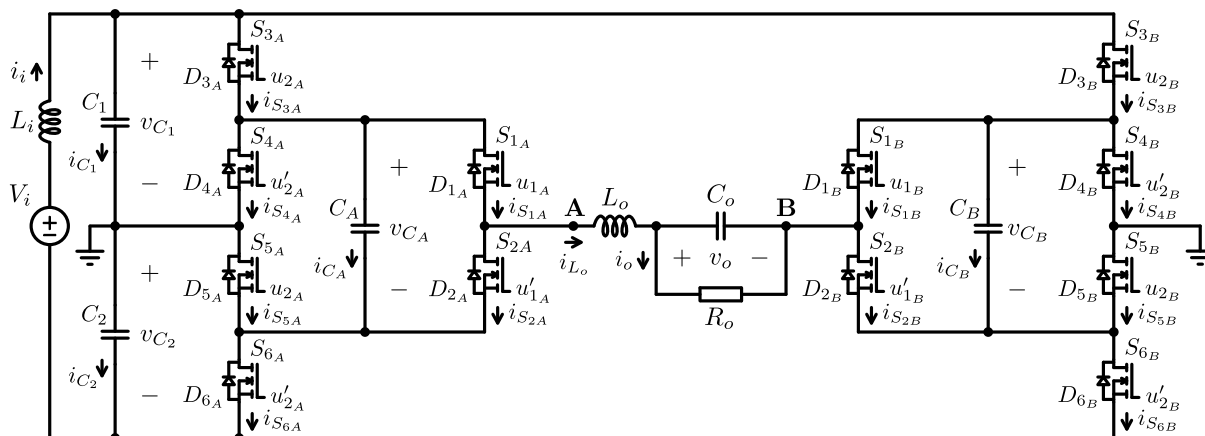
(b) Detalhe ($-0,4 \leq \delta \leq 0,4$)

Embora a diferença dependa dos valores de resistência de condução dos interruptores, queda de tensão sobre os diodos e da resistência série-equivalente dos capacitores, conforme (3.22) e (3.38), é possível afirmar que o C4Q-CC-3N só é interessante para condições de operação com razão cíclica próximas a 50% ou a $\delta = 0$. Em vista disso não é feita uma análise mais aprofundada dessa variante.

4 C4Q-CC-5N OPERANDO COMO CONVERSOR CC-CC

Neste capítulo é apresentada a análise estática e dinâmica sobre o funcionamento do C4Q-CC-5N operando como um conversor cc-cc, que consiste de duas pernas *A* e *B*, as quais são células de 3 níveis do tipo P2 (PENG, 2001) e que compartilham os capacitores de barramento (C_1, C_2), os quais compõem o divisor capacitivo, conforme mostrado na Fig. 4.1.

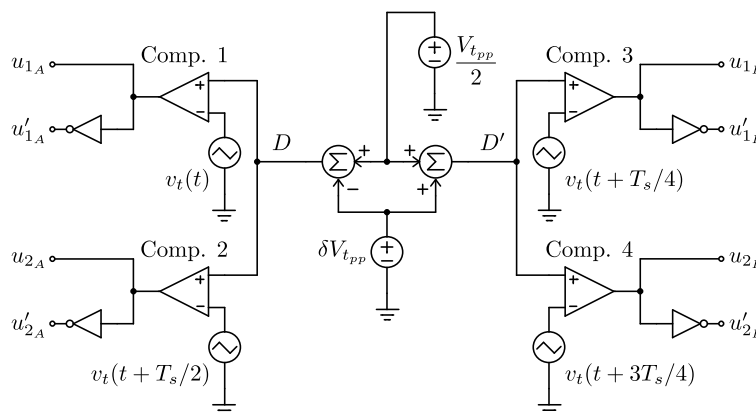
Figura 4.1 – Conversor de 4 de quadrantes a capacitor chaveado com 5 níveis de tensão de saída



A modulação aplicada ao C4Q-CC-5N é similar a modulação aplicada ao C4Q-CC-3N, onde os sinais PWM de uma mesma perna estão defasados em 180° entre si e de 90° dos seus respectivos pares na outra perna.

Na Fig. 4.2 é apresentado um modulador analógico, baseado em comparadores, que sintetiza os sinais de comando u_{1A} e u_{2A} que comandam a perna *A* e os sinais de comando u_{1B} e u_{2B} que comandam a perna *B*.

Figura 4.2 – Circuito analógico modulador dos sinais de comando do C4Q-CC-5N



A razão cíclica D alimenta os comparadores 1 e 2, onde é comparada a portadoras triangulares com frequência f_s . Os comparadores 1 e 2 sintetizam os sinais de

comando u_{1A} e u_{2A} que comandam a perna A . O complementar da razão cíclica D' alimenta os comparadores 3 e 4, os quais sintetizam os sinais de comando u_{1B} e u_{2B} que comandam a perna B . Essa estratégia de modulação implica que no ponto A seja sintetizada tensão média positiva e no ponto B tensão média negativa ou vice-versa. Dessa forma o conversor pode operar em 3 níveis de tensão ou 5 níveis de tensão a depender da razão cíclica.

O principal objetivo na análise estática é determinar o comportamento da tensão sobre os capacitores chaveados C_A e C_B em função de uma perturbação na razão cíclica δ em torno de $D = 0,5$, a fim de demonstrar que, diferentemente do C4Q-CC-3N, a tensão sobre os capacitores tende a se manter constante para todo o domínio da razão cíclica. Ainda através da análise estática são determinadas as ondulações de tensão e corrente sobre os componentes passivos, bem como os esforços nos semicondutores. Enquanto que na análise dinâmica o principal objetivo é obter um modelo matemático que descreva a dinâmica do sistema de forma aproximada, uma vez que o sistema (C4Q-CC-5N) é de sétima ordem. Para tanto são considerados apenas os dois polos mais relevantes, de forma que se obtenha uma função de transferência de segunda ordem para a tensão de saída v_o , sendo essa do tipo SISO (*Single input single output*) ou de uma única entrada e uma única saída.

4.1 ANÁLISE ESTÁTICA

São feitas as seguintes considerações para simplificar a análise matemática:

- c-1 A operação do conversor é em regime permanente;
- c-2 O conversor opera no modo de condução contínua (CCM);
- c-3 A tensão e a corrente de saída são constantes para alguns ciclos de comutação;
- c-4 A capacitância dos capacitores é grande o suficiente para que as tensões nos capacitores sejam consideradas constantes para alguns ciclos de comutação;
- c-5 A resistência série-equivalente dos capacitores é desprezível;
- c-6 As capacitâncias dos interruptores são insignificantes;
- c-7 A resistência de condução dos interruptores é significativa (não pode ser negligenciada);
- c-8 A queda de tensão nos diodos dos interruptores é significativa (não pode ser negligenciada);
- c-9 A corrente de saída i_{L_o} é mandatória para determinar o estado dos interruptores (condução direta ou condução reversa, pelo diodo intrínseco);

c-10 A potência dissipada ou potência de perdas é desprezível e, por conseguinte, a potência de entrada P_i é aproximadamente igual a potência de saída P_o .

4.1.1 Princípio de operação: dispositivos ideais

Nesta seção é apresentado o princípio de funcionamento da topologia de forma idealizada.

A estratégia de modulação por deslocamento de fase ou *phase shift*, aplicada ao C4Q-CC-5N, possibilita a sintetização de até 5 níveis de tensão em 4 regiões de operação. Os vetores de estado de chaveamento; as respectivas faixas de valores da razão cíclica D ; e da tensão média instantânea $\overline{v_{AB}}$ na entrada do filtro de saída são mostradas na Tabela 4.1.

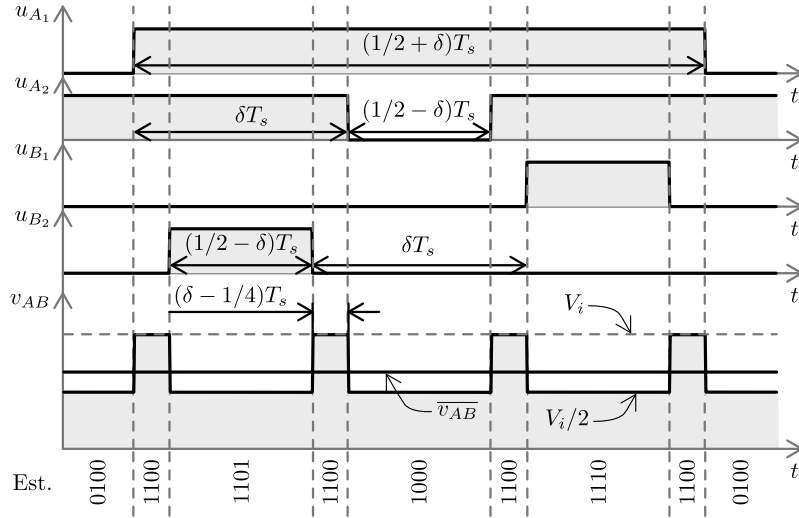
Tabela 4.1 – Sequências de chaveamento por região de operação do conversor

	R1	R2	R3	R4
	$\overline{v_{AB}} = V_i \sim V_i/2$	$\overline{v_{AB}} = V_i/2 \sim 0$	$\overline{v_{AB}} = 0 \sim -V_i/2$	$\overline{v_{AB}} = -V_i/2 \sim -V_i$
	$1 \geq D \geq 0,75$	$0,75 > D \geq 0,5$	$0,5 > D \geq 0,25$	$0,25 > D \geq 0$
	$1/4 \leq \delta \leq 1/2$	$0 \leq \delta < 1/4$	$-1/4 \leq \delta \leq 0$	$-1/2 \leq \delta \leq -1/4$
$u_{1A} \ u_{2A} \ u_{1B} \ u_{2B}$	0100 1100 1101 1100 1000 1100 1110 1100	0100 0101 1101 1001 1000 1010 1110 0110	0001 0101 0111 0110 0010 1010 1011 1001	0001 0011 0111 0011 0010 0011 1011 0011

As regiões de operação R1 e R4 são equivalentes entre si, conforme pode ser observado pela simetria dos vetores de chaveamento na Tabela 4.1, onde a tensão de saída sintetizada está compreendida entre a tensão de barramento é metade da tensão de barramento, em valores absolutos. Da mesma forma, as regiões de operação R2 e R3 são equivalentes entre si, onde a tensão de saída sintetizada possui magnitude menor que metade da tensão de barramento. Portanto, a análise estática é feita apenas para as regiões 1 e 2.

4.1.1.1 Região de operação R1

Na Fig 4.3 são apresentadas as formas de onda ideais dos sinais de comando e da tensão instantânea v_{AB} na entrada do filtro de saída para a região de operação R1, isto é, para $1/4 \leq \delta \leq 1/2$, ou ainda, $D \geq 0,75$, conforme (3.3).

Figura 4.3 – Principais formas de onda do C4Q-CC-5N para $1/4 \leq \delta \leq 1/2$ 

Na Tabela 4.2 são resumidas as informações da Fig. 4.3, onde é apresentada a tensão instantânea v_{AB} na entrada do filtro de saída; o sinal de comando dos interruptores; e o tempo de duração de cada estado topológico Δt .

Tabela 4.2 – Tensão v_{AB} na entrada do filtro de saída para $1/4 \leq \delta \leq 1/2$

u_{A1}	u_{A2}	v_A	u_{B1}	u_{B2}	v_B	v_{AB}	Δt
11	$V_i/2$	00	$-V_i/2$	V_i	$(4\delta - 1) T_s$		
01	0	00	$-V_i/2$	$V_i/2$	$(1/2 - \delta) T_s$		
11	$V_i/2$	01	0	$V_i/2$	$(1/2 - \delta) T_s$		
10	0	00	$-V_i/2$	$V_i/2$	$(1/2 - \delta) T_s$		
11	$V_i/2$	10	0	$V_i/2$	$(1/2 - \delta) T_s$		

Em regime permanente a tensão média instantânea sobre o indutor L_o é nula, portanto a tensão média instantânea de saída \bar{v}_o é igual a tensão média instantânea \bar{v}_{AB} na entrada do filtro de saída, a qual computada por:

$$\begin{aligned} \bar{v}_o = \bar{v}_{AB} &= \frac{1}{T_s} \int_t^{t+T_s} v_{AB} dt \\ \bar{v}_o &= \frac{1}{T_s} \left[(V_i) (4\delta - 1) T_s + 4 \left(\frac{V_i}{2} \right) \left(\frac{1}{2} - \delta \right) T_s \right] \\ \bar{v}_o &= 2\delta V_i \end{aligned} \quad (4.1)$$

Estabelecendo-se a igualdade de potências:

$$\begin{aligned} P_i &= P_o \\ V_i \bar{i}_{L_i} &= \bar{v}_o \bar{i}_{L_o} \end{aligned} \quad (4.2)$$

Substituindo-se (4.1) em (4.2), obtém-se:

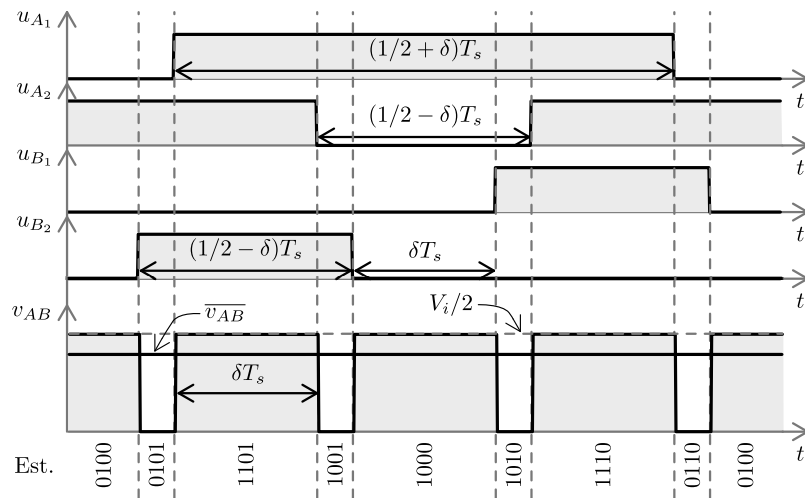
$$\begin{aligned} V_i \bar{i}_{L_i} &= (2\delta V_i) \bar{i}_{L_o} \\ \bar{i}_{L_i} &= 2\delta \bar{i}_{L_o} \end{aligned} \quad (4.3)$$

A Equação 4.3 estabelece uma relação aproximada entre a corrente de entrada e corrente de saída válida quando as perdas resistivas nos capacitores, indutores e interruptores são irrelevantes, isto é, dispositivos ideais.

4.1.1.2 Região de operação R2

Na Fig 4.4 são apresentadas as formas de onda ideais dos sinais de comando e da tensão instantânea v_{AB} na entrada do filtro de saída para a região de operação R2, isto é, para $0 \leq \delta < 1/4$, ou ainda, $0,75 > D \geq 0,5$, conforme (3.3).

Figura 4.4 – Principais formas de onda do C4Q-CC-5N para $0 \leq \delta < 1/4$



Na Tabela 4.3 são resumidas as informações da Fig. 4.4, onde é apresentada a tensão instantânea v_{AB} na entrada do filtro de saída; o sinal de comando dos interruptores; e o tempo de duração de cada estado topológico.

Tabela 4.3 – Tensão v_{AB} na entrada do filtro de saída para $0 \leq \delta < 1/4$

u_{A1}	u_{A2}	v_A	u_{B1}	u_{B2}	v_B	v_{AB}	Δt
01	0	0	00	0	$-V_i/2$	$V_i/2$	δT_s
01	0	0	01	0	0	0	$(1/4 - \delta) T_s$
11	$V_i/2$	$V_i/2$	01	0	0	$V_i/2$	δT_s
10	0	0	01	0	0	0	$(1/4 - \delta) T_s$
10	0	0	00	0	$-V_i/2$	$V_i/2$	δT_s
10	0	0	10	0	0	0	$(1/4 - \delta) T_s$
11	$V_i/2$	$V_i/2$	10	0	0	$V_i/2$	δT_s
01	0	0	10	0	0	0	$(1/4 - \delta) T_s$

Em regime permanente a tensão média instantânea sobre o indutor L_o é nula, portanto a tensão média instantânea de saída \bar{v}_o é igual a tensão média instantânea

$\overline{v_{AB}}$ na entrada do filtro de saída, a qual é computada por:

$$\begin{aligned}\overline{v_o} = \overline{v_{AB}} &= \frac{1}{T_s} \int_t^{t+T_s} v_{AB} dt \\ \overline{v_o} &= \frac{1}{T_s} \left[4 \left(\frac{V_i}{2} \right) (\delta T_s) \right] \\ \overline{v_o} &= 2\delta V_i\end{aligned}\tag{4.4}$$

Estabelecendo-se a igualdade de potências:

$$\begin{aligned}P_i &= P_o \\ V_i \overline{i_{L_i}} &= \overline{v_o} \overline{i_{L_o}}\end{aligned}\tag{4.5}$$

Substituindo-se (4.4) em (4.5), obtém-se:

$$\begin{aligned}V_i \overline{i_{L_i}} &= (2\delta V_i) \overline{i_{L_o}} \\ \overline{i_{L_i}} &= 2\delta \overline{i_{L_o}}\end{aligned}\tag{4.6}$$

Observa-se a mesma relação entre a corrente de entrada e a corrente de saída obtida em (4.3) para a região de operação R1.

4.1.2 Equações de estados

Ausentes sinais de entrada (externos ao sistema) e não havendo realimentação direta (das saídas para as entradas) representa-se um sistema linear em espaço de estados por:

$$\begin{aligned}\frac{d[\mathbf{x}]}{dt} &= [\mathbf{A}][\mathbf{x}] + [\mathbf{B}] \\ [\mathbf{y}] &= [\mathbf{C}][\mathbf{x}]\end{aligned}\tag{4.7}$$

onde $[\mathbf{x}] \in \mathbb{R}^n$ é o vetor das variáveis de estado; $[\mathbf{y}] \in \mathbb{R}^m$ é o vetor das variáveis de saída; $[\mathbf{A}] \in \mathbb{R}^{n \times n}$ é a matriz das variáveis de estado (contém os autovalores do sistema); $[\mathbf{B}] \in \mathbb{R}^{n \times q}$ é a matriz de entrada ou de perturbações; e $[\mathbf{C}] \in \mathbb{R}^{m \times n}$ é a matriz de saída (OGATA, 2010).

O sistema (C4Q-CC-5N) possui 7 variáveis de estado (v_{C_1} , v_{C_2} , v_{C_A} , v_{C_B} , v_{C_o} , i_{L_i} e i_{L_o}). Contudo, escrevendo-se a tensão média instantânea de entrada em função da corrente média instantânea de saída, conforme (4.3) e (4.6); e representando as tensões médias instantâneas nos capacitores de barramento e nos capacitores chaveados por $\overline{v_{C_{BR}}}$ e $\overline{v_{C_{CH}}}$, respectivamente, conforme (4.8) e (4.9), representa-se o sistema por apenas 3 variáveis de estado. A demonstração da validade de (4.8) e (4.9), considerando as 7 variáveis de estado, é demonstrada no Apêndice B. Opta-se em apresentar a modelagem com apenas 3 variáveis de estado para se obter equações mais compactas.

$$\overline{v_{C_1}} = \overline{v_{C_2}} = \overline{v_{C_{BR}}}\tag{4.8}$$

$$\overline{v_{C_A}} = \overline{v_{C_B}} = \overline{v_{C_{CH}}}\tag{4.9}$$

onde $\overline{v_{C_{BR}}}$ é a tensão média instantânea nos capacitores de barramento; $\overline{v_{C_1}}$ e $\overline{v_{C_2}}$ são as tensões média instantânea nos capacitores C_1 e C_2 , respectivamente; $\overline{v_{C_{CH}}}$ é a tensão média instantânea nos capacitores chaveados; e $\overline{v_{C_A}}$ e $\overline{v_{C_B}}$ são as tensões média instantânea nos capacitores C_A e C_B .

As tensões médias instantâneas nos capacitores de barramento são facilmente determinadas em função da corrente média instantânea de entrada (que pode ser reescrita em função de (4.3) e (4.6)) e da tensão de barramento V_i :

$$\overline{v_{C_{BR}}} = \frac{V_i - r_{L_i} \overline{i_{L_i}}}{2} = \frac{V_i - 2r_{L_i} \delta \overline{i_{L_o}}}{2} \quad (4.10)$$

Em vista das considerações c-3 e c-4 aproxima-se as variáveis de estado por seus respectivos valores médios instantâneos, dessa forma determina-se o vetor de estados $[\mathbf{x}]$ como:

$$[\mathbf{x}] = \begin{bmatrix} \overline{v_{C_{CH}}} \\ \overline{i_{L_o}} \\ \overline{v_o} \end{bmatrix} \quad (4.11)$$

A seguir são analisados os estados topológicos e obtidas respectivas equações de estado, onde admite-se que as capacitâncias dos capacitores de barramento e dos capacitores chaveados sejam de mesmo valor C , isto é:

$$C_1 = C_2 = C_A = C_B = C$$

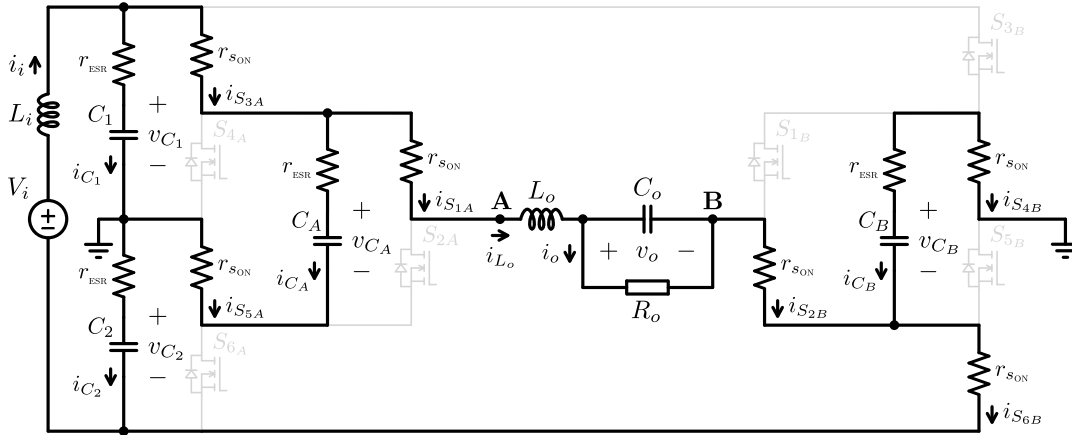
A variável de estado $\overline{v_{C_{CH}}}$ é equacionada a partir da corrente no capacitor C_B e as tensões nos capacitores de barramento são computadas por (4.10). O procedimento utilizado para determinar as equações matriciais de estado baseia-se na superposição de fontes, procedimento ilustrado no Apêndice A para as correntes nos capacitores de processamento de energia do C4Q-CC-3N. Através do uso do princípio de superposição e da análise por malhas encontra-se a corrente no capacitor C_B , a tensão no indutor L_o e a corrente no capacitor C_o e então isola-se as variáveis de estado para cada estado topológico.

4.1.3 Estados topológicos – região de operação R1

4.1.3.1 Estado topológico 1100

Os interruptores S_{1_A} , S_{3_A} , S_{5_A} , S_{2_B} , S_{4_B} e S_{6_B} estão em condução. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A saída está sob tensão de barramento (V_i). O circuito equivalente é mostrado na Fig. 4.5.

Figura 4.5 – Estado topológico 1100 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$



A equação matricial de estado é dada por:

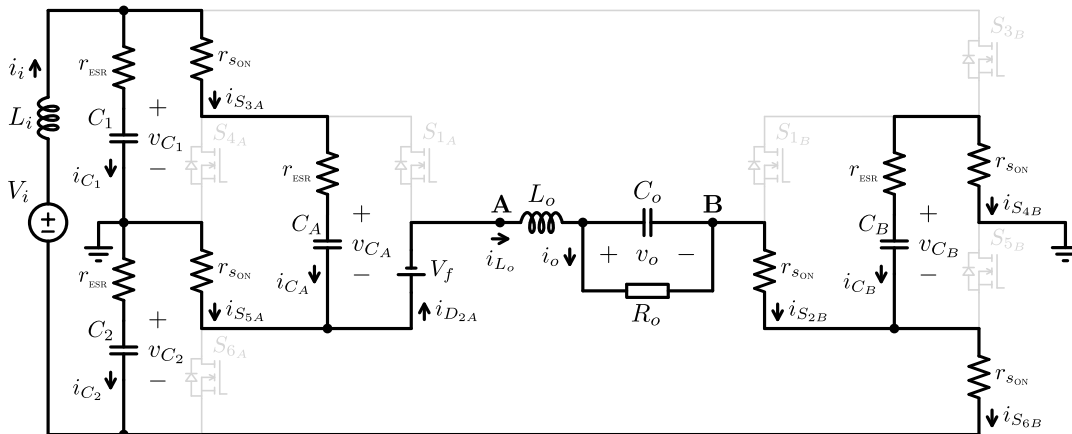
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1100)}][\mathbf{x}] + [\mathbf{B}_{(1100)}]$$

$$[\mathbf{A}_{(1100)}] = \begin{bmatrix} -\frac{1}{2Cr_{s_{ON}}} & 0 & -\frac{1}{2C} - \frac{\delta r_{L_i}}{2Cr_{s_{ON}}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{L_o} & -\frac{1}{L_o} & -\frac{r_{L_o} + 3r_{s_{ON}}}{L_o} - \frac{\delta r_{L_i}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1100)}] = \begin{bmatrix} \frac{V_i}{4Cr_{s_{ON}}} \\ 0 \\ \frac{V_i}{2L_o} \end{bmatrix} \quad (4.12)$$

4.1.3.2 Estado topológico 0100

Os interruptores S_{3A} , S_{5A} , S_{2B} , S_{4B} e S_{6B} estão em condução e o interruptor S_{2A} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A saída está sob a metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.6.

Figura 4.6 – Estado topológico 0100 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$



A equação matricial de estado é dada por:

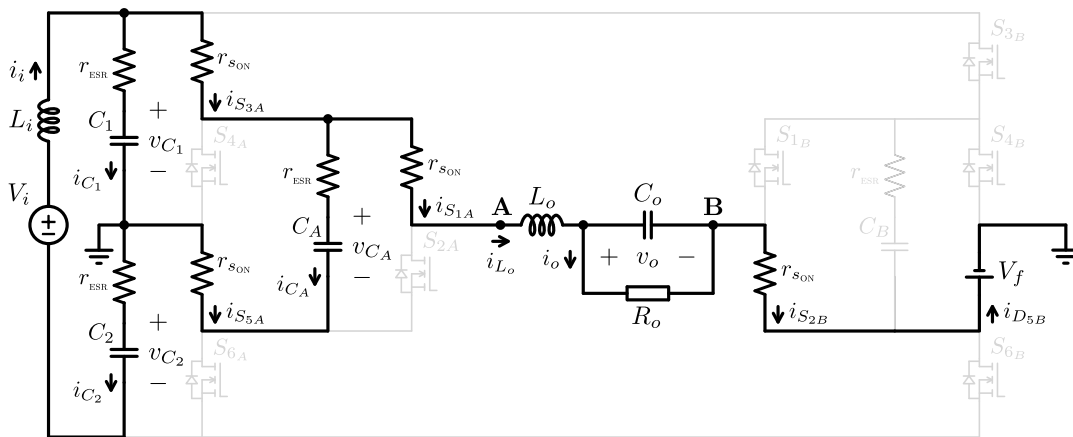
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0100)}][\mathbf{x}] + [\mathbf{B}_{(0100)}]$$

$$[\mathbf{A}_{(0100)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & -\frac{1}{2C} - \frac{\delta r_{Li}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ 0 & -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{sON}}{L_o} - \frac{\delta r_{Li}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(0100)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{2L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.13)$$

4.1.3.3 Estado topológico 1101

Os interruptores S_{1A} , S_{3A} , S_{5A} e S_{2B} estão em condução e o interruptor S_{5B} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_1 (v_{C_1}), mas não há fluxo de corrente através do mesmo. A saída está sob a metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.7.

Figura 4.7 – Estado topológico 1101 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$



A equação matricial de estado é dada por:

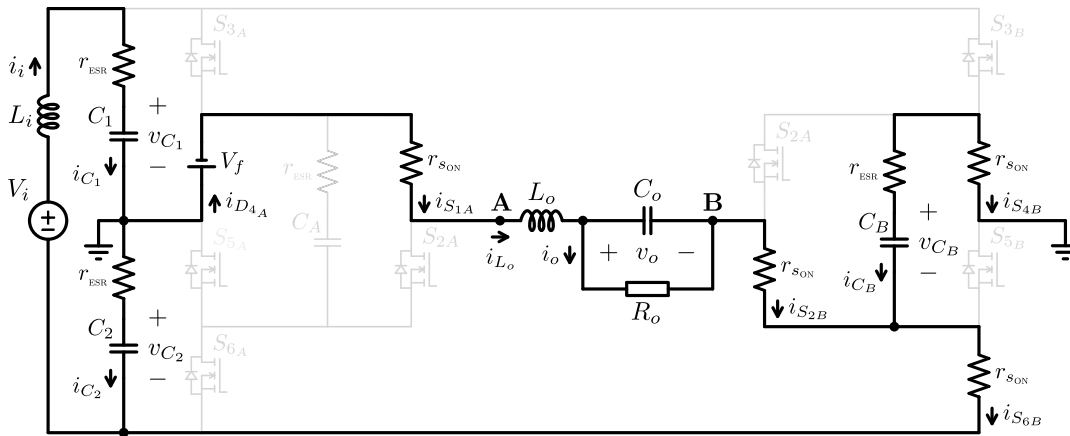
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1101)}][\mathbf{x}] + [\mathbf{B}_{(1101)}]$$

$$[\mathbf{A}_{(1101)}] = \begin{bmatrix} 0 & 0 & 0 \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{2L_o} & -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{sON}}{2L_o} - \frac{\delta r_{Li}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1101)}] = \begin{bmatrix} 0 \\ 0 \\ \frac{V_i}{4L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.14)$$

4.1.3.4 Estado topológico 1000

Os interruptores S_{1A} , S_{2B} , S_{4B} e S_{6B} estão em condução e o interruptor S_{4A} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_2 (v_{C_2}), mas não há fluxo de corrente através do mesmo e o capacitor C_B está também sob a tensão do capacitor C_2 (v_{C_2}). A saída está sob a metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.8.

Figura 4.8 – Estado topológico 1000 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$



A equação matricial de estado é dada por:

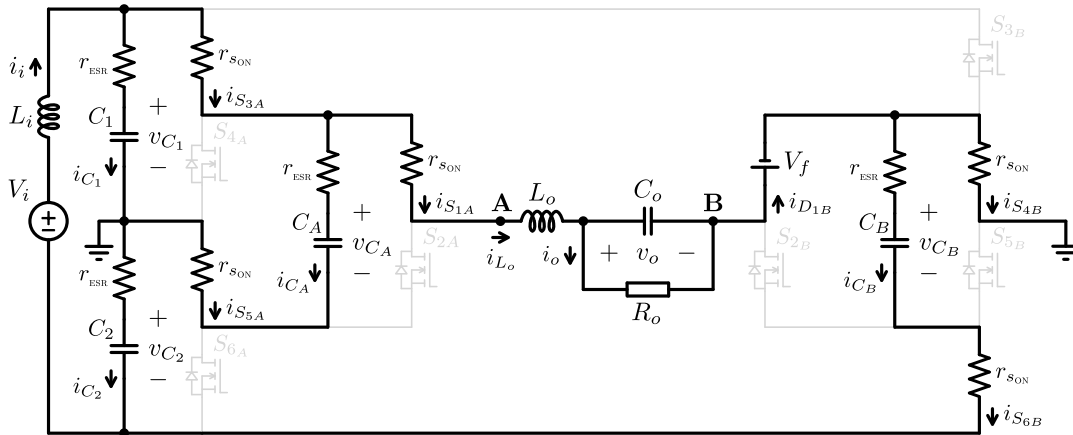
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1000)}][\mathbf{x}] + [\mathbf{B}_{(1000)}]$$

$$[\mathbf{A}_{(1000)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & -\frac{1}{2C} - \frac{\delta r_{L_i}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{2L_o} & -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{sON}}{2L_o} - \frac{\delta r_{L_i}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1000)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{4L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.15)$$

4.1.3.5 Estado topológico 1110

Os interruptores S_{1A} , S_{3A} , S_{5A} , S_{4B} e S_{6B} estão em condução e o interruptor S_{1B} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A saída está sob a metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.9.

Figura 4.9 – Estado topológico 1110 do C4Q-CC-5N com $1/4 \leq \delta \leq 1/2$



A equação matricial de estado é dada por:

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1110)}][\mathbf{x}] + [\mathbf{B}_{(1110)}]$$

$$[\mathbf{A}_{(1110)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & \frac{1}{2C} - \frac{\delta r_{Li}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ 0 & -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{sON}}{L_o} - \frac{\delta r_{Li}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1110)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{2L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.16)$$

4.1.4 Estados topológicos – região de operação R2

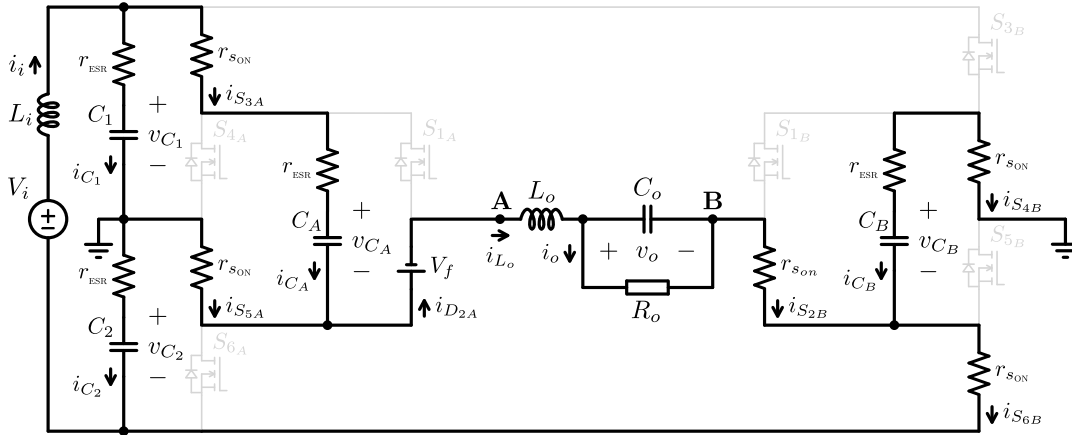
4.1.4.1 Estado topológico 0100

Os interruptores S_{3A} , S_{5A} , S_{2B} , S_{4B} e S_{6B} estão em condução e o interruptor S_{2A} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C1}) e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C2}). A saída está sob metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.10.

A equação matricial de estado é dada por:

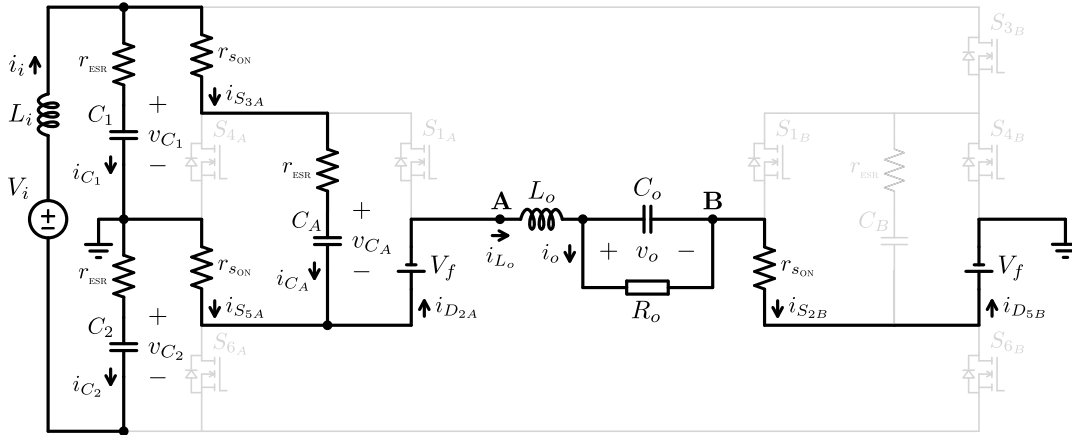
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0100)}][\mathbf{x}] + [\mathbf{B}_{(0100)}]$$

$$[\mathbf{A}_{(0100)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & -\frac{1}{2C} - \frac{\delta r_{Li}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ 0 & -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{sON}}{L_o} - \frac{\delta r_{Li}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(0100)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{2L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.17)$$

Figura 4.10 – Estado topológico 0100 do C4Q-CC-5N com $0 \leq \delta < 1/4$ 

4.1.4.2 Estado topológico 0101

Os interruptores S_{3A} , S_{5A} e S_{2B} estão em condução e os interruptores S_{2A} , S_{5B} estão em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_1 (v_{C_1}), mas não há fluxo de corrente através do mesmo. A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 4.11.

Figura 4.11 – Estado topológico 0101 do C4Q-CC-5N com $0 \leq \delta < 1/4$ 

A equação matricial de estado é dada por:

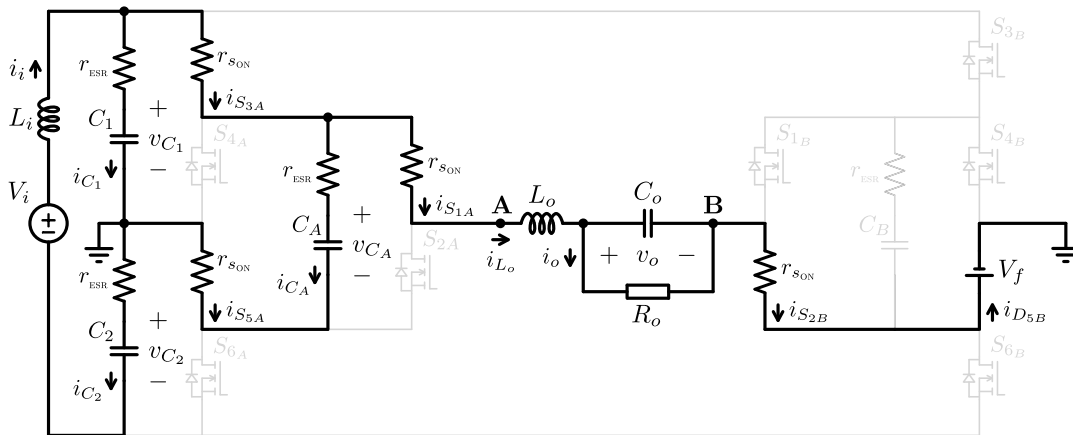
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0101)}][\mathbf{x}] + [\mathbf{B}_{(0101)}] \quad (4.18)$$

$$[\mathbf{A}_{(0101)}] = \begin{bmatrix} 0 & 0 & 0 \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{2L_o} & -\frac{1}{L_o} & \frac{\delta r_{L_i}}{2L_o} - \frac{2r_{L_o} + r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(0101)}] = \begin{bmatrix} 0 \\ 0 \\ -\frac{2V_f}{L_o} - \frac{V_i}{4L_o} \end{bmatrix}$$

4.1.4.3 Estado topológico 1101

Os interruptores S_{1A} , S_{3A} , S_{5A} e S_{2B} estão em condução e o interruptor S_{5B} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_1 (v_{C_1}), mas não há fluxo de corrente através do mesmo. A saída está sob metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.12.

Figura 4.12 – Estado topológico 1101 do C4Q-CC-5N com $0 \leq \delta < 1/4$



A equação matricial de estado é dada por:

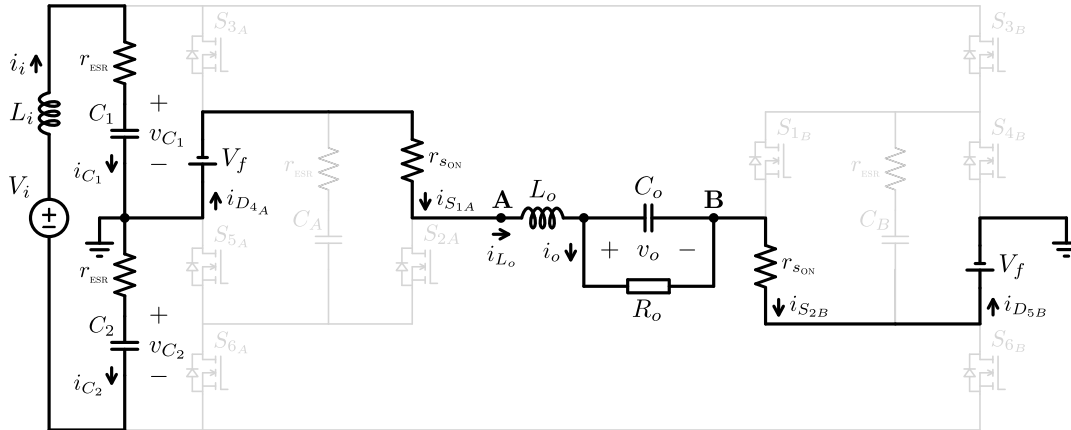
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1101)}][\mathbf{x}] + [\mathbf{B}_{(1101)}] \quad (4.19)$$

$$[\mathbf{A}_{(1101)}] = \begin{bmatrix} 0 & 0 & 0 \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{2L_o} & -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{s_{ON}}}{2L_o} - \frac{\delta r_{L_i}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1101)}] = \begin{bmatrix} 0 \\ 0 \\ \frac{V_i}{4L_o} - \frac{V_f}{L_o} \end{bmatrix}$$

4.1.4.4 Estado topológico 1001

Os interruptores S_{1A} e S_{2B} estão em condução e os interruptores S_{4A} , S_{5B} estão em condução reversa. O capacitor C_A está sob a tensão do capacitor C_2 (v_{C_2}) e o capacitor C_B está sob a tensão do capacitor C_1 (v_{C_1}), mas não há fluxo de corrente através dos capacitores. A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 4.13.

Figura 4.13 – Estado topológico 1001 do C4Q-CC-5N com $0 \leq \delta < 1/4$



A equação matricial de estado é dada por:

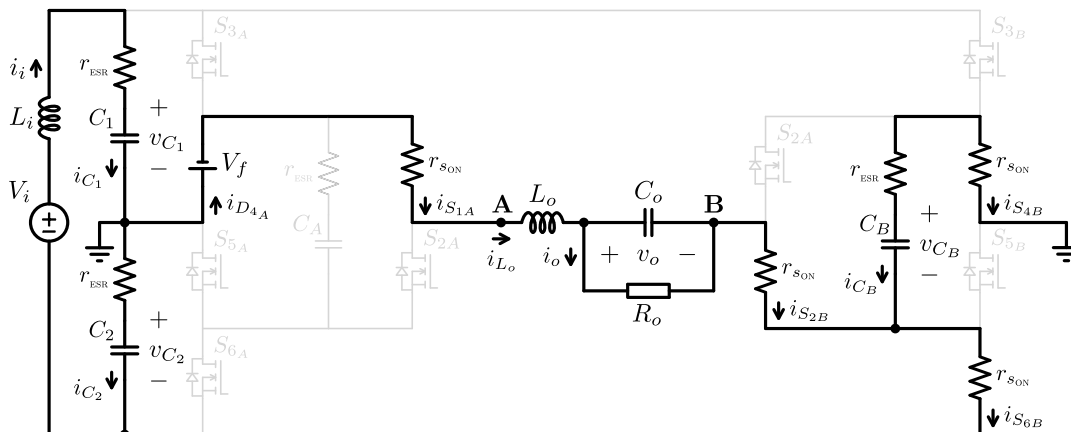
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1001)}][\mathbf{x}] + [\mathbf{B}_{(1001)}] \quad (4.20)$$

$$[\mathbf{A}_{(1001)}] = \begin{bmatrix} 0 & 0 & 0 \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ 0 & -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1001)}] = \begin{bmatrix} 0 \\ 0 \\ -\frac{2V_f}{L_o} \end{bmatrix}$$

4.1.4.5 Estado topológico 1000

Os interruptores S_{1A} , S_{2B} , S_{4B} e S_{6B} estão em condução e o interruptor S_{4A} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_2 (v_{C_2}), mas não há fluxo de corrente através do mesmo e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A saída está sob metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.14.

Figura 4.14 – Estado topológico 1000 do C4Q-CC-5N com $0 \leq \delta < 1/4$



A equação matricial de estado é dada por:

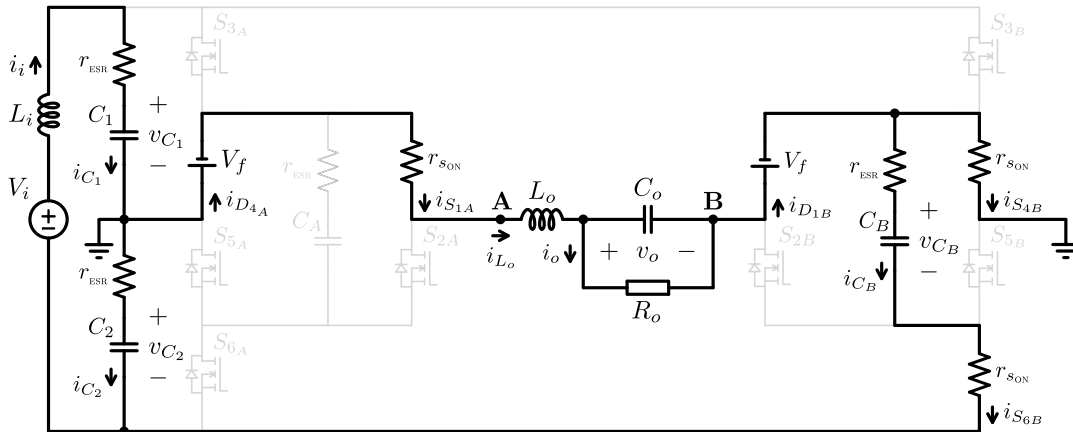
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1000)}][\mathbf{x}] + [\mathbf{B}_{(1000)}]$$

$$[\mathbf{A}_{(1000)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & \frac{1}{2C} - \frac{\delta r_{Li}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{2L_o} & -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{sON}}{2L_o} - \frac{\delta r_{Li}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1000)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{4L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.21)$$

4.1.4.6 Estado topológico 1010

Os interruptores S_{1A} , S_{4B} e S_{6B} estão em condução e os interruptores S_{4A} , S_{1B} estão em condução reversa. O capacitor C_A está sob a tensão do capacitor C_2 (v_{C_2}), mas não há fluxo de corrente através do mesmo e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 4.15.

Figura 4.15 – Estado topológico 1010 do C4Q-CC-5N com $0 \leq \delta < 1/4$



A equação matricial de estado é dada por:

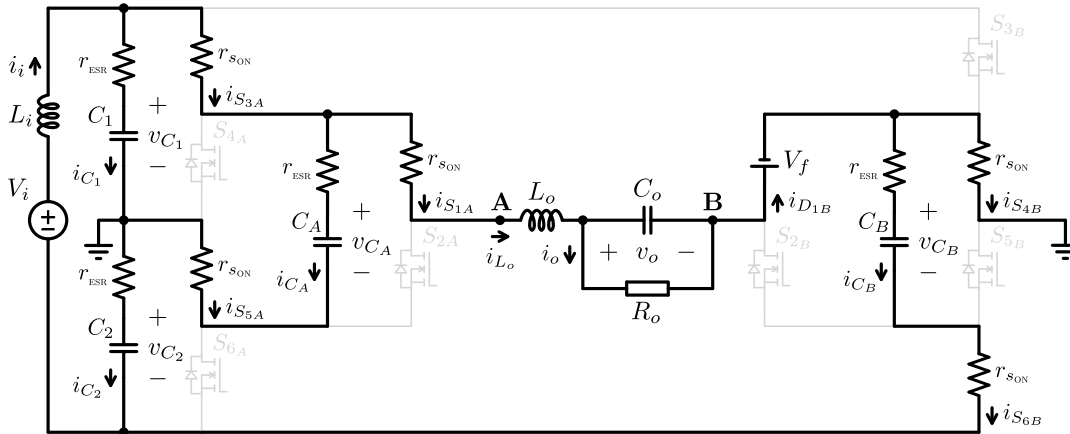
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1010)}][\mathbf{x}] + [\mathbf{B}_{(1010)}]$$

$$[\mathbf{A}_{(1010)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & \frac{1}{2C} - \frac{\delta r_{Li}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{2L_o} & -\frac{1}{L_o} & -\frac{2r_{L_o} + 3r_{sON}}{2L_o} - \frac{\delta r_{Li}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1010)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{4L_o} - \frac{2V_f}{L_o} \end{bmatrix} \quad (4.22)$$

4.1.4.7 Estado topológico 1110

Os interruptores S_{1A} , S_{3A} , S_{5A} , S_{4B} e S_{6B} estão em condução e o interruptor S_{1B} está em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A saída está sob metade da tensão de barramento ($V_i/2$). O circuito equivalente é mostrado na Fig. 4.16.

Figura 4.16 – Estado topológico 1110 do C4Q-CC-5N com $0 \leq \delta < 1/4$



A equação matricial de estado é dada por:

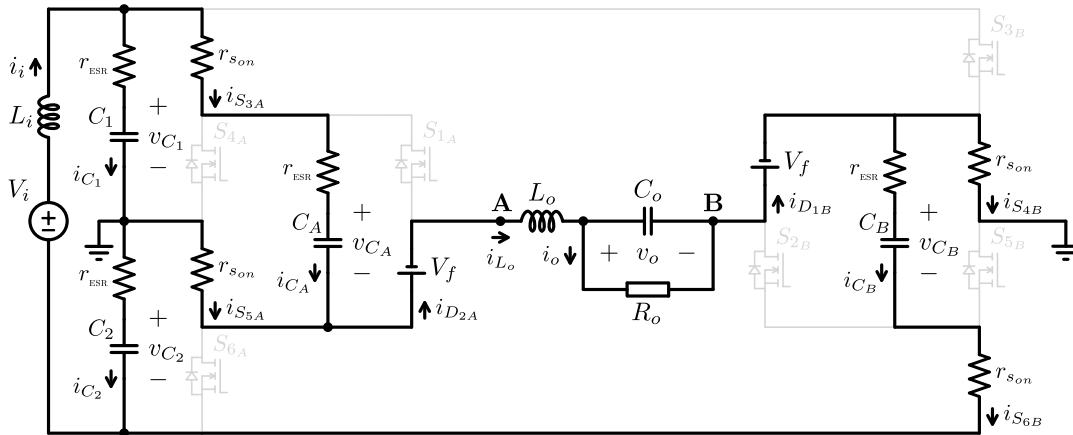
$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1110)}][\mathbf{x}] + [\mathbf{B}_{(1110)}]$$

$$[\mathbf{A}_{(1110)}] = \begin{bmatrix} -\frac{1}{2Cr_{sON}} & 0 & \frac{1}{2C} - \frac{\delta r_{L_i}}{2Cr_{sON}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ 0 & -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{sON}}{L_o} - \frac{\delta r_{L_i}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1110)}] = \begin{bmatrix} \frac{V_i}{4Cr_{sON}} \\ 0 \\ \frac{V_i}{2L_o} - \frac{V_f}{L_o} \end{bmatrix} \quad (4.23)$$

4.1.4.8 Estado topológico 0110

Os interruptores S_{3A} , S_{5A} , S_{4B} e S_{6B} estão em condução e os interruptores S_{2A} , S_{1B} estão em condução reversa. O capacitor C_A está sob a tensão do capacitor C_1 (v_{C_1}) e o capacitor C_B está sob a tensão do capacitor C_2 (v_{C_2}). A tensão de saída é nula. O circuito equivalente é mostrado na Fig. 4.17.

Figura 4.17 – Estado topológico 0110 do C4Q-CC-5N com $0 \leq \delta < 1/4$



A equação matricial de estado é dada por:

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0110)}][\mathbf{x}] + [\mathbf{B}_{(0110)}]$$

$$[\mathbf{A}_{(0110)}] = \begin{bmatrix} -\frac{1}{2Cr_{son}} & 0 & \frac{1}{2C} - \frac{\delta r_{Li}}{2Cr_{son}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{1}{L_o} & -\frac{r_{L_o} + r_{son}}{L_o} - \frac{\delta r_{Li}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(0110)}] = \begin{bmatrix} \frac{V_i}{4Cr_{son}} \\ 0 \\ \frac{V_i}{2L_o} - \frac{2V_f}{L_o} \end{bmatrix} \quad (4.24)$$

4.1.5 Equação de estado médio instantâneo

As equações estáticas do conversor são obtidas para condição de regime permanente, quando não há variação temporal nas variáveis de estado (OGATA, 2010), isto é:

$$\frac{d[\mathbf{x}]}{dt} = 0, \quad (4.25)$$

usando-se a modelagem por circuito médio instantâneo (ERICKSON; MAKSIMOVIĆ, 2001). Onde o valor médio instantâneo é computado por:

$$\bar{x}_k = \frac{1}{T_s} \int_t^{t+T_s} x_k(t) dt \quad (4.26)$$

onde x_k é uma variável de estado e \bar{x}_k seu respectivo valor médio instantâneo.

Aplicando-se (4.26) e substituindo-se (4.25) em (4.7) obtém-se:

$$\bar{x}_k = -[\mathbf{C}_k][\bar{\mathbf{A}}]^{-1}[\bar{\mathbf{B}}] \quad (4.27)$$

onde $[\bar{\mathbf{A}}]$ é a matriz média instantânea das variáveis de estado; $[\bar{\mathbf{B}}]$ é a matriz média instantânea de entrada; e $[\mathbf{C}_k]$ é a respectiva matriz de saída para a variável de estado x_k .

As matrizes $[\bar{\mathbf{A}}]$ e $[\bar{\mathbf{B}}]$ são dadas por:

$$[\bar{\mathbf{A}}] = \begin{bmatrix} -\frac{2\delta + 1}{4Cr_{s_{ON}}} & 0 & -\frac{\delta r_{L_i} - r_{s_{ON}} + 6\delta r_{s_{ON}} + 2\delta^2 r_{L_i}}{4Cr_{s_{ON}}} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{6\delta - 1}{2L_o} & -\frac{1}{L_o} & -\frac{2r_{L_o} + 3r_{s_{ON}} + \delta r_{L_i} + 6\delta r_{s_{ON}} + 2\delta^2 r_{L_i}}{2L_o} \end{bmatrix}, \quad 0 \leq \delta < \frac{1}{4}$$

$$[\bar{\mathbf{B}}] = \begin{bmatrix} \frac{V_i(2\delta + 1)}{8Cr_{s_{ON}}} \\ 0 \\ \frac{V_i - 8V_f + 16\delta V_f + 2\delta V_i}{4L_o} \end{bmatrix}, \quad \frac{1}{4} \leq \delta \leq \frac{1}{2}$$

$$[\bar{\mathbf{A}}] = \begin{bmatrix} -\frac{2\delta + 1}{4Cr_{s_{ON}}} & 0 & -\frac{\delta r_{L_i} - r_{s_{ON}} + 6\delta r_{s_{ON}} + 2\delta^2 r_{L_i}}{4Cr_{s_{ON}}} \\ \frac{8\delta - 1}{4L_o} & -\frac{1}{L_o} & -\frac{4r_{L_o} + 5r_{s_{ON}} + \delta r_{L_i} + 16\delta r_{s_{ON}} + 8\delta^2 r_{L_i}}{4L_o} \\ 0 & -\frac{1}{C_o R_o} & \frac{1}{C_o} \end{bmatrix}, \quad 0 \leq \delta < \frac{1}{4}$$

$$[\bar{\mathbf{B}}] = \begin{bmatrix} \frac{V_i(2\delta + 1)}{8Cr_{s_{ON}}} \\ \frac{V_i - 16V_f + 32\delta V_f + 8\delta V_i}{8L_o} \\ 0 \end{bmatrix}, \quad \frac{1}{4} \leq \delta \leq \frac{1}{2}$$

Uma vez que a análise é feita para o conversor operando como conversor cc-cc, os valores médios são os próprios valores médios instantâneos:

$$V_o = \bar{v}_o, \quad I_o = I_{L_o} = \bar{i}_{L_o}, \quad V_{C_{CH}} = \bar{v}_{C_{CH}}, \quad V_{C_{BR}} = \bar{v}_{C_{BR}}, \quad I_i = I_{L_i} = \bar{i}_{L_i}$$

4.1.6 Tensão média de saída

4.1.6.1 Ganho estático ideal

A partir de (4.1) e (4.4) determina-se o ganho estático ideal do conversor como:

$$\frac{V_o}{V_i} = \frac{\bar{v}_o}{V_i} = 2\delta \quad (4.28)$$

4.1.6.2 Tensão média de saída não ideal

A tensão média de saída V_o , não ideal, é computada substituindo-se:

$$[\mathbf{C}_k] = \begin{bmatrix} 0 & 1 & 0 \end{bmatrix} \quad (4.29)$$

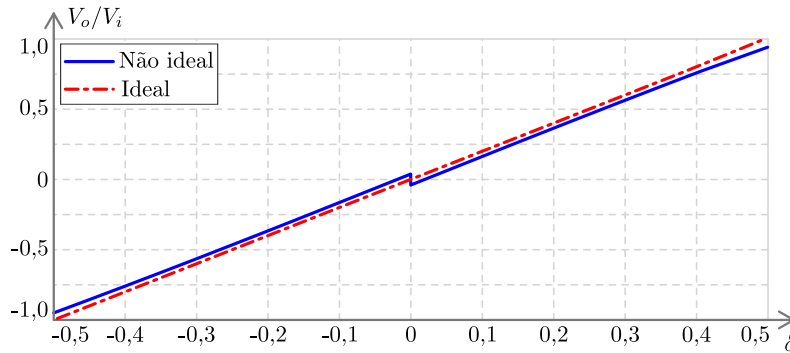
em (4.27):

$$V_o = \begin{cases} \frac{4(2\delta + 1) R_o [V_f (2\delta - 1) + \delta V_i]}{(6\delta + 40\delta^2 + 3) r_{s_{ON}} + 2(2\delta + 1) (R_o + r_{L_o} + 4\delta^2 r_{L_i})}, & 0 \leq \delta < \frac{1}{4} \\ \frac{2(2\delta + 1) R_o [V_f (2\delta - 1) + \delta V_i]}{2(12\delta^2 + 1) r_{s_{ON}} + (2\delta + 1) (R_o + r_{L_o} + 4\delta^2 r_{L_i})}, & \frac{1}{4} \leq \delta \leq \frac{1}{2} \end{cases} \quad (4.30)$$

4.1.6.3 Tensão média de saída ideal vs não ideal

Na Fig. 4.18 são mostradas as curvas da tensão média de saída ideal e da tensão de média saída não ideal em função da perturbação na razão cíclica δ , plotadas a partir de (4.28) e (4.30), respectivamente, normalizadas em função da tensão de entrada V_i para os componentes listados na Tabela 6.2.

Figura 4.18 – Tensão média de saída V_o em função de δ



4.1.7 Tensão média nos capacitores chaveados

A tensão média nos capacitores chaveados V_{CCH} , não ideal, é computada substituindo-se:

$$[C_k] = [1 \ 0 \ 0] \quad (4.31)$$

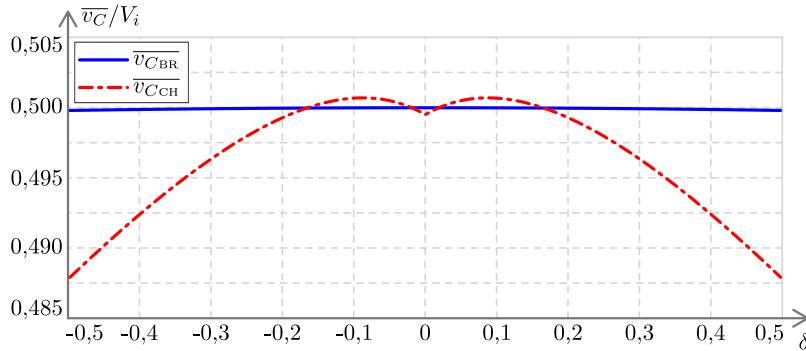
em (4.27):

$$V_{CCH} = \begin{cases} \frac{V_i [(4\delta + 2) (R_o + r_{L_o}) + r_{s_{ON}} (14\delta - 8\delta^2 + 3)]}{2r_{s_{ON}} (6\delta + 40\delta^2 + 3) + 4(2\delta + 1) (R_o + r_{L_o} + 4\delta^2 r_{L_i})} + \\ - \frac{8V_f (2\delta - 1) [r_{s_{ON}} (6\delta - 1) + \delta r_{L_i} (2\delta + 1)]}{2r_{s_{ON}} (6\delta + 40\delta^2 + 3) + 4(2\delta + 1) (R_o + r_{L_o} + 4\delta^2 r_{L_i})}, & 0 \leq \delta < \frac{1}{4} \\ \frac{V_i (2\delta + 1) (R_o + r_{L_o} + 2r_{s_{ON}}) - 4V_f (2\delta - 1) [r_{s_{ON}} (6\delta - 1) + \delta r_{L_i} (2\delta + 1)]}{4r_{s_{ON}} (12\delta^2 + 1) + 2(2\delta + 1) (R_o + r_{L_o} + 4\delta^2 r_{L_i})}, & \frac{1}{4} \leq \delta \leq \frac{1}{2} \end{cases} \quad (4.32)$$

Na Fig. 4.19 são mostradas as curvas da tensão média nos capacitores de barramento $V_{C_{BR}}$ e da tensão média nos capacitores chaveados V_{CCH} , plotadas a partir

de (4.10) e (4.35), respectivamente, normalizadas em função da tensão de entrada V_i para os componentes listados na Tabela 6.2.

Figura 4.19 – Tensão média nos capacitores de barramento $V_{C_{BR}}$ e nos capacitores chaveados $V_{C_{CH}}$ em função δ



4.1.8 Corrente média de saída e corrente média de entrada

A corrente média de saída I_o , não ideal, é computada substituindo-se:

$$[C_k] = [0 \quad 0 \quad 1] \quad (4.33)$$

em (4.27):

$$I_o = \begin{cases} \frac{4(2\delta + 1)[V_f(2\delta - 1) + \delta V_i]}{(6\delta + 40\delta^2 + 3)r_{son} + 2(2\delta + 1)(R_o + r_{L_o} + 4\delta^2 r_{L_i})}, & 0 \leq \delta < \frac{1}{4} \\ \frac{2(2\delta + 1)[V_f(2\delta - 1) + \delta V_i]}{2(12\delta^2 + 1)r_{son} + (2\delta + 1)(R_o + r_{L_o} + 4\delta^2 r_{L_i})}, & \frac{1}{4} \leq \delta \leq \frac{1}{2} \end{cases} \quad (4.34)$$

Mediante a consideração c-10, determina-se a corrente média de entrada I_i de forma ideal a partir (4.3) e (4.6) como:

$$I_i = 2\delta I_o \quad (4.35)$$

4.1.9 Ondulação de tensão nos capacitores chaveados

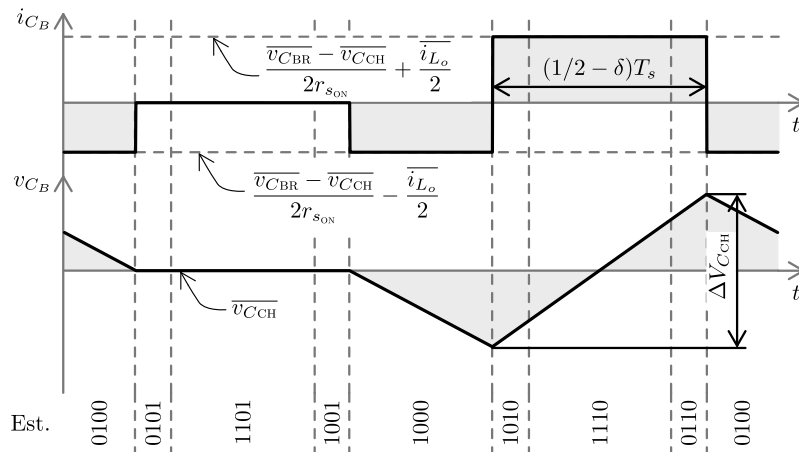
Na Fig. 4.20 são apresentadas as formas de onda de corrente e tensão no capacitor C_B , para as regiões de operação R2 e R1, respectivamente.

A ondulação de tensão nos capacitores C_A e C_B , $\Delta V_{C_{CH}}$, é computada por:

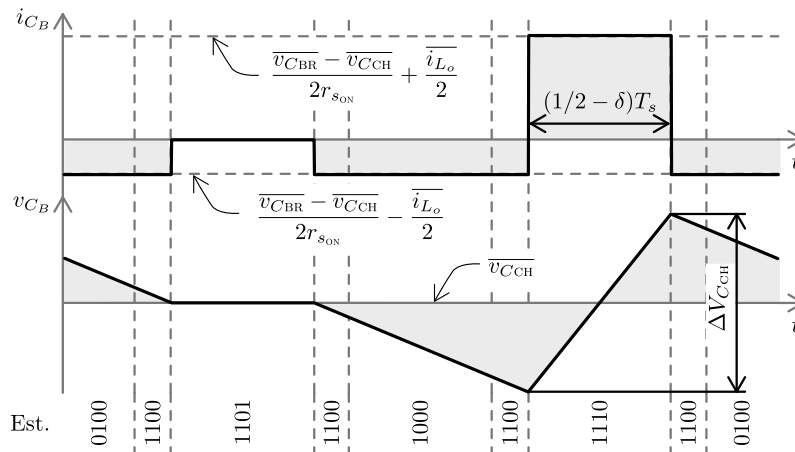
$$\begin{aligned} \Delta V_{C_{CH}} &= \frac{1}{C} \int_{t_1}^{t_2} i_{C_{CH}}(t) dt \\ \Delta V_{C_{CH}} &= \frac{1}{2f_s C} \left(\frac{1}{2} - \delta \right) \left(i_{L_o} + \frac{\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}}}{r_{son}} \right) \end{aligned} \quad (4.36)$$

onde t_2 e t_1 são os tempos de máximo e mínimo da corrente $i_{C_B}(t)$, dentro de um ciclo de chaveamento.

Figura 4.20 – Formas de onda de corrente e tensão nos capacitores chaveados



(a) Formas de onda para $0 \leq \delta < 1/4$



(b) Formas de onda para $1/4 \leq \delta \leq 1/2$

4.1.10 Corrente eficaz nos capacitores chaveados

A corrente eficaz nos capacitores C_A e C_B , $\overline{i_{CCH,RMS}}$, é computada por:

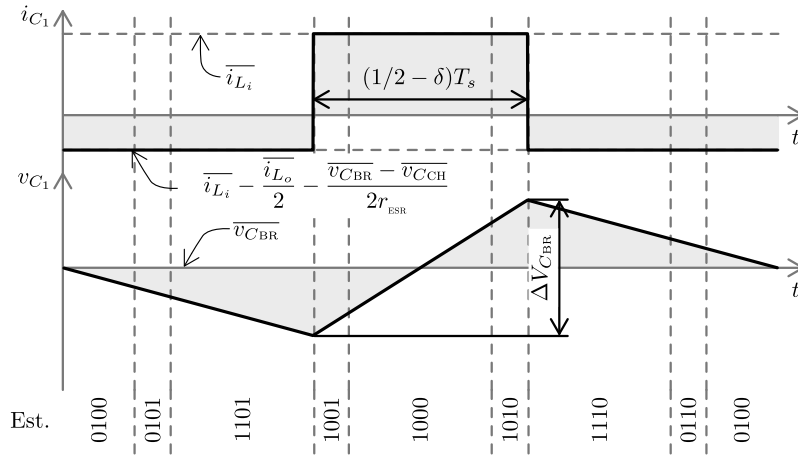
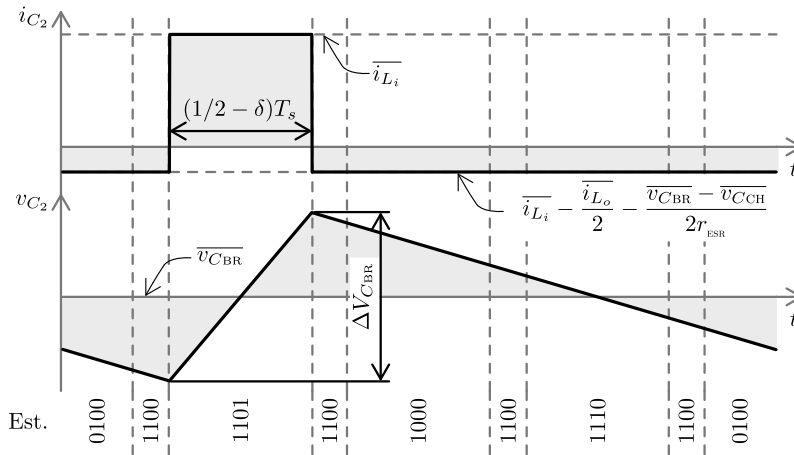
$$\overline{i_{CCH,RMS}} = \sqrt{\frac{1}{T_s} \int_t^{t+T_s} i_{CCH}^2(t) dt} \tag{4.37}$$

$$\overline{i_{CCH,RMS}} = \sqrt{\frac{1}{8} \left[4\delta \left(\overline{i_{L_o}} - \frac{\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}}}{r_{sON}} \right)^2 - (2\delta - 1) \left(\overline{i_{L_o}} + \frac{\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}}}{r_{sON}} \right)^2 \right]}$$

4.1.11 Ondulação de tensão nos capacitores de barramento

Na Fig. 4.21 são apresentadas as formas de onda de corrente nos capacitores C_1 e C_2 , para as regiões de operação R2 e R1, respectivamente.

Figura 4.21 – Formas de onda de corrente e tensão nos capacitores de barramento

(a) Formas de onda para $0 \leq \delta < 1/4$ (b) Formas de onda para $1/4 \leq \delta \leq 1/2$

A ondulação de tensão nos capacitores C_1 e C_2 , $\Delta V_{C_{BR}}$, é computada por:

$$\begin{aligned} \Delta V_{C_{BR}} &= \frac{1}{C} \int_{t_1}^{t_2} i_{C_{BR}} dt \\ \Delta V_{C_{BR}} &= \frac{2\delta}{f_s C} \left(\frac{1}{2} - \delta \right) \overline{i_{L_o}} \end{aligned} \quad (4.38)$$

onde t_2 e t_1 são os tempos de máximo e mínimo da corrente $i_{C_1}(t)$ ou $i_{C_2}(t)$, dentro de um ciclo de chaveamento.

4.1.12 Corrente eficaz nos capacitores de barramento

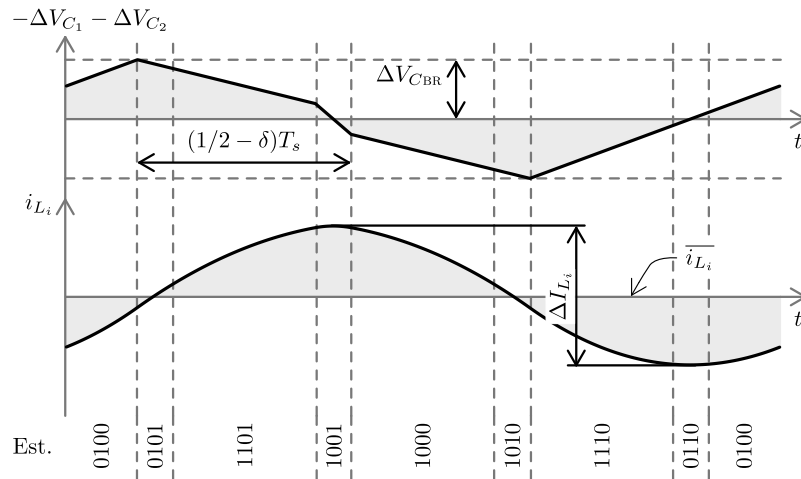
A corrente eficaz nos capacitores C_1 e C_2 , $\overline{i_{C_{BR},RMS}}$, é computada por:

$$\begin{aligned} \overline{i_{C_{BR},RMS}} &= \sqrt{\frac{1}{T_s} \int_t^{t+T_s} i_{C_{BR}}^2(t) dt} \\ \overline{i_{C_{BR},RMS}} &= \sqrt{\frac{1}{8} \left\{ (2\delta + 1) \left[(1 - 4\delta) \overline{i_{L_o}} + \frac{\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}}}{r_{SON}} \right]^2 - 16\delta^2 (2\delta - 1) \overline{i_{L_o}}^2 \right\}} \end{aligned} \quad (4.39)$$

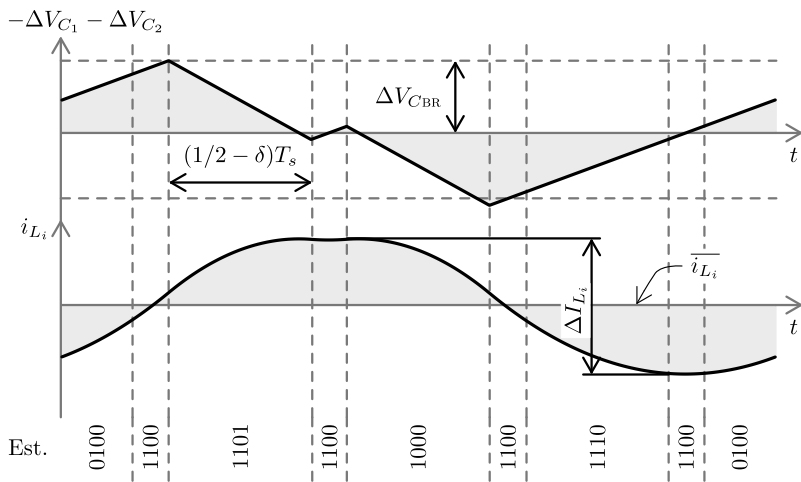
4.1.13 Ondulação de corrente no indutor de entrada

Na Fig. 4.22 são apresentadas a soma das ondulações de tensão nos capacitores C_1 e C_2 e a corrente no indutor de entrada, para as regiões de operação R2 e R1, respectivamente.

Figura 4.22 – Formas de onda da soma das ondulações de tensão nos capacitores C_1 e C_2 e corrente no indutor de entrada L_i



(a) Formas de onda para $0 \leq \delta < 1/4$



(b) Formas de onda para $1/4 \leq \delta \leq 1/2$

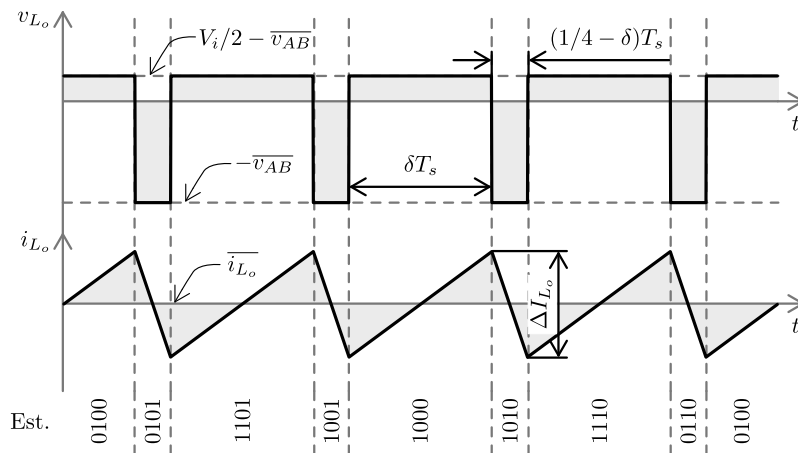
Como observa-se na Fig.4.1, os capacitores C_1 e C_2 , o indutor de entrada L_i e a fonte de alimentação – ou barramento – V_i caracterizam uma malha de tensão. Pela lei de Kirchhoff para tensão concluí-se que a ondulação de tensão nos capacitores de barramento causa a variação na tensão do indutor de entrada v_{L_i} , que, por conseguinte, causa a ondulação de corrente de entrada. Portanto, a ondulação de corrente de entrada, ΔI_{L_i} , é computada por:

$$\Delta I_{L_i} = \frac{\Delta V_{C_{BR}}}{f_s L_i} \left(\frac{1}{2} - \delta \right) \quad (4.40)$$

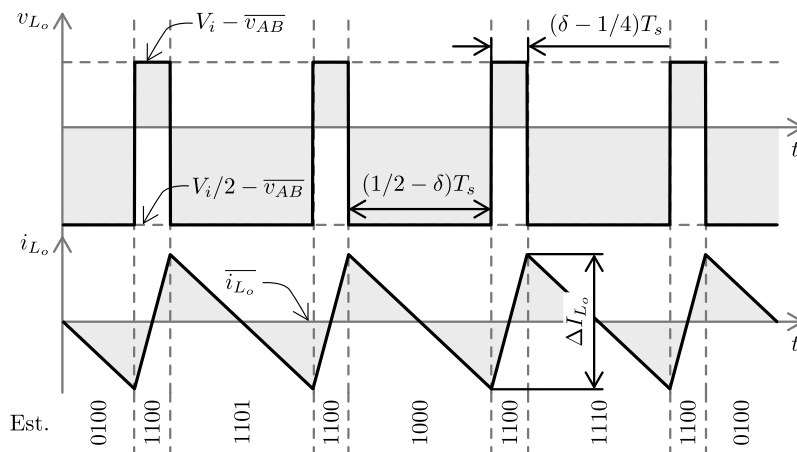
4.1.14 Ondulação de corrente no indutor de saída

Na Fig. 4.23 são apresentadas as formas de onda de tensão e corrente no indutor L_o , para as regiões de operação R2 e R1, respectivamente.

Figura 4.23 – Formas de onda de tensão e corrente no indutor de saída L_o



(a) Formas de onda para $0 \leq \delta < 1/4$



(b) Formas de onda para $1/4 \leq \delta \leq 1/2$

A ondulação de corrente no indutor de saída L_o , ΔI_{L_o} , é computada por:

$$\Delta I_{L_o} = \frac{1}{L} \int_{t_1}^{t_2} v_{L_o} dt$$

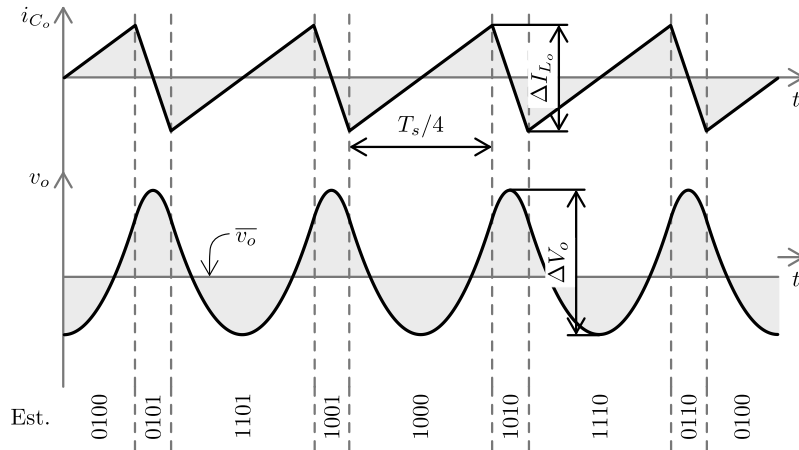
$$\Delta I_{L_o} = \begin{cases} \frac{V_i}{f_s L_o} \left(\frac{1}{2} - 2\delta \right) \delta, & 0 \leq \delta < \frac{1}{4} \\ \frac{V_i}{f_s L_o} (1 - 2\delta) \left(\delta - \frac{1}{4} \right), & \frac{1}{4} \leq \delta \leq \frac{1}{2} \end{cases} \quad (4.41)$$

onde t_2 e t_1 são os tempos de máximo e mínimo da tensão $v_{L_o}(t)$, dentro de um ciclo de chaveamento.

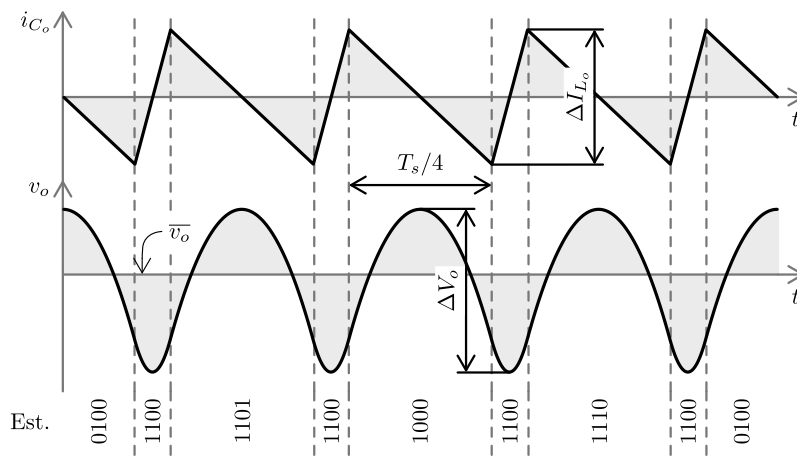
4.1.15 Ondulação tensão no capacitor de saída

Na Fig. 4.24 são apresentadas as formas de onda de corrente e tensão no capacitor de saída C_o .

Figura 4.24 – Formas de onda de corrente e tensão no capacitor de saída C_o



(a) Formas de onda para $0 \leq \delta < 1/4$



(b) Formas de onda para $1/4 \leq \delta \leq 1/2$

A ondulação de tensão no capacitor de saída C_o ou tensão de saída, ΔV_o , é computada por:

$$\Delta V_o = \frac{1}{C_o} \int_{t_1}^{t_2} i_{C_o} dt \tag{4.42}$$

$$\Delta V_o = \frac{\Delta I_{L_o}}{32 f_s C_o}$$

onde t_2 e t_1 são os tempos de máximo e mínimo da corrente $i_{C_o}(t)$, dentro de um ciclo de chaveamento.

4.1.16 Corrente eficaz no capacitor de saída

A corrente eficaz no capacitor de saída C_o , $\overline{i_{C_o, \text{RMS}}}$, é computada por:

$$\begin{aligned}\overline{i_{C_o, \text{RMS}}} &= \sqrt{\frac{1}{T_s} \int_t^{t+T_s} i_{C_o}^2(t) dt} \\ \overline{i_{C_o, \text{RMS}}} &= \frac{\Delta I_{L_o} \sqrt{3}}{6}\end{aligned}\quad (4.43)$$

4.1.17 Esforços nos semicondutores

4.1.17.1 Esforços de tensão

A máxima tensão reversa V_{r_x} sobre qualquer semicondutor x (interruptor ou diodo anti-paralelo) é computada por:

$$V_{r_x} = \frac{V_i}{2} \quad (4.44)$$

4.1.17.2 Esforços de corrente

A corrente média instantânea em um semicondutor x (interruptor ou diodo anti-paralelo) é computada por:

$$\overline{i_x} = \frac{1}{T_s} \int_t^{t+T_s} i_x(t) dt \quad (4.45)$$

e a corrente eficaz instantânea é dada por:

$$\overline{i_{x, \text{RMS}}} = \sqrt{\frac{1}{T_s} \int_t^{t+T_s} i_x^2(t) dt} \quad (4.46)$$

As Tabelas 4.4 e 4.5 apresentam um resumo dos esforços de corrente nos semicondutores das pernas A e B , respectivamente, obtidos através das equações (4.45) e (4.46).

Tabela 4.4 – Esforços nos semicondutores – Perna A – para $0 \leq \delta \leq 1/2$

	\bar{i}_x	$\bar{i}_{x,RMS}$
S_{1A}	$\left(\frac{1}{2} + \delta\right) \bar{i}_{L_o}$	$\bar{i}_{L_o} \sqrt{\frac{1}{2} + \delta}$
D_{2A}	$\left(\frac{1}{2} - \delta\right) \bar{i}_{L_o}$	$\bar{i}_{L_o} \sqrt{\frac{1}{2} - \delta}$
S_{3A}	$\frac{1}{2} \left(\frac{1}{2} + \delta\right) \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{BR}} - \bar{v}_{C_{CH}}}{r_{s_{ON}}}\right)$	$\frac{1}{2} \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{BR}} - \bar{v}_{C_{CH}}}{r_{s_{ON}}}\right) \sqrt{\frac{1}{2} + \delta}$
D_{4A}	$\left(\frac{1}{2} - \delta\right) \bar{i}_{L_o}$	$\bar{i}_{L_o} \sqrt{\frac{1}{2} - \delta}$
S_{5A}	$\frac{1}{2} \left(\frac{1}{2} + \delta\right) \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{CH}} - \bar{v}_{C_{BR}}}{r_{s_{ON}}}\right)$	$\frac{1}{2} \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{CH}} - \bar{v}_{C_{BR}}}{r_{s_{ON}}}\right) \sqrt{\frac{1}{2} + \delta}$

Tabela 4.5 – Esforços nos semicondutores – Perna B – para $0 \leq \delta \leq 1/2$

	\bar{i}_x	$\bar{i}_{x,RMS}$
D_{1B}	$\left(\frac{1}{2} - \delta\right) \bar{i}_{L_o}$	$\bar{i}_{L_o} \sqrt{\frac{1}{2} - \delta}$
S_{2B}	$\left(\frac{1}{2} + \delta\right) \bar{i}_{L_o}$	$\bar{i}_{L_o} \sqrt{\frac{1}{2} + \delta}$
S_{4B}	$\frac{1}{2} \left(\frac{1}{2} + \delta\right) \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{CH}} - \bar{v}_{C_{BR}}}{r_{s_{ON}}}\right)$	$\frac{1}{2} \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{CH}} - \bar{v}_{C_{BR}}}{r_{s_{ON}}}\right) \sqrt{\frac{1}{2} + \delta}$
D_{5B}	$\left(\frac{1}{2} - \delta\right) \bar{i}_{L_o}$	$\bar{i}_{L_o} \sqrt{\frac{1}{2} - \delta}$
S_{6B}	$\frac{1}{2} \left(\frac{1}{2} + \delta\right) \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{BR}} - \bar{v}_{C_{CH}}}{r_{s_{ON}}}\right)$	$\frac{1}{2} \left(\bar{i}_{L_o} + \frac{\bar{v}_{C_{BR}} - \bar{v}_{C_{CH}}}{r_{s_{ON}}}\right) \sqrt{\frac{1}{2} + \delta}$

4.2 ANÁLISE DINÂMICA

Essa seção descreve o processo de modelagem e linearização para obter uma função de transferência de segunda ordem para a tensão de saída v_o . Para esse propósito as seguintes considerações são assumidas:

- c-1 O conversor opera no modo de condução contínua (CCM);
- c-2 A tensão de entrada V_i é constante;
- c-3 A capacitância dos capacitores é grande o suficiente para que as tensões nos capacitores sejam consideradas constantes para alguns ciclos de comutação;
- c-4 A resistência série-equivalente dos capacitores é desprezível;

- c-5 A corrente de entrada é constante para alguns ciclos de comutação;
- c-6 As capacitâncias dos interruptores são insignificantes;
- c-7 A resistência de condução dos interruptores é significativa (não pode ser negligenciada);
- c-8 A queda de tensão nos diodos dos interruptores é significativa (não pode ser negligenciada);
- c-9 A corrente de saída i_{L_o} é mandatória para determinar o estado dos interruptores (condução direta ou condução reversa, pelo diodo intrínseco);
- c-10 As dinâmicas da corrente e tensão de saída (i_{L_o} e v_o) são mais rápidas que as dinâmicas da corrente de entrada e das tensões dos capacitores de barramento e capacitores chaveados, de modo a gerar desacoplamento..

Mediante as considerações simplificatórias (especialmente a consideração c-10), o sistema pode ser modelado, dinamicamente, por apenas duas variáveis de estado: a corrente e a tensão de saída, as quais são aproximadas por seus respectivos valores médios instantâneos (considerações c-3 e c-5). Dessa forma determina-se o vetor de estados $[\mathbf{x}]$ como:

$$[\mathbf{x}] = \begin{bmatrix} \overline{i_{L_o}} \\ \overline{v_o} \end{bmatrix} \quad (4.47)$$

A seguir são apresentadas as equações de estado dos estados topológicos considerando-se apenas duas variáveis de estado e na sequência obtido o modelo dinâmico do sistema.

4.2.1 Estados topológicos – região de operação R1

4.2.1.1 Estado topológico 1100

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1100)}][\mathbf{x}] + [\mathbf{B}_{(1100)}] \quad (4.48)$$

$$[\mathbf{A}_{(1100)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + 3r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1100)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}}}{L_o} \end{bmatrix}$$

4.2.1.2 Estado topológico 0100

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0100)}][\mathbf{x}] + [\mathbf{B}_{(0100)}] \quad (4.49)$$

$$[\mathbf{A}_{(0100)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(0100)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} - V_f}{L_o} \end{bmatrix}$$

4.2.1.3 Estado topológico 1101

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1101)}][\mathbf{x}] + [\mathbf{B}_{(1101)}]$$

$$[\mathbf{A}_{(1101)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1101)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}} - 2V_f}{2L_o} \end{bmatrix} \quad (4.50)$$

4.2.1.4 Estado topológico 1000

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1000)}][\mathbf{x}] + [\mathbf{B}_{(1000)}]$$

$$[\mathbf{A}_{(1000)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1000)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}} - 2V_f}{2L_o} \end{bmatrix} \quad (4.51)$$

4.2.1.5 Estado topológico 1110

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1110)}][\mathbf{x}] + [\mathbf{B}_{(1110)}]$$

$$[\mathbf{A}_{(1110)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1110)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} - V_f}{L_o} \end{bmatrix} \quad (4.52)$$

4.2.2 Estados topológicos – região de operação R2

4.2.2.1 Estado topológico 0100

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0100)}][\mathbf{x}] + [\mathbf{B}_{(0100)}]$$

$$[\mathbf{A}_{(0100)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(0100)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} - V_f}{L_o} \end{bmatrix} \quad (4.53)$$

4.2.2.2 Estado topológico 0101

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0101)}][\mathbf{x}] + [\mathbf{B}_{(0101)}]$$

$$[\mathbf{A}_{(0101)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(0101)}] = \begin{bmatrix} 0 \\ -\frac{\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}} + 4V_f}{2L_o} \end{bmatrix} \quad (4.54)$$

4.2.2.3 Estado topológico 1101

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1101)}][\mathbf{x}] + [\mathbf{B}_{(1101)}]$$

$$[\mathbf{A}_{(1101)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ \frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1101)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}} - 2V_f}{2L_o} \end{bmatrix} \quad (4.55)$$

4.2.2.4 Estado topológico 1001

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1001)}][\mathbf{x}] + [\mathbf{B}_{(1001)}]$$

$$[\mathbf{A}_{(1001)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1001)}] = \begin{bmatrix} 0 \\ -\frac{2V_f}{L_o} \end{bmatrix} \quad (4.56)$$

4.2.2.5 Estado topológico 1000

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1000)}][\mathbf{x}] + [\mathbf{B}_{(1000)}]$$

$$[\mathbf{A}_{(1000)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + 5r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1000)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}} - 2V_f}{2L_o} \end{bmatrix} \quad (4.57)$$

4.2.2.6 Estado topológico 1010

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1010)}][\mathbf{x}] + [\mathbf{B}_{(1010)}]$$

$$[\mathbf{A}_{(1010)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + 3r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}_{(1010)}] = \begin{bmatrix} 0 \\ -\frac{\overline{v_{C_{CH}}} - \overline{v_{C_{BR}}} + 4V_f}{2L_o} \end{bmatrix} \quad (4.58)$$

4.2.2.7 Estado topológico 1110

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(1110)}][\mathbf{x}] + [\mathbf{B}_{(1110)}]$$

$$[\mathbf{A}_{(1110)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + 2r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(1110)}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} - V_f}{L_o} \end{bmatrix} \quad (4.59)$$

4.2.2.8 Estado topológico 0110

$$\frac{d[\mathbf{x}]}{dt} = [\mathbf{A}_{(0110)}][\mathbf{x}] + [\mathbf{B}_{(0110)}] \quad (4.60)$$

$$[\mathbf{A}_{(0110)}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{r_{L_o} + r_{s_{ON}}}{L_o} \end{bmatrix} \quad [\mathbf{B}_{(0110)}] = \begin{bmatrix} 0 \\ -\frac{\overline{v_{C_{CH}}} - \overline{v_{C_{BR}}} + 2V_f}{L_o} \end{bmatrix}$$

4.2.3 Modelagem por circuito médio

O modelo matemático do conversor é obtido usando a modelagem por circuito médio (ERICKSON; MAKSIMOVIĆ, 2001). O modelo médio de espaço de estados é computado aplicando-se (4.26) em (4.7):

$$\frac{d[\overline{\mathbf{x}}]}{dt} = [\overline{\mathbf{A}}][\overline{\mathbf{x}}] + [\overline{\mathbf{B}}] \quad (4.61)$$

onde:

$$[\overline{\mathbf{x}}] = [\mathbf{x}] = \begin{bmatrix} \overline{v_o} \\ \overline{i_{L_o}} \end{bmatrix}$$

$$[\overline{\mathbf{A}}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{4r_{L_o} + 5r_{s_{ON}} + 16\overline{\delta}r_{s_{ON}}}{4L_o} \end{bmatrix}, \quad 0 \leq \delta < \frac{1}{4}$$

$$[\overline{\mathbf{B}}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}}(8\overline{\delta} + 1) + \overline{v_{C_{CH}}}(8\overline{\delta} - 1) + 8V_f(2\overline{\delta} - 1)}{4L_o} \end{bmatrix}, \quad 0 \leq \delta < \frac{1}{4}$$

$$[\overline{\mathbf{A}}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + 3r_{s_{ON}} + 6\overline{\delta}r_{s_{ON}}}{2L_o} \end{bmatrix}, \quad \frac{1}{4} \leq \delta \leq \frac{1}{2}$$

$$[\overline{\mathbf{B}}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}}(2\overline{\delta} + 1) + \overline{v_{C_{CH}}}(6\overline{\delta} - 1) + 4V_f(2\overline{\delta} - 1)}{2L_o} \end{bmatrix}, \quad \frac{1}{4} \leq \delta \leq \frac{1}{2}$$

4.2.4 Modelo médio linearizado

Aplicando-se as seguintes perturbações

$$\overline{i_{L_o}}(t) = I_{L_o} + \hat{i}_{L_o}(t) \quad \overline{v_o}(t) = V_o + \hat{v}_o(t) \quad \overline{\delta}(t) = \delta + \hat{\delta}(t)$$

ao modelo médio de espaço de estados dado em (4.61) e linearizando em torno de um ponto quiescente de operação obtém-se o modelo linearizado de pequenos sinais, dado por (4.62).

Onde $\hat{i}_{L_o}(t)$, $\hat{v}_o(t)$ e $\hat{\delta}(t)$ são pequenas perturbações na corrente média instantânea de saída $\overline{i_{L_o}}(t)$, na tensão média instantânea de saída $\overline{v_o}(t)$ e na perturbação média instantânea $\overline{\delta}(t)$ sobre a razão cíclica D , respectivamente, em torno dos pontos quiescentes da corrente de saída I_{L_o} , da tensão de saída V_o e da perturbação sobre a razão cíclica δ .

$$\begin{aligned} \frac{d[\hat{\mathbf{x}}]}{dt} &= [\mathbf{A}][\hat{\mathbf{x}}] + [\mathbf{B}]\hat{\delta} \\ [\hat{\mathbf{y}}] &= [\mathbf{C}][\hat{\mathbf{x}}] \end{aligned} \quad (4.62)$$

onde:

$$[\hat{\mathbf{x}}] = \begin{bmatrix} \hat{v}_o \\ \hat{i}_{L_o} \end{bmatrix}$$

$$[\mathbf{A}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{4r_{L_o} + 5r_{s_{ON}} + 16\delta r_{s_{ON}}}{4L_o} \end{bmatrix} \quad [\mathbf{B}] = \begin{bmatrix} 0 \\ \frac{2\overline{v_{C_{BR}}} + 2\overline{v_{C_{CH}}} + 4V_f - 4\overline{i_{L_o}}r_{s_{ON}}}{L_o} \end{bmatrix}, \quad 0 \leq \delta < \frac{1}{4}$$

$$[\mathbf{A}] = \begin{bmatrix} -\frac{1}{C_o R_o} & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{2r_{L_o} + 3r_{s_{ON}} + 6\delta r_{s_{ON}}}{2L_o} \end{bmatrix} \quad [\mathbf{B}] = \begin{bmatrix} 0 \\ \frac{\overline{v_{C_{BR}}} + 3\overline{v_{C_{CH}}} + 4V_f - 3\overline{i_{L_o}}r_{s_{ON}}}{L_o} \end{bmatrix}, \quad \frac{1}{4} \leq \delta \leq \frac{1}{2}$$

Aplicando-se a transformada de Laplace (4.63)

$$F(s) = \int_{-\infty}^{\infty} f(t)e^{st} dt \quad (4.63)$$

ao sistema de (4.62) e isolando-se o vetor das variáveis de saída no domínio da frequência s , $[\mathbf{Y}(s)]$, obtém-se:

$$[\mathbf{Y}(s)] = [\mathbf{C}](s[\mathbf{I}] - [\mathbf{A}])^{-1}[\mathbf{B}] \quad (4.64)$$

onde $[\mathbf{I}]$ é a matriz identidade de ordem 2.

Substituindo-se

$$[\mathbf{C}] = [0 \quad 1] \quad (4.65)$$

em (4.64) obtém-se a função de transferência de pequenos sinais $G_v(s)$ de $\hat{\delta}(s)$ para

$\hat{v}_o(s)$:

$$G_v(s) = \frac{\hat{v}_o(s)}{\hat{\delta}(s)} = \left\{ \begin{array}{l} \frac{8R_o (\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}} + 2V_f - 2\overline{i_{L_o}} r_{s_{ON}})}{4C_o L_o R_o s^2 + \{4L_o + C_o R_o [4r_{L_o} + r_{s_{ON}} (16\delta + 5)]\} s + 4R_o + 4r_{L_o} + r_{s_{ON}} (16\delta + 5)}, \\ 0 \leq \delta < \frac{1}{4} \\ \\ \frac{2R_o (\overline{v_{C_{BR}}} + 3\overline{v_{C_{CH}}} + 4V_f - 3\overline{i_{L_o}} r_{s_{ON}})}{2C_o L_o R_o s^2 + \{2L_o + C_o R_o [2r_{L_o} + 3r_{s_{ON}} (2\delta + 1)]\} s + 2R_o + 2r_{L_o} + 3r_{s_{ON}} (2\delta + 1)}, \\ \frac{1}{4} \leq \delta \leq \frac{1}{2} \end{array} \right. \quad (4.66)$$

Substituindo-se

$$[\mathbf{C}] = [1 \quad 0] \quad (4.67)$$

em (4.64) obtém-se a função de transferência de pequenos sinais $G_i(s)$ de $\hat{\delta}(s)$ para $\hat{i}_{L_o}(s)$:

$$G_i(s) = \frac{\hat{i}_{L_o}(s)}{\hat{\delta}(s)} = \left\{ \begin{array}{l} \frac{8(C_o R_o s + 1) (\overline{v_{C_{BR}}} + \overline{v_{C_{CH}}} + 2V_f - 2\overline{i_{L_o}} r_{s_{ON}})}{4(R_o + r_{L_o}) + 5r_{s_{ON}} + 16\delta r_{s_{ON}} + s[4L_o + C_o R_o (4r_{L_o} + 5r_{s_{ON}} + 16\delta r_{s_{ON}})] + 4C_o L_o R_o s^2}, \\ 0 \leq \delta < \frac{1}{4} \\ \\ \frac{2(C_o R_o s + 1) (\overline{v_{C_{BR}}} + 3\overline{v_{C_{CH}}} + 4V_f - 3\overline{i_{L_o}} r_{s_{ON}})}{2(R_o + r_{L_o}) + 3r_{s_{ON}} + 6\delta r_{s_{ON}} + s(2L_o + C_o R_o (2r_{L_o} + 3r_{s_{ON}} (2\delta + 1))) + 2C_o L_o R_o s^2}, \\ \frac{1}{4} \leq \delta \leq \frac{1}{2} \end{array} \right. \quad (4.68)$$

4.3 CONSIDERAÇÕES FINAIS

Em função da carga e descarga dos capacitores chaveados e dos pontos de saída e entrada da corrente de carga em cada uma das pernas, o fluxo médio de corrente entre as pernas não é nulo. Isso impossibilita analisar o funcionamento de cada perna individualmente, uma vez que o funcionamento de uma interfere diretamente no funcionamento de outra. Em vista disso é necessário uma abordagem que avalia todos os estados topológicos do C4Q-CC-5N, impossibilitando reaproveitar o procedimento da Capítulo 3.

Conforme apresentado neste capítulo, a diferença de tensão média instantânea entre os capacitores de barramento C_1 e C_2 é nula, bem como a diferença de tensão entre os capacitores chaveados C_A e C_B e a diferença de tensão entre os capacitores de barramento e os capacitores chaveados é dada em função das não idealidades dos componentes do circuito (perdas), o que é verificado com os resultados apresentados no Capítulo 6. Portanto, as tensões entre os capacitores de processamento de energia tendem ao auto-balanço, com todos os capacitores estando, aproximadamente, sobre metade da tensão de barramento e isso para todo o domínio da razão cíclica, diferentemente do que ocorre no C4Q-CC-3N.

Optou-se pela modelagem em espaços de estados em função da complexidade dos estados topológicos e da quantidade de variáveis de estado envolvidas, 7 no total. Ademais, a partir da mesma modelagem é possível obter o modelo dinâmico do sistema. O sistema foi modelado como um sistema de sétima ordem, modelagem essa que não é apresentada neste documento, mas são apresentadas modelagens de terceira e segunda ordem com o intuito de se obter equações compactas. Para obtenção dos valores estáticos foi necessária a modelagem de terceira ordem porque é de interesse determinar a tensão média nos capacitores chaveados, enquanto que na modelagem dinâmica, devido ao desacoplamento das dinâmicas, pode-se considerar apenas a influência do indutor e capacitor de saída.

Conforme pode ser observado nas figuras que ilustram os estados topológicos, existe o bloqueio do fluxo de corrente nos capacitores chaveados para alguns desses estados. Isso ocorre em função da consideração c-9 da Seção 4.1. A corrente de saída polariza o diodo antiparalelo do interruptor, o que cessa a corrente no capacitor chaveado, uma vez que não há caminho para a mesma. Contudo, os estados topológicos apresentados não são os únicos estados topológicos possíveis. Nos estados topológicos apresentados, em que há o bloqueio do fluxo de corrente nos capacitores chaveados, pode ocorrer a entrada em condução de algum semiconductor, a depender da razão cíclica, o que aumenta significativamente a quantidade de estados topológicos, inviabilizando uma análise simplificada. Entretanto, os estados topológicos apresentados são os estados topológicos predominantes em todo o domínio da razão cíclica. Essa característica que dificulta a análise matemática da topologia provavelmente é fator contribuinte para que haja a equalização das tensões nos capacitores (embora exista uma pequena diferença oriunda das não idealidades dos componentes do circuito), uma vez que um desbalanço instantâneo de tensão deflagra a entrada em condução de um semiconductor, vindo a neutralizar esse desbalanço.

Observa-se também que a diferença de tensão entre os capacitores de barramento e os capacitores chaveados implica em uma discrepância nos esforços de corrente nos semicondutores. Discrepância essa que cresce com o aumento da diferença de tensão entre os capacitores. Outra característica observada é que a frequência

da tensão pulsada v_{AB} na entrada do filtro de saída é quatro vezes a frequência de chaveamento f_s , o que reduz o tamanho do filtro de saída. Verifica-se também que trata-se de um sistema linear para todo o domínio da razão cíclica.

5 C4Q-CC-5N OPERANDO COMO INVERSOR MONOFÁSICO COM CARGA RESISTIVA

Neste capítulo o equacionamento obtido na análise estática da topologia operando como conversor cc-cc (seção 4.1) é adaptado para a operação como inversor monofásico com uma carga de fator de potência unitário (resistiva), que sintetiza uma forma de onda sinusoidal de tensão de saída. A análise dinâmica apresentada na seção 4.2 é válida para operação como inversor monofásico.

5.1 ANÁLISE ESTÁTICA

As considerações assumidas na seção 4.1 são válidas para operação como inversor e a essas é adicionada a seguinte consideração:

c-11 A frequência de chaveamento f_s é muito maior que a frequência da onda sinusoidal sintetizada:

$$f_s \gg f_o$$

A sintetização de uma forma de onda sinusoidal de tensão de saída implica que o sinais de comando nos interruptores também o sejam. Portanto (3.3) e (3.4) são reescritas como:

$$D = \frac{1}{2} + \delta = \frac{1}{2} + D_m \text{sen}(\omega_o t) \quad (5.1)$$

$$D' = \frac{1}{2} - \delta = \frac{1}{2} - D_m \text{sen}(\omega_o t) \quad (5.2)$$

o que implica em:

$$\delta = D_m \text{sen}(\omega_o t) \quad (5.3)$$

onde D_m é o índice de modulação e ω_o é a velocidade angular ou pulsação da onda de tensão de saída ($\omega_o t = 2\pi f_o$, onde f_o é a frequência da onda de tensão de saída).

Substituindo-se (5.3) em (4.28) obtém-se:

$$\overline{v_{AB}}(t) = 2V_i D_m \text{sen}(\omega_o t) \quad (5.4)$$

Como $f_s \gg f_o$ a tensão instantânea de saída é computada por:

$$\overline{v_o} \approx v_o \approx \overline{v_{AB}} = 2V_i D_m \text{sen}(\omega_o t) \quad (5.5)$$

e sabendo-se que a tensão instantânea de saída obedece uma função sinusoidal que pode ser descrita por:

$$v_o = V_{o,p} \text{sen}(\omega_o t) \quad (5.6)$$

computa-se o índice de modulação D_m como:

$$D_m = \frac{V_{o,p}}{2V_i} \quad (5.7)$$

com:

$$D_m \in \mathbb{R} \quad \left| \quad 0 \leq D_m \leq \frac{1}{2} \right.$$

onde $V_{o,p}$ é o valor de pico da tensão sinusoidal de saída.

A diferença de tensão entre os capacitores de barramento e os capacitores chaveados é aproximada por:

$$\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}} \approx V_{C_{BL,p}} \text{sen}(\omega_0 t) \quad (5.8)$$

onde $V_{C_{BL,p}}$ é o valor de pico da diferença de tensão entre os capacitores, computado por:

$$V_{C_{BL,p}} = \left. (\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}}) \right|_{\delta=D_m} \quad (5.9)$$

onde $\overline{v_{C_{BR}}}$ e $\overline{v_{C_{CH}}}$ são calculados via (4.10) e (4.32), respectivamente.

Sabendo-se que a corrente instantânea de saída i_{L_o} obedece uma função sinusoidal e que a corrente média instantânea de saída $\overline{i_{L_o}}$ pode ser aproximada como corrente instantânea, mediante à consideração c-11, escreve-se $\overline{i_{L_o}}$ como:

$$\overline{i_{L_o}} \approx i_{L_o} = I_{o,p} \text{sen}(\omega_0 t) \quad (5.10)$$

onde $I_{o,p}$ é o valor de pico da corrente sinusoidal de saída.

A partir de (5.3), (5.7), (5.8), (5.9) e (5.10) as expressões obtidas para as ondulações de tensão nos capacitores chaveados e nos capacitores de barramento, bem como para as ondulações de corrente de saída e de entrada são adaptadas e os pontos de máxima ondulação são obtidos em função do índice de modulação D_m .

5.1.1 Máxima ondulação de tensão nos capacitores chaveados

Substituindo-se (5.3), (5.8) e (5.10) em (4.36) obtém-se:

$$\Delta V_{C_{CH}} = \frac{1}{2f_s C} \left(\frac{1}{2} - D_m \text{sen}(\omega_0 t) \right) \left(I_{o,p} \text{sen}(\omega_0 t) + \frac{V_{C_{BL,p}} \text{sen}(\omega_0 t)}{r_{s_{ON}}} \right) \quad (5.11)$$

Na Fig. 5.1 são plotadas curvas da ondulação tensão normalizada sobre os capacitores chaveados, para diferentes índices de modulação, de acordo com (5.11).

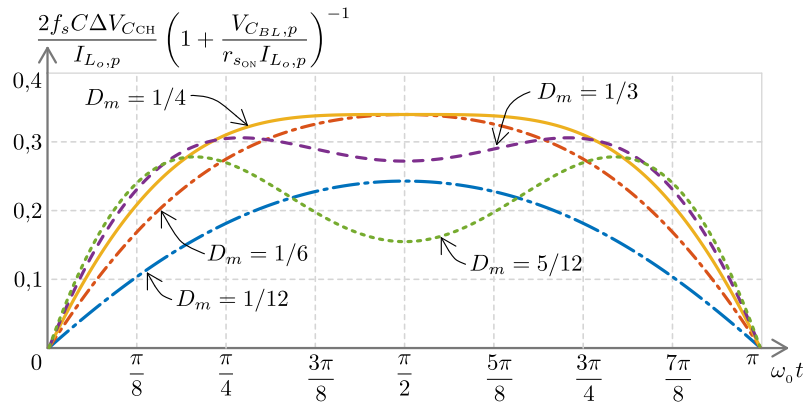
Os pontos de máximo de (5.11) são obtidos por:

$$\frac{d\Delta V_{C_{CH}}}{d(\omega_0 t)} = \frac{I_{L_o,p}}{2f_s C} \left(1 + \frac{V_{C_{BL,p}}}{r_{s_{ON}} I_{L_o,p}} \right) \cos(\omega_0 t) \left(\frac{1}{2} - 2D_m \text{sen}(\omega_0 t) \right) = 0 \quad (5.12)$$

Portanto os pontos de máximo são:

$$\begin{cases} \cos(\omega_0 t) = 0 \Rightarrow \omega_0 t = \frac{\pi}{2} \Rightarrow \text{sen}(\omega_0 t) = 1, & 0 \leq D_m \leq \frac{1}{4} \\ \text{sen}(\omega_0 t) = \frac{1}{4D_m}, & \frac{1}{4} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.13)$$

Figura 5.1 – Ondulação ΔV_{CCH} normalizada nos capacitores chaveados para um período da onda sinusoidal da tensão de saída



Substituindo-se (5.13) em (5.11) obtém-se a máxima ondulação de tensão:

$$\Delta V_{CCH,max} = \begin{cases} \frac{I_{L_o,p}}{2f_s C} \left(1 + \frac{V_{CBL,p}}{I_{L_o,p} r_{sON}}\right) \left(\frac{1}{2} - D_m\right), & 0 \leq D_m \leq \frac{1}{4} \\ \frac{I_{L_o,p}}{32D_m f_s C} \left(1 + \frac{V_{CBL,p}}{r_{sON} I_{L_o,p}}\right), & \frac{1}{4} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.14)$$

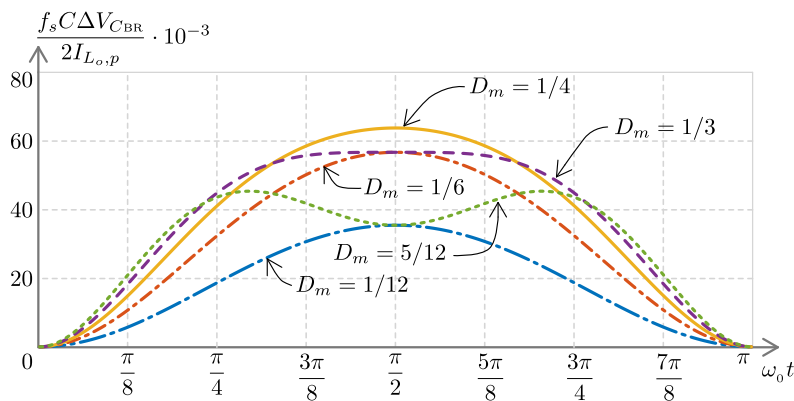
5.1.2 Máxima ondulação de tensão nos capacitores de barramento

Substituindo-se (5.3) e (5.10) em (4.38) obtém-se:

$$\Delta V_{CBR} = \frac{2}{f_s C} D_m \sin(\omega_0 t) \left(\frac{1}{2} - D_m \sin(\omega_0 t)\right) I_{L_o,p} \sin(\omega_0 t) \quad (5.15)$$

Na Fig. 5.2 são plotadas curvas da ondulação tensão normalizada sobre os capacitores de barramento, para diferentes índices de modulação, de acordo com (5.15).

Figura 5.2 – Ondulação ΔV_{CBR} normalizada nos capacitores de barramento para um período da onda sinusoidal da tensão de saída



Os pontos de máximo de (5.15) são obtidos por:

$$\frac{d\Delta V_{CBR}}{d(\omega_0 t)} = \frac{2I_{L_o,p}}{f_s C} D_m \cos(\omega_0 t) (\sin(\omega_0 t) - 3D_m \sin(\omega_0 t)) = 0 \quad (5.16)$$

Portanto os pontos de máximo são:

$$\begin{cases} \cos(\omega_0 t) = 0 \Rightarrow \omega_0 t = \frac{\pi}{2} \Rightarrow \text{sen}(\omega_0 t) = 1, & 0 \leq D_m \leq \frac{1}{3} \\ \text{sen}(\omega_0 t) = \frac{1}{3D_m}, & \frac{1}{3} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.17)$$

Substituindo-se (5.17) em (5.15) obtém-se a máxima ondulação de corrente:

$$\Delta V_{C_{BR},max} = \begin{cases} \frac{2I_{L_o,p}}{f_s C} D_m \left(\frac{1}{2} - D_m \right), & 0 \leq D_m \leq \frac{1}{3} \\ \frac{I_{L_o,p}}{27 f_s C D_m}, & \frac{1}{3} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.18)$$

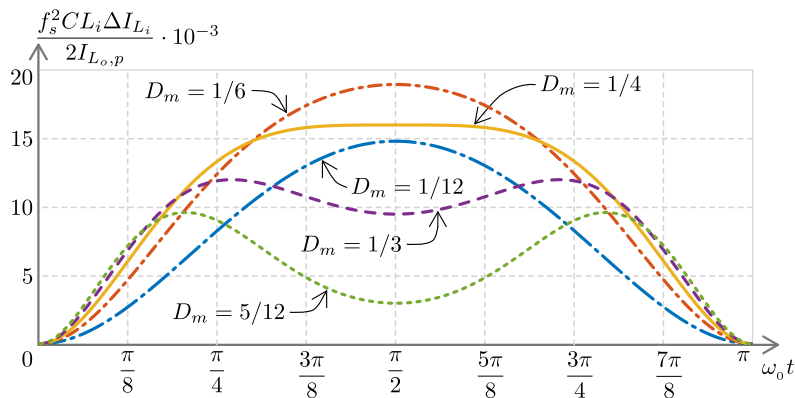
5.1.3 Máxima ondulação de corrente no indutor de entrada

Substituindo-se (5.3), (5.10) e (5.15) em (4.40) obtém-se:

$$\Delta I_{L_i} = \frac{2I_{L_o,p}}{f_s^2 C L_i} D_m \left[\text{sen}(\omega_0 t) \left(\frac{1}{2} - D_m \text{sen}(\omega_0 t) \right) \right]^2 \quad (5.19)$$

Na Fig. 5.3 são plotadas curvas da ondulação de corrente de entrada normalizada, para diferentes índices de modulação, de acordo com (5.19).

Figura 5.3 – Ondulação ΔI_{L_i} normalizada no indutor de entrada para um período da onda sinusoidal da tensão de saída



Os pontos de máximo de (5.19) são obtidos por:

$$\frac{d\Delta I_{L_i}}{d(\omega_0 t)} = \frac{2I_{L_o,p}}{f_s^2 C L_i} \frac{1}{2} D_m \text{sen}(\omega_0 t) \cos(\omega_0 t) \left(8D_m^2 \text{sen}(\omega_0 t)^2 - 6D_m \text{sen}(\omega_0 t) + 1 \right) = 0 \quad (5.20)$$

Portanto os pontos de máximo são:

$$\begin{cases} \cos(\omega_0 t) = 0 \Rightarrow \omega_0 t = \frac{\pi}{2} \Rightarrow \text{sen}(\omega_0 t) = 1, & 0 \leq D_m \leq \frac{1}{4} \\ \text{sen}(\omega_0 t) = \frac{1}{4D_m}, & \frac{1}{4} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.21)$$

Substituindo-se (5.21) em (5.19) obtém-se a máxima ondulação de corrente:

$$\Delta I_{L_i, max} = \begin{cases} \frac{2I_{L_o,p}}{f_s^2 C L_i} D_m \left(\frac{1}{2} - D_m\right)^2, & 0 \leq D_m \leq \frac{1}{4} \\ \frac{I_{L_o,p}}{128 f_s^2 C L_i D_m}, & \frac{1}{4} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.22)$$

5.1.4 Máxima ondulação de corrente no indutor de saída

A expressão para o cálculo da ondulação da corrente de saída muda de acordo com a região de operação do conversor (R1/R4 ou R2/R3), de acordo com (4.41). Em função disso a análise da ondulação da corrente de saída para operação como inversor é feita para 3 níveis de tensão de saída e para 5 níveis de tensão, uma vez que o funcionamento como inversor com 5 níveis de tensão de saída implica que o conversor opere nas 4 regiões, enquanto que em 3 níveis de tensão de saída o conversor opera apenas nas regiões R2 e R3.

5.1.4.1 Máxima ondulação de corrente de saída operando com 3 níveis de tensão de saída

O inversor opera com 3 níveis de tensão de saída quando:

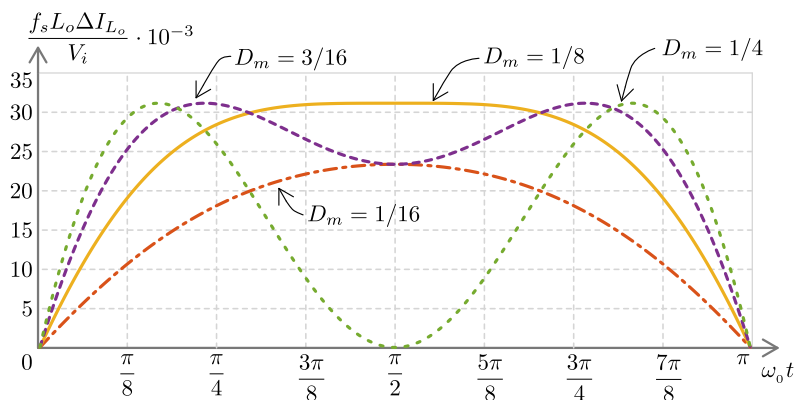
$$0 \leq D_m \leq \frac{1}{4}$$

Substituindo-se (5.3) em (4.41) e considerando-se apenas as regiões de operação R2 e R3 obtém-se:

$$\Delta I_{L_o} = \frac{V_i}{f_s L_o} \left(\frac{1}{2} - 2D_m \sin(\omega_o t)\right) D_m \sin(\omega_o t) \quad (5.23)$$

Na Fig. 5.4 são plotadas curvas da ondulação da corrente de saída normalizada, para diferentes índices de modulação, de acordo com (5.23).

Figura 5.4 – Ondulação ΔI_{L_o} normalizada no indutor de saída para um período da onda sinusoidal da tensão de saída com $0 \leq D_m \leq 1/4$



Os pontos de máximo de (5.23) são obtidos por:

$$\frac{d\Delta I_{L_o}}{d(\omega_0 t)} = \frac{V_i}{f_s L_o} D_m \cos(\omega_0 t) \left(\frac{1}{2} - 4D_m \sin(\omega_0 t) \right) = 0 \quad (5.24)$$

Portanto os pontos de máximo são:

$$\begin{cases} \cos(\omega_0 t) = 0 \Rightarrow \omega_0 t = \frac{\pi}{2} \Rightarrow \sin(\omega_0 t) = 1, & 0 \leq D_m \leq \frac{1}{8} \\ \sin(\omega_0 t) = \frac{1}{8D_m}, & \frac{1}{8} \leq D_m \leq \frac{1}{4} \end{cases} \quad (5.25)$$

Substituindo-se (5.25) em (5.23) obtém-se a máxima ondulação de corrente:

$$\Delta I_{L_o, max} = \begin{cases} \frac{V_i}{f_s L_o} \left(\frac{1}{2} - 2D_m \right) D_m, & 0 \leq D_m \leq \frac{1}{8} \\ \frac{V_i}{32f_s L_o}, & \frac{1}{8} \leq D_m \leq \frac{1}{4} \end{cases} \quad (5.26)$$

5.1.4.2 Máxima ondulação de corrente de saída operando com 5 níveis de tensão de saída

O inversor opera com 5 níveis de tensão de saída quando:

$$\frac{1}{4} \leq D_m \leq \frac{1}{2}$$

Substituindo-se (5.3) em (4.41) obtém-se:

$$\Delta I_{L_o} = \begin{cases} \frac{V_i}{f_s L_o} \left(\frac{1}{2} - 2D_m \sin(\omega_0 t) \right) D_m \sin(\omega_0 t), \\ \quad \omega_0 t \leq \arcsen\left(\frac{1}{4D_m}\right) \text{ ou } \omega_0 t \geq \pi - \arcsen\left(\frac{1}{4D_m}\right) \\ \frac{V_i}{f_s L_o} (1 - 2D_m \sin(\omega_0 t)) \left(D_m \sin(\omega_0 t) - \frac{1}{4} \right), \\ \quad \arcsen\left(\frac{1}{4D_m}\right) \leq \omega_0 t \leq \pi - \arcsen\left(\frac{1}{4D_m}\right) \end{cases} \quad (5.27)$$

Na Fig. 5.5 são plotadas curvas da ondulação da corrente de saída normalizada, para diferentes índices de modulação, de acordo com (5.27).

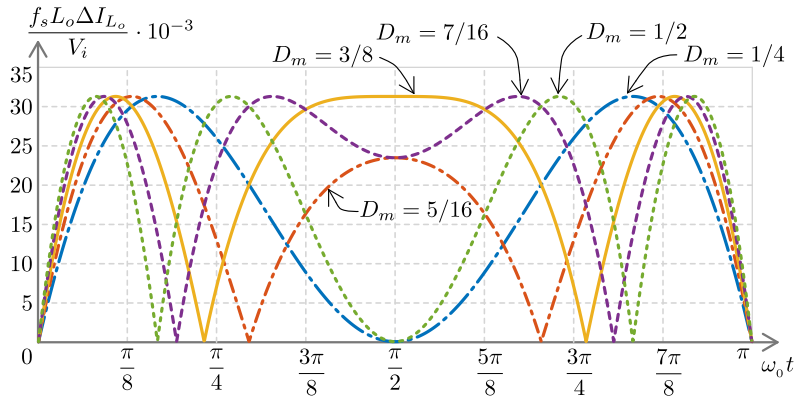
Para

$$\arcsen\left(\frac{1}{4D_m}\right) \leq \omega_0 t \leq \pi - \arcsen\left(\frac{1}{4D_m}\right)$$

os pontos de máximo de (5.27) são obtidos por:

$$\frac{d\Delta I_{L_o}}{d(\omega_0 t)} = \frac{V_i}{f_s L_o} D_m \cos(\omega_0 t) \left(\frac{3}{2} - 4D_m \sin(\omega_0 t) \right) = 0 \quad (5.28)$$

Figura 5.5 – Ondulação ΔI_{L_o} normalizada no indutor de saída para um período da onda sinusoidal da tensão de saída com $0 \leq D_m \leq 1/2$



Portanto os pontos de máximo são:

$$\begin{cases} \cos(\omega_0 t) = 0 \Rightarrow \omega_0 t = \frac{\pi}{2} \Rightarrow \text{sen}(\omega_0 t) = 1, & \frac{1}{4} \leq D_m \leq \frac{3}{8} \\ \text{sen}(\omega_0 t) = \frac{3}{8D_m}, & \frac{3}{8} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.29)$$

Substituindo-se (5.29) em (5.27) obtém a máxima ondulação de corrente:

$$\Delta I_{L_o, \max} = \begin{cases} \frac{V_i}{f_s L_o} (1 - 2D_m) \left(D_m - \frac{1}{4}\right), & \frac{1}{4} \leq D_m \leq \frac{3}{8} \\ \frac{V_i}{32f_s L_o}, & \frac{3}{8} \leq D_m \leq \frac{1}{2} \end{cases} \quad (5.30)$$

Para

$$\omega_0 t \leq \arcsen\left(\frac{1}{4D_m}\right) \text{ ou } \omega_0 t \geq \pi - \arcsen\left(\frac{1}{4D_m}\right)$$

e $D_m > 1/4$, conforme analisado na seção 5.1.4.1, tem-se:

$$\Delta I_{L_o, \max} = \frac{V_i}{32f_s L_o} \quad (5.31)$$

o que resulta em uma ondulação maior que a prevista em (5.30) para $D_m \leq 3/8$. Logo a máxima ondulação de corrente no indutor de saída será:

$$\Delta I_{L_o, \max} = \frac{V_i}{32f_s L_o}, \quad \frac{1}{4} \leq D_m \leq \frac{1}{2} \quad (5.32)$$

5.1.5 Correntes eficazes nos capacitores

Através do método apresentado por Dahono, Sato e Kataoka (1994), Dahono, Sato e Kataoka (1995) são computadas as correntes eficazes nos capacitores:

$$I_{C_x, \text{RMS}} = \sqrt{\frac{1}{T_0} \int_t^{t+T_0} i_{C_x}^2 d(\omega_0 t)}$$

$$I_{C_x, \text{RMS}}^2 = \frac{T_s}{T_0} \left\{ \frac{1}{T_s} \int_t^{t+T_s} i_{C_x}^2 dt + \dots + \frac{1}{T_s} \int_{t+(k-1)T_s}^{t+kT_s} i_{C_x}^2 dt + \dots + \frac{1}{T_s} \int_{t+T_0-T_s}^{t+T_0} i_{C_x}^2 dt \right\}$$

mas

$$\frac{1}{T_s} \int_{t+(k-1)T_s}^{t+kT_s} i_{C_x}^2 dt = [\overline{i_{C_x, \text{RMS}}}(k)]^2$$

portanto

$$I_{C_x, \text{RMS}}^2 = \frac{T_s}{T_0} \sum_{k=1}^{T_0/T_s} [\overline{i_{C_x, \text{RMS}}}(k)]^2$$

A periodicidade das correntes nos capacitores, em termos de $\omega_0 t$, é $T_0 = \pi$. A razão T_s/T_0 é então escrita como:

$$\frac{T_s}{T_0} = \frac{\Delta(\omega_0 t)}{\pi}$$

onde $\Delta(\omega_0 t)$ é o um intervalo, em termos de $\omega_0 t$, proporcional a T_s . Da consideração c-11 tem-se que $T_s \gg T_0$, portanto $\Delta(\omega_0 t)$ tende a zero e a corrente eficaz é computada por:

$$I_{C_x, \text{RMS}}^2 = \lim_{\Delta(\omega_0 t) \rightarrow 0} \left\{ \frac{1}{\pi} \sum_{k=1}^{\pi/\Delta(\omega_0 t)} [\overline{i_{C_x, \text{RMS}}}(k)]^2 \Delta(\omega_0 t) \right\} \quad (5.33)$$

$$I_{C_x, \text{RMS}} = \sqrt{\frac{1}{\pi} \int_0^\pi [\overline{i_{C_x, \text{RMS}}}(\omega_0 t)]^2 d(\omega_0 t)}$$

onde $k \in \mathbb{N}$; T_0 é o período da onda de tensão de saída; i_{C_x} é a corrente instantânea no capacitor x ; $\overline{i_{C_x}}$ é a corrente eficaz instantânea no capacitor x ; e $I_{C_x, \text{RMS}}$ é a corrente eficaz no capacitor x .

Substituindo-se (5.3), (5.8) e (5.10) e (4.37) em (5.33) obtém-se a corrente eficaz $I_{C_{\text{CH}}, \text{RMS}}$ nos capacitores C_A e C_B :

$$I_{C_{\text{CH}}, \text{RMS}} = \sqrt{\frac{(16D_m + 3\pi)(V_{C_{\text{BL}}, p}^2 + I_{L_{o,p}}^2 r_{\text{SON}}^2)}{48r_{\text{SON}}^2 \pi} - \frac{I_{L_{o,p}} V_{C_{\text{BL}}, p} (16D_m - \pi)}{8r_{\text{SON}} \pi}} \quad (5.34)$$

Substituindo-se (5.3), (5.8) e (5.10) e (4.39) em (5.33) obtém-se a corrente eficaz $I_{C_{\text{BR}}, \text{RMS}}$ nos capacitores C_1 e C_2 :

$$I_{C_{\text{BR}}, \text{RMS}} = \sqrt{\frac{I_{L_{o,p}}^2 [\pi + D_m (12D_m \pi - 16)]}{16\pi} + \frac{V_{C_{\text{BL}}, p}^2 (16D_m + 3\pi)}{48r_{\text{SON}}^2 \pi} - \frac{I_{L_{o,p}} V_{C_{\text{BL}}, p} [D_m (16 + 18D_m \pi) - 3\pi]}{24r_{\text{SON}} \pi}} \quad (5.35)$$

Substituindo-se (5.3) e (4.43) em (5.33) obtém-se a corrente eficaz $I_{C_o, \text{RMS}}$ no capacitores C_o :

$$I_{C_o, \text{RMS}} = \frac{V_i \sqrt{3}}{24\pi f_s L_o} \left[4D_m - \pi + 2 \arcsen \left(\frac{1}{4D_m} \right) - 4\pi D_m^2 + 2D_m \sqrt{16 - \frac{1}{D_m^2}} \right] \quad (5.36)$$

5.1.6 Esforços de corrente nos semicondutores

Os esforços de corrente nos semicondutores são computados utilizando-se o mesmo método da seção 5.1.5, diferindo que é considerado um período completo da onda de tensão de saída, mas cada semicondutor só conduz por meio período:

$$I_x = \frac{1}{2\pi} \int_0^\pi \bar{i}_x(\omega_0 t) d(\omega_0 t) \quad (5.37)$$

$$I_{x,\text{RMS}} = \sqrt{\frac{1}{2\pi} \int_0^\pi [\bar{i}_{x,\text{RMS}}(\omega_0 t)]^2 d(\omega_0 t)} \quad (5.38)$$

onde I_x é a corrente média no semicondutor; e $I_{x,\text{RMS}}$ é a corrente eficaz no semicondutor.

Substituindo-se (5.3), (5.8), (5.10), e as expressões das Tabelas 4.4 e 4.5 em (5.37) e (5.38) obtém-se as expressões para os esforços de corrente nos semicondutores para operação como inversor, as quais são apresentadas na Tabela 5.1

5.1.7 Tensão de saída, corrente de saída e corrente de entrada eficazes

As expressões para a tensão eficaz de saída $V_{o,\text{RMS}}$, corrente eficaz de saída $I_{L_o,\text{RMS}}$ e corrente eficaz de entrada $I_{L_i,\text{RMS}}$ são elementares e dadas por:

$$V_{o,\text{RMS}} = \frac{V_{o,p}}{\sqrt{2}} = \frac{2D_m V_i}{\sqrt{2}} \quad (5.39)$$

$$I_{L_o,\text{RMS}} = \frac{I_{L_o,p}}{\sqrt{2}} = \frac{2D_m V_i}{R_o \sqrt{2}} \quad (5.40)$$

$$I_{L_i,\text{RMS}} = \frac{I_{L_i,p}}{\sqrt{2}} = \frac{2V_i D_m \sqrt{D_m}}{R_o \sqrt{2}} \quad (5.41)$$

Tabela 5.1 – Esforços nos semicondutores – Conversor operando como inversor

	I_x	$I_{x,RMS}$
S_1	$\frac{I_{Lop}}{2} \left(\frac{1}{\pi} + \frac{D_m}{2} \right)$	$I_{Lop} \sqrt{\frac{1}{8} + \frac{2D_m}{3\pi}}$
D_1	$\frac{I_{Lop}}{2} \left(\frac{1}{\pi} - \frac{D_m}{2} \right)$	$I_{Lop} \sqrt{\frac{1}{8} - \frac{2D_m}{3\pi}}$
S_2	$\frac{I_{Lop}}{2} \left(\frac{1}{\pi} + \frac{D_m}{2} \right)$	$I_{Lop} \sqrt{\frac{1}{8} + \frac{2D_m}{3\pi}}$
D_2	$\frac{I_{Lop}}{2} \left(\frac{1}{\pi} - \frac{D_m}{2} \right)$	$I_{Lop} \sqrt{\frac{1}{8} - \frac{2D_m}{3\pi}}$
S_3	$\frac{1}{4} \left(I_{Lop} + \frac{V_{CBL,p}}{r_{sON}} \right) \left(\frac{1}{\pi} + \frac{D_m}{2} \right)$	$\frac{1}{2} \left(I_{Lop} + \frac{V_{CBL,p}}{r_{sON}} \right) \sqrt{\frac{1}{8} + \frac{2D_m}{3\pi}}$
D_3	0	0
S_4	$\frac{1}{4} \left(I_{Lop} - \frac{V_{CBL,p}}{r_{sON}} \right) \left(\frac{1}{\pi} + \frac{D_m}{2} \right)$	$\frac{1}{2} \left(I_{Lop} - \frac{V_{CBL,p}}{r_{sON}} \right) \sqrt{\frac{1}{8} + \frac{2D_m}{3\pi}}$
D_4	$\frac{I_{Lop}}{2} \left(\frac{1}{\pi} - \frac{D_m}{2} \right)$	$I_{Lop} \sqrt{\frac{1}{8} - \frac{2D_m}{3\pi}}$
S_5	$\frac{1}{4} \left(I_{Lop} - \frac{V_{CBL,p}}{r_{sON}} \right) \left(\frac{1}{\pi} + \frac{D_m}{2} \right)$	$\frac{1}{2} \left(I_{Lop} - \frac{V_{CBL,p}}{r_{sON}} \right) \sqrt{\frac{1}{8} + \frac{2D_m}{3\pi}}$
D_5	$\frac{I_{Lop}}{2} \left(\frac{1}{\pi} - \frac{D_m}{2} \right)$	$I_{Lop} \sqrt{\frac{1}{8} - \frac{2D_m}{3\pi}}$
S_6	$\frac{1}{4} \left(I_{Lop} + \frac{V_{CBL,p}}{r_{sON}} \right) \left(\frac{1}{\pi} + \frac{D_m}{2} \right)$	$\frac{1}{2} \left(I_{Lop} + \frac{V_{CBL,p}}{r_{sON}} \right) \sqrt{\frac{1}{8} + \frac{2D_m}{3\pi}}$
D_6	0	0

5.2 CONSIDERAÇÕES FINAIS

A análise apresentada neste capítulo trata-se da adaptação da teoria desenvolvida para o C4Q-CC-5N operando como conversor cc-cc. O objetivo é, portanto, estimar esforços e ondulações nos componentes passivos e semicondutores, em função disso foi dispensada uma análise mais rigorosa, partindo do funcionamento do circuito em corrente alternada. Contudo, conforme apresentado no Capítulo 6, as estimativas obtidas através do equacionamento apresentado são, em sua maioria, satisfatórias, mesmo com a aproximação de (5.8) não sendo muito precisa.

6 SIMULAÇÕES E RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados resultados de simulações obtidos em um *software* de simulação numérica, para os exemplo de projeto da Seção 6.1. O esquemático utilizado nas simulações se encontra no Apêndice C. Os resultados de simulações são confrontados, quantitativamente, aos resultados obtidas pelas equações teóricas desenvolvidas nos capítulos 4 e 5. Também são apresentados resultados experimentais de um protótipo, obtidos com o intuito único de corroborar o princípio de funcionamento do C4Q-CC-5N, não sendo feita uma análise quantitativa dos resultados experimentais.

6.1 EXEMPLO DE PROJETO

Na Tabela 6.1 são apresentadas as especificações de projeto.

Tabela 6.1 – Especificações de projeto do circuito simulado

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	50 V
Tensão de saída	V_o	35 V
Potência de saída	P_o	350 W
Frequência de chaveamento	f_s	25 kHz
Ondulação de tensão nos capacitores C_A e C_B	ΔV_{CCH}	0,5% de V_i
Ondulação de tensão nos capacitores C_1 e C_2	ΔV_{CBR}	0,5% de V_i
Ondulação da corrente de entrada	ΔI_{L_i}	5% de I_{L_i}
Ondulação da corrente de saída	ΔI_{L_o}	5% de I_{L_o}
Ondulação de tensão na saída	ΔV_o	0,5% de V_o
Tempo de assentamento (98% de RP)	t_{AS}	10 T_s
Percentual de sobressinal	$\%SS$	2%
Ganho do sensor de tensão	K_v	0,06

6.1.1 Dimensionamento dos componentes de potência

Substituindo-se os valores V_i e V_o da Tabela 6.1 em (4.28) obtém-se o valor de δ . E substituindo-se (6.1) em (3.3) obtém-se a razão cíclica D , conforme (6.2).

$$\delta = \frac{1(35)}{2(50)} = 0,35 \quad (6.1)$$

$$D = \frac{1}{2} + (0,35) = 0,85 \quad (6.2)$$

A corrente média de saída I_o é computada por (6.3) e a corrente média de entrada I_i é obtida substituindo-se (6.1) e (6.3) em (4.35), conforme (6.4).

$$I_o = \frac{P_o}{V_o} = \frac{(350)}{(35)} = 10 \text{ A} \quad (6.3)$$

$$I_i = 2(0,35)(10) = 7 \text{ A} \quad (6.4)$$

A resistência de carga R_o é computada por:

$$R_o = \frac{P_o}{I_o^2} = \frac{(350)}{(10)^2} = 3,5 \Omega \quad (6.5)$$

Os valores de indutância de entrada L_i e de saída L_o são obtidos substituindo-se os valores numéricos da Tabela 6.1 e (6.1) em (4.40) e (4.41), conforme (6.6) e (6.7), respectivamente.

$$L_i \approx 4,3 \mu\text{H} \quad (6.6) \quad L_o = 120 \mu\text{H} \quad (6.7)$$

Em conformidade com o procedimento apresentado por Barbi, Font e Alves (2002) para o projeto físico de indutores, considerando-se densidade de fluxo magnético $B = 0,3 \text{ T}$, densidade de corrente $J = 4 \text{ A/mm}^2$ e fator de ocupação 40%, estima-se os valores precisos das indutâncias dos indutores L_i e L_o , bem como estima-se as respectivas resistências equivalentes dos enrolamentos:

$$L_i = 4,8 \mu\text{H}, \quad r_{L_i} = 1,42 \text{ m}\Omega, \quad L_o = 121,6 \mu\text{H}, \quad r_{L_o} = 7,36 \text{ m}\Omega$$

Substituindo-se (6.1) e (6.3) nas expressões de corrente média e corrente eficaz na Tabela 4.4 para o interruptor S_{1A} obtém-se (6.8) e (6.9); e substituindo-se os valores da Tabela 6.2 em (4.44) obtém-se a máxima tensão reversa, conforme (6.10).

$$I_{S_{1A}} = 8,5 \text{ A} \quad (6.8) \quad I_{S_{1A},\text{RMS}} = 9,22 \text{ A} \quad (6.9) \quad V_{r_x} = 25 \text{ V} \quad (6.10)$$

Com base nos valores obtidos em (6.8)-(6.10) é selecionado como interruptor o transistor MOSFET IRF540N, com:

$$r_{s_{\text{ON}}} = 44 \text{ m}\Omega, \quad V_f \approx 1 \text{ V}$$

As tensões médias sobre os capacitores chaveados e os capacitores de barramento são computadas substituindo-se (6.3), (6.5), os valores da Tabela 6.1 e os demais valores obtidos dos dispositivos reais em (4.32) e (4.10), conforme (6.11) e (6.12), respectivamente.

$$V_{C_{\text{CH}}} = 24,726 \text{ V} \quad (6.11) \quad V_{C_{\text{BR}}} = 24,995 \text{ V} \quad (6.12)$$

Substituindo-se os valores numéricos da Tabela 6.1 em (4.42) determina-se a capacitância de saída, conforme (6.13); e a corrente eficaz em C_o é computada substituindo-se os valores da Tabela 6.1 em (4.43), conforme (6.14):

$$C_o \approx 3,6 \mu\text{F} \quad (6.13) \quad I_{C_o,\text{RMS}} \approx 0,14 \text{ A} \quad (6.14)$$

As capacitâncias dos capacitores de barramento são determinadas substituindo-se os valores numéricos da Tabela 6.1, (6.1) e (6.3) em (4.38), conforme (6.15); e substituindo-se (6.1), (6.3), (6.11) e (6.12), os valores da Tabela 6.1 e os demais valores obtidos dos dispositivos reais em (4.36), obtém-se a capacitância dos capacitores chaveados, conforme (6.16):

$$C_1 = C_2 = 159 \mu\text{F} \quad (6.15) \quad C_A = C_B = 187 \mu\text{F} \quad (6.16)$$

Fazendo-se substituições similares em (4.37) e em (4.39), obtêm-se as correntes eficazes nos capacitores chaveados e de barramento, conforme (6.17) e (6.18), respectivamente.

$$I_{CCH,RMS} = 3,33 \text{ A} \quad (6.17) \quad I_{CBB,RMS} = 2,786 \text{ A} \quad (6.18)$$

Com as ondulações de tensão e correntes eficazes nos capacitores seleciona-se os capacitores necessários. Na Tabela 6.2 são apresentados os componentes de potência especificados.

Tabela 6.2 – Componentes de potência do circuito simulado

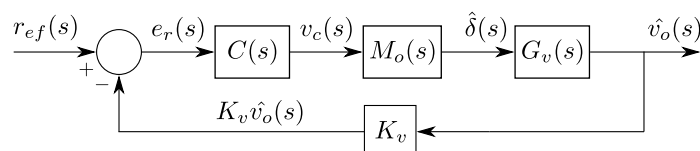
Componente	Descrição
Capacitores C	MKP1848C71050JY da <i>Vishay BC Components</i> $C = 2 \times 100 \mu\text{F}/500 \text{ V}$; ESR: $2 \text{ m}\Omega$; $I_{RMS} = 17 \text{ A}$; Material: Polipropileno
Indutor L_i	Núcleo $1 \times \text{NEE-19/8/6-IP12}$ da <i>Thornton</i> $N = 5$ espiras; Condutor: $4 \times$ cobre esmaltado AWG20 $L_i = 4,8 \mu\text{H}$; $r_{L_i} = 1,42 \text{ m}\Omega$
Indutor L_o	Núcleo $2 \times \text{NEE-42/21/15-IP12}$ da <i>Thornton</i> $N = 19$ espiras; Condutor: $6 \times$ cobre esmaltado AWG20 $L_o = 121,6 \mu\text{H}$; $r_{L_o} = 7,36 \text{ m}\Omega$
Capacitor C_o	MKP1848C54050JK2 da <i>Vishay BC Components</i> $C = 4 \mu\text{F}/500 \text{ V}$; ESR: $2 \text{ m}\Omega$; $I_{RMS} = 3,5 \text{ A}$; Material: Polipropileno
Interruptores	Transistor MOSFET IRF540N da <i>International Rectifier</i> $V_{DS} = 100 \text{ V}$; $I_D = 23 \text{ A}$ (100°C); $r_{sON} = 44 \text{ m}\Omega$ (100°C); $V_f \approx 1 \text{ V}$

Os parâmetros dos componentes de potência apresentados na Tabela 6.2 foram utilizados em simulações, das quais são apresentados alguns resultados na Seção 6.2.

6.1.2 Projeto de controlador

Nesta seção é apresentado o projeto de um controlador analógico. Na Fig. 6.1 é apresentado o diagrama de blocos da malha de controle:

Figura 6.1 – Diagrama de blocos da malha de controle



onde $M_o(s)$ é a função de transferência do circuito modulador. Considerando-se o circuito modulador da Fig. 4.2 e fazendo-se $V_{t_{pp}} = 3$, obtém-se:

$$M_o(s) = \frac{\hat{\delta}(s)}{v_c(s)} = \frac{1}{V_{t_{pp}}} = \frac{1}{3} \quad (6.19)$$

onde $v_c(s)$ é o sinal de controle oriundo do controlador $C(s)$.

A função de transferência de pequenos sinais é obtida substituindo-se os valores da Tabela 6.2 em (4.66). Considerando-se o ponto quiescente de operação $\delta = 1/2$, obtém-se:

$$G_v(s) = \frac{\hat{v}_o(s)}{\hat{\delta}(s)} = \frac{2,114 \cdot 10^{11}}{s^2 + 7,23 \cdot 10^4 s + 2,118 \cdot 10^9} \quad (6.20)$$

Projetando-se um controlador PID (OGATA, 2010) para o sistema da Fig. 6.1, obtém-se:

$$C(s) = \frac{1}{s\tau_i} + k_p + \tau_d s \quad (6.21)$$

com:

$$\tau_i = 50,722 \cdot 10^{-6}, \quad k_p = 1.6364, \quad \tau_d = 7,1394 \cdot 10^{-6}$$

O controlador $C(s)$ foi utilizado nas simulações cujos os resultados são apresentados na Seção 6.2.2.

6.2 RESULTADOS DE SIMULAÇÕES

6.2.1 Conversor cc-cc operando em regime permanente e malha aberta

Nesta Seção são apresentados os resultados de simulação para operação em regime permanente, para condição de operação designada na Tabela 6.1. A simulação foi realizada no intervalo de tempo de 0 a 2 ms, com passo de simulação de 50 ns.

Nas Figs. 6.2 e 6.3 são apresentadas as formas de onda de corrente e tensão sobre o capacitor C_B (capacitor chaveado) e o capacitor C_2 (capacitor de barramento), respectivamente. Observa-se que as formas de onda de corrente apresentam algumas variações não previstas pelo modelo teórico, como mostrado nas Figs. 4.20 e 4.21, o que, por conseguinte, implica em variações nas tensões também não previstas pela teoria. Contudo, nota-se uma boa aderência entre os resultados de simulação e o previsto teoricamente, nos trechos escolhidos para determinar-se as respectivas ondulações de tensão, isto é, onde as correntes nos capacitores são positivas; mesmo ocorrendo decaimento na corrente no capacitor C_B (Fig. 6.2), que é o esperado, uma vez que esse comportamento está associado a diferença de tensão dos capacitores, mas que foi ignorada pela teoria ao ser feita a consideração de que as tensões dos capacitores se mantém constante durante um ciclo de chaveamento.

Na Fig. 6.4 são apresentadas as formas de onda de tensão e corrente sobre o indutor L_i . Como a oscilação de tensão no indutor L_i é função das ondulações de

Figura 6.2 – Resultados de simulação – Formas de onda de corrente e tensão no capacitor C_B em regime permanente e malha aberta

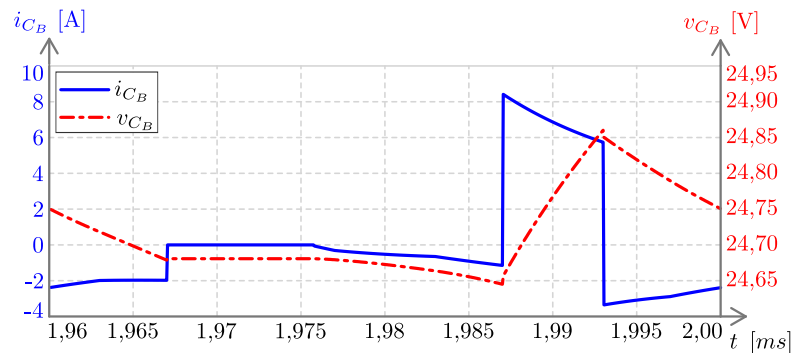
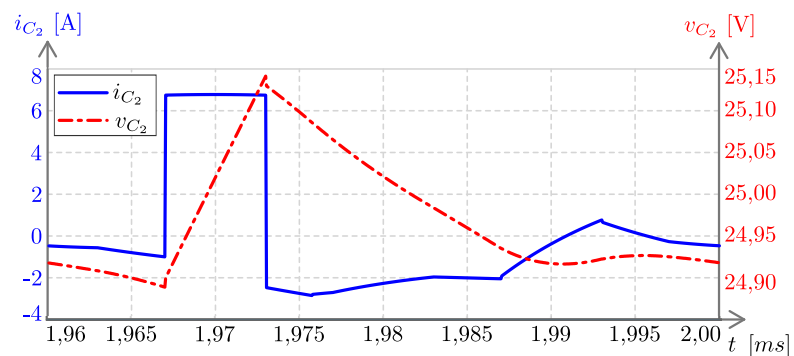
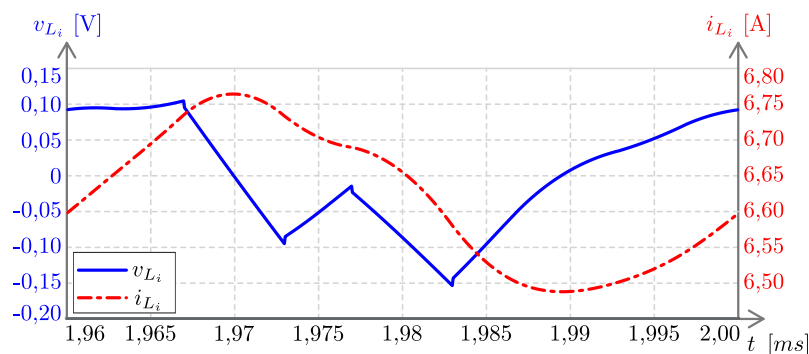


Figura 6.3 – Resultados de simulação – Formas de onda de corrente e tensão no capacitor C_2 em regime permanente e malha aberta



tensão nos capacitores de barramento, observa-se também alguma discrepância em relação às formas de onda teóricas, todavia no trecho escolhido para determinar-se a ondulação de corrente nota-se proximidade entre as formas de onda da Fig. 4.22 e da Fig. 6.4.

Figura 6.4 – Resultados de simulação – Formas de onda de tensão e corrente no indutor L_i em regime permanente e malha aberta



Na Fig. 6.5 são apresentadas as formas de onda de tensão e corrente sobre o indutor L_o e na Fig. 6.6 são apresentadas as formas de onda de corrente no capacitor C_o e tensão na saída v_o . Essas formas de onda são extremamente similares às formas de onda teóricas (Figs. 4.23 e 4.24). A corrente e tensão de saída não são influenciadas

pelos tensões nos capacitores, tão pouco pela carga e descarga dos mesmos.

Figura 6.5 – Resultados de simulação – Formas de onda de tensão e corrente no indutor L_o em regime permanente e malha aberta

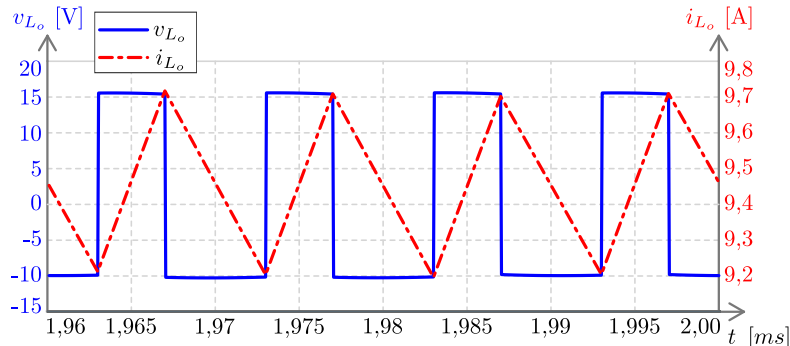
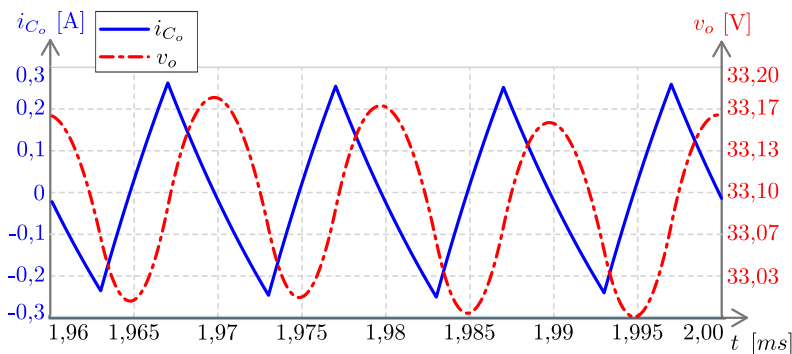


Figura 6.6 – Resultados de simulação – Formas de onda de corrente e tensão no capacitor C_o em regime permanente e malha aberta



Na Tabela 6.3 é apresentado um resumo, comparando quantitativamente os valores obtidos através das equações desenvolvidas no Capítulo 4 com os resultados de simulação para os componentes da Tabela 6.2 e condições da 6.1.

O equacionamento desenvolvido no Capítulo 4 mostra-se satisfatório. A maioria dos valores obtidos teoricamente apresentaram erro relativo menor que 1%, computado por:

$$E(\%) = 100 \cdot \frac{V_{\text{SIMUL}} - V_{\text{TEO}}}{V_{\text{TEO}}} \quad (6.22)$$

onde V_{TEO} é o valor teórico e V_{SIMUL} é o valor simulado.

Os erros observados na tensão de saída, corrente de saída e na corrente eficaz do capacitor de saída C_o , menores que 5%, são oriundos do fato que a ondulação de corrente foi computada desprezando-se as não idealidades do circuito. O erro observado na ondulação da corrente de entrada deve-se ao fato da expressão teórica ser simplificada, uma vez que considera-se a ondulação de tensão no indutor L_i como sendo, em magnitude, igual a ondulação de tensão nos capacitores de barramento. Os erros observados na ondulação de tensão dos capacitores chaveados, bem como nas correntes eficazes dos capacitores devêm-se ao fato da teoria ignorar a carga e

Tabela 6.3 – Resultados de simulação – Valores médios, ondulações e esforços de corrente nos componentes para operação como conversor cc-cc em regime permanente e malha aberta

Símbolo	Ref.	Teórico	Simul.	E.(%)	Símbolo	Ref.	Teórico	Simul.	E.(%)
V_o	(4.32)	33,114	33,092	-0,07	I_{S5_A}	Tab. 4.4	1,419	1,419	-0,05
I_o	(4.36)	9,461	9,455	-0,07	I_{D1_B}	Tab. 4.5	1,419	1,419	0,00
I_i	(4.37)	6,604	6,618	0,22	I_{S2_B}	Tab. 4.5	8,042	8,036	-0,08
$V_{C_{BR}}$	(4.10)	24,995	24,995	0,00	I_{S4_B}	Tab. 4.5	1,419	1,418	-0,11
$V_{C_{CH}}$	(4.34)	24,726	24,711	-0,06	I_{D5_B}	Tab. 4.5	1,419	1,420	0,07
ΔV_o	(4.44)	0,154	0,160	3,54	I_{S6_B}	Tab. 4.5	6,623	6,617	-0,09
ΔI_o	(4.43)	0,493	0,514	4,08	$I_{S1_A,RMS}$	Tab. 4.4	8,72	8,72	0,00
ΔI_i	(4.42)	0,265	0,276	4,19	$I_{D2_A,RMS}$	Tab. 4.4	3,664	3,650	-0,39
$\Delta V_{C_{BR}}$	(4.40)	0,210	0,207	-1,39	$I_{S3_A,RMS}$	Tab. 4.4	7,184	7,246	0,88
$\Delta V_{C_{CH}}$	(4.38)	0,234	0,215	-7,94	$I_{D4_A,RMS}$	Tab. 4.4	3,664	3,662	-0,06
$I_{C_o,RMS}$	(4.45)	0,142	0,145	2,01	$I_{S5_A,RMS}$	Tab. 4.4	1,787	1,823	1,99
$I_{C_{CH},RMS}$	(4.39)	3,325	3,107	-6,56	$I_{D1_B,RMS}$	Tab. 4.5	3,664	3,662	-0,05
$I_{C_{BR},RMS}$	(4.41)	2,782	3,000	7,85	$I_{S2_B,RMS}$	Tab. 4.5	8,723	8,718	-0,06
I_{S1_A}	Tab. 4.4	8,042	8,046	0,05	$I_{S4_B,RMS}$	Tab. 4.5	1,787	1,834	2,62
I_{D2_A}	Tab. 4.4	1,419	1,409	-0,75	$I_{D5_B,RMS}$	Tab. 4.5	3,664	3,665	0,02
I_{S3_A}	Tab. 4.4	6,623	6,617	-0,08	$I_{S6_B,RMS}$	Tab. 4.5	7,184	7,249	0,92
I_{D4_A}	Tab. 4.4	1,419	1,419	-0,02					

Valores de tensão são dados em volts [V] e valores de corrente são dados em amperes [A].

descarga dos capacitores dentro de um ciclo de chaveamento em favor de obter um modelo simplificado.

Contudo, o equacionamento desenvolvido no Capítulo 4 é suficiente para o dimensionamento dos componentes de potência, uma vez que as especificações da Tabela 6.1 são atendidas, conforme valores de simulação expostos na Tabela 6.3.

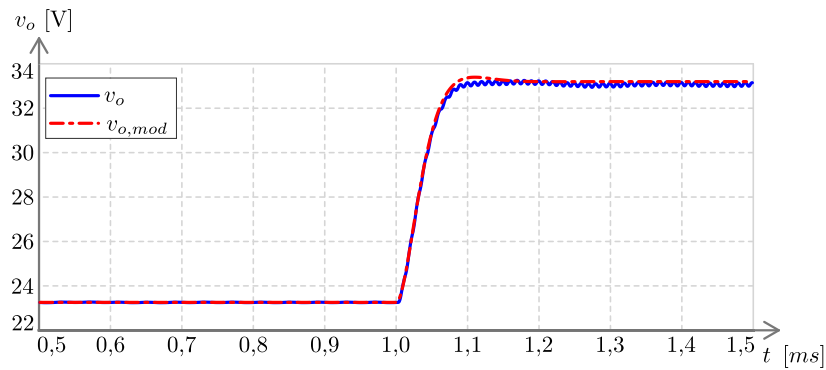
6.2.2 Resposta dinâmica

Nesta seção são apresentados os resultados de simulação para perturbações na razão cíclica. A simulação foi realizada no intervalo de tempo de 0 a 2 ms, com passo de simulação de 50 ns.

Na Fig. 6.7 a resposta do modelo de pequenos sinais, dado em (6.20), a um degrau de 0,75 para 0,85 na razão cíclica (ou de $\delta = 0,25$ para $\delta = 0,35$) é comparada à resposta do circuito para o mesmo degrau. O resultado apresentado na Fig. 6.7 corrobora a hipótese de que as dinâmicas da tensão e corrente de saída são mais rápidas que as dinâmicas das tensões nos capacitores e corrente de entrada. O resultado também corrobora que o sistema é um sistema linear, uma vez que não houve

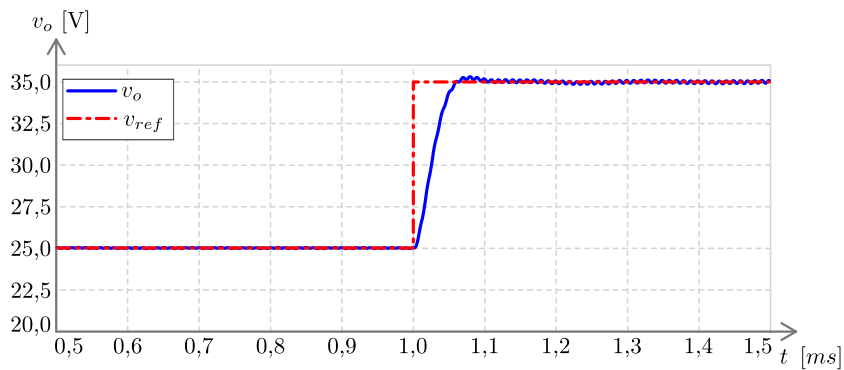
discrepância significativa entre o valor final oriundo da resposta do modelo com o valor final proveniente da resposta do circuito.

Figura 6.7 – Resultados de simulação – Comparativo da resposta da tensão de saída $v_o(t)$ do modelo de pequenos sinais com a resposta do circuito simulado em malha aberta para um degrau na razão cíclica de $\delta = 0,25$ para $\delta = 0,35$



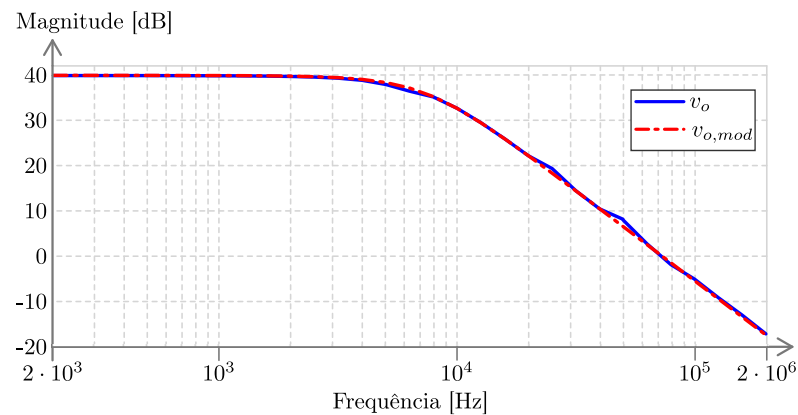
Na Fig. 6.8 é apresentado a resposta do circuito em malha fechada, contraposta ao sinal de referência, o que demonstra que o sistema é um sistema controlável.

Figura 6.8 – Resultados de simulação – Resposta da tensão de saída $v_o(t)$ para um degrau na referência de $r_{ef}(t) = 25$ V para $r_{ef}(t) = 35$ V com o sistema em malha fechada

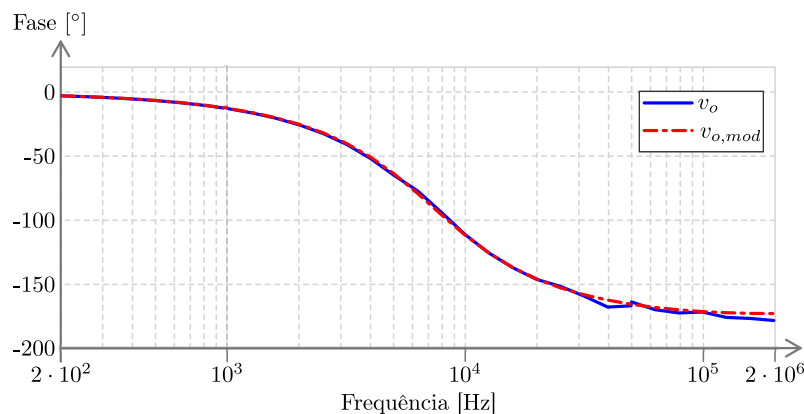


Nas Figs. 6.9 a resposta em frequência do modelo é contraposta a resposta em frequência do circuito simulado. Observa-se que para frequências até 100 kHz o modelo representa a fase e magnitude do sistema de forma fidedigna.

Figura 6.9 – Resultados de simulação – Diagramas de Bode da tensão de saída v_o para frequências de 200 Hz a 200 kHz. Resposta do circuito simulado em malha aberta contraposta a resposta do modelo de pequenos sinais



(a) Magnitude



(b) Fase

6.2.3 Inversor operando em regime permanente e malha aberta

Nesta seção são apresentados os resultados de simulação para operação em regime permanente, com o inversor sintetizando uma tensão de saída eficaz de 22 V e frequência de 50 Hz. Os componentes de potências são os especificados na Tabela 6.2. A simulação foi realizada no intervalo de tempo de 0 a 40 ms, com passo de simulação de 100 ns.

Na Fig. 6.10 são apresentadas as formas de onda da tensão $v_{AB}(t)$ na entrada do filtro de saída e tensão de saída $v_o(t)$. Observa-se que, de fato, o circuito sintetiza 5 níveis de tensão de saída.

Na Fig. 6.11 são apresentadas as formas de onda das tensões nos capacitores de processamento de energia.

Na Fig. 6.12 é apresentada a forma de onda da diferença de tensão entre os capacitores chaveados pelo capacitores de barramento, $\overline{v_{C_{BR}}} - \overline{v_{C_{CH}}}$, contraposta com a diferença aproximada por (5.8). Observa-se que a diferença entre as tensões nos capacitores não obedece um comportamento senoidal, o que faz com que a aproxima-

Figura 6.10 – Resultados de simulação – Tensão v_{AB} na entrada do filtro de saída e tensão de saída v_o para um período da onda sinusoidal da tensão de saída com o sistema em malha fechada

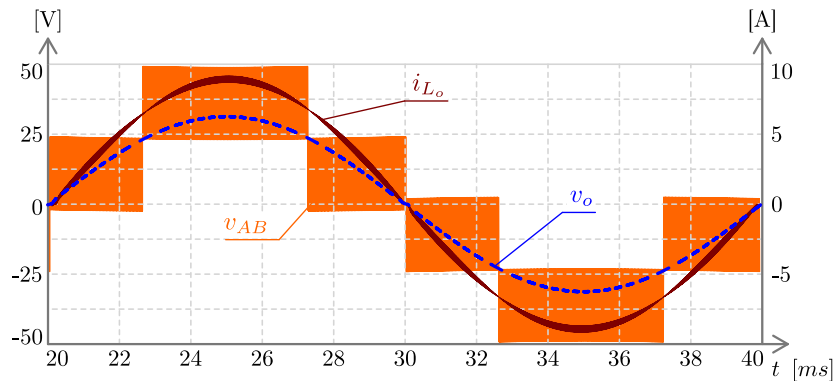
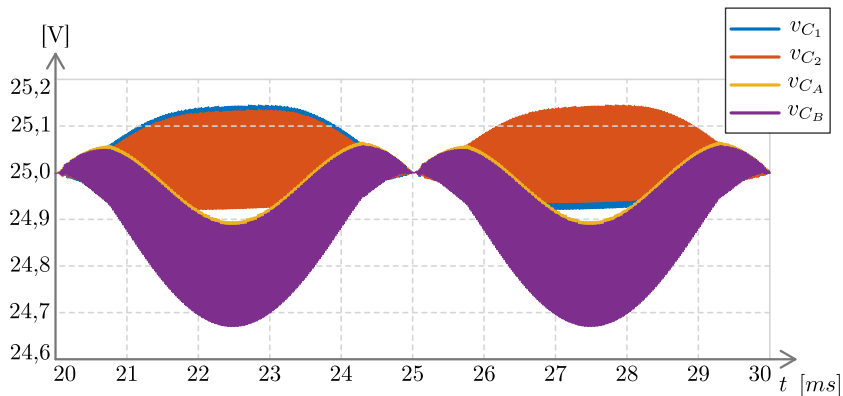
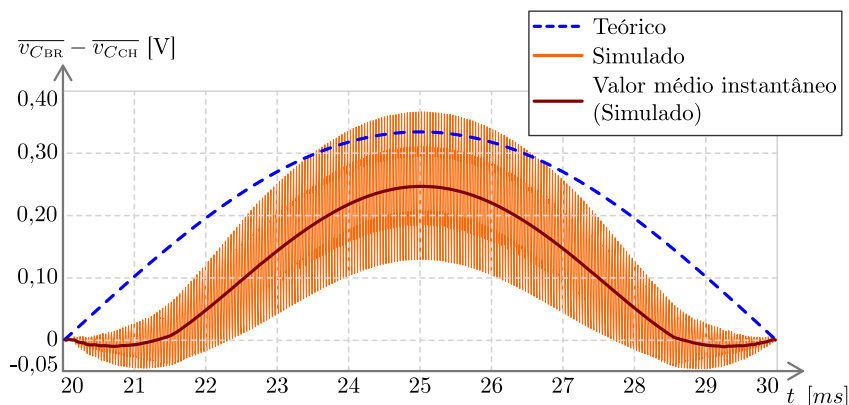


Figura 6.11 – Resultados de simulação – Tensão nos capacitores para um período da onda sinusoidal da tensão de saída com o sistema em malha fechada



ção feita em (5.8) implique em resultados conservadores, prevendo maior diferença de tensão entre os capacitores.

Figura 6.12 – Resultados de simulação – Diferença de tensão entre os capacitores para um período da onda sinusoidal da tensão de saída com o sistema em malha fechada



Na Tabela 6.4 é apresentado um resumo, comparando quantitativamente os valores obtidos através das equações desenvolvidas no Capítulo 5 com os resultados

de simulação para os componentes da Tabela 6.2 com a topologia operando como inversor sintetizando 22 V de tensão eficaz de saída.

Tabela 6.4 – Resultados de simulação – Valores médios, ondulações e esforços de corrente nos componentes para operação como inversor em regime permanente e malha aberta

Símbolo	(Eq.)	Teórico	Simul.	E.(%)	Símbolo	(Eq.)	Teórico	Simul.	E.(%)
V_o	(5.39)	22.000	21.999	0.00	I_{S_4}	Tab. 5.1	0.442	0.663	49.93
I_o	(5.40)	6.283	6.286	0.05	I_{D_4}	Tab. 5.1	0.683	0.661	-3.19
I_i	(5.41)	3.500	3.612	3.21	I_{S_5}	Tab. 5.1	0.442	0.663	49.95
$V_{C_{BR}}$	(4.10)	24.996	24.998	0.01	I_{D_5}	Tab. 5.1	0.683	0.661	-3.18
$V_{C_{CH}}$	(4.34)	24.753	24.892	0.56	I_{S_6}	Tab. 5.1	1.701	1.495	-12.09
ΔV_o	(4.44)	0.161	0.159	-1.00	I_{D_6}	Tab. 5.1	0.000	0.010	NA
ΔI_o	(5.32)	0.514	0.507	-1.38	$I_{S_{1,RMS}}$	Tab. 5.1	3.917	3.930	0.34
ΔI_i	(5.22)	0.351	0.319	-9.17	$I_{D_{1,RMS}}$	Tab. 5.1	2.085	2.076	-0.43
$\Delta V_{C_{BR}}$	(5.18)	0.200	0.196	-1.92	$I_{S_{2,RMS}}$	Tab. 5.1	3.917	3.931	0.34
$\Delta V_{C_{CH}}$	(5.14)	0.268	0.217	-18.91	$I_{D_{2,RMS}}$	Tab. 5.1	2.085	2.076	-0.41
$I_{C_o,RMS}$	(5.36)	0.095	0.112	18.24	$I_{S_{3,RMS}}$	Tab. 5.1	3.109	2.914	-6.27
$I_{C_{CH},RMS}$	(5.34)	2.532	2.257	-10.86	$I_{D_{3,RMS}}$	Tab. 5.1	0.000	0.099	NA
$I_{C_{BR},RMS}$	(5.35)	2.125	2.022	-4.81	$I_{S_{4,RMS}}$	Tab. 5.1	0.808	1.267	56.84
I_{S_1}	Tab. 5.1	2.143	2.156	0.63	$I_{D_{4,RMS}}$	Tab. 5.1	2.085	2.065	-0.97
I_{D_1}	Tab. 5.1	0.683	0.672	-1.51	$I_{S_{5,RMS}}$	Tab. 5.1	0.808	1.267	56.84
I_{S_2}	Tab. 5.1	2.143	2.156	0.63	$I_{D_{5,RMS}}$	Tab. 5.1	2.085	2.065	-0.97
I_{D_2}	Tab. 5.1	0.683	0.672	-1.49	$I_{S_{6,RMS}}$	Tab. 5.1	3.109	2.914	-6.26
I_{S_3}	Tab. 5.1	1.701	1.495	-12.09	$I_{D_{6,RMS}}$	Tab. 5.1	0.000	0.099	NA
I_{D_3}	Tab. 5.1	0.000	0.010	NA					

Valores de tensão são dados em volts [V] e valores de corrente são dados em amperes [A].

O erro observado na corrente eficaz do capacitor de saída C_o é, em sua maioria, de origem numérica (arredondamento/truncamento), em vista das baixas grandezas envolvidas. O que reforça essa conclusão é o fato da ondulação de corrente de saída apresentar um erro menor que 2%. Ademais, o cálculo da ondulação de corrente desconsidera não idealidades. O erro na corrente de entrada é oriundo da simplificação em (4.40). Os erros observados na ondulação de tensão dos capacitores chaveados, bem como nas correntes eficazes dos capacitores e nos interruptores da segunda coluna, de ambas as pernas, devêm-se ao fato da diferença de tensão entre os capacitores de barramento e os capacitores chaveados prevista em (5.8) ser maior que a diferença de tensão observada na simulação, conforme ilustrado na Fig. 6.12. Observa-se que o erro absoluto na corrente média dos interruptores S_3 é completar ao erro absoluto na corrente média dos interruptores S_5 , o que reforça a hipótese que a fonte do erro é oriunda da imprecisão no cálculo da diferença de tensão entre os capacitores.

6.3 RESULTADOS EXPERIMENTAIS

Nesta seção são apresentados resultados experimentais obtidos com o propósito de verificar o funcionamento do conversor de acordo com a descrição teórica, portanto não é feita uma análise quantitativa dos resultados obtidos.

O protótipo foi operado como inversor, a fim de se excitá-lo em todas as regiões de operação. As especificações do protótipo construído são mostradas na Tabela 6.5 e os principais componentes de potência estão listados na Tabela 6.6. Os componentes de potência divergem do exemplo de projeto da Seção 6.1 por questões de limitações de recursos.

Tabela 6.5 – Especificações de projeto do protótipo

Parâmetro	Símbolo	Valor
Potência de saída	P_o	115 W
Tensão de entrada	V_i	48 V
Tensão eficaz de saída	$V_{o,RMS}$	22 V
Índice de modulação	D_m	0,358
Autotransformador de saída	$N_p : N_s$	1 : 5
Tensão eficaz na carga	$V_{oT,RMS}$	110 V
Frequência de saída	f_o	50 Hz
Carga	R_o	105 Ω
Frequência de chaveamento	f_s	10 kHz

Drives isolados foram empregados para acionar os interruptores MOSFET. O projeto desses *drives* é baseado em um opto-acoplador e um conversor cc-cc isolado, ambos encapsulados em circuitos integrados. Os sinais de comando PWM foram gerados por um microcontrolador C2000 da *Texas Instruments*, no kit de desenvolvido *LaunchXL-F28027 (Piccolo)*. O circuito esquemático do protótipo, como o detalhamento dos *drives* isolados consta no Apêndice D e o código fonte utilizado para gerar os sinais PWMs consta no Apêndice E.

Conforme especificado na Tabela 6.5 a tensão eficaz na carga é de 110 V / 50 Hz, mas a tensão eficaz de saída no conversor é de 22V / 50 Hz. Em função disso foi acoplado um autotransformador na saída do conversor para elevar a tensão, conforme Fig. 6.13. O protótipo é apresentado na Fig. 6.14.

Na Fig. 6.15 é mostrado um teste com o protótipo alimentando um monitor de computador. O teste demonstra a viabilidade técnica da estrutura.

Na Fig. 6.16 são apresentadas as principais formas de onda para um teste nas condições estipuladas na Tabela 6.5. As formas de onda da tensão de saída $v_o(t)$, da tensão $v_{AB}(t)$ na entrada do filtro de saída, da corrente de saída $i_o(t)$ e da tensão

Tabela 6.6 – Componentes de potência do protótipo

Parâmetro	Símb.	Valor
Indutor de entrada	L_i	220 μ H
Capacitor de barramento	$C_{1,2}$	4.7 μ F
Capacitor chaveado	$C_{A,B}$	2 \times 4.7 μ F
Indutor de saída	L_o	100 μ H
Capacitor de saída	C_o	4.7 μ F
Interruptores	-	IRF540N

Figura 6.13 – Esquemático de ligação com autotransformador

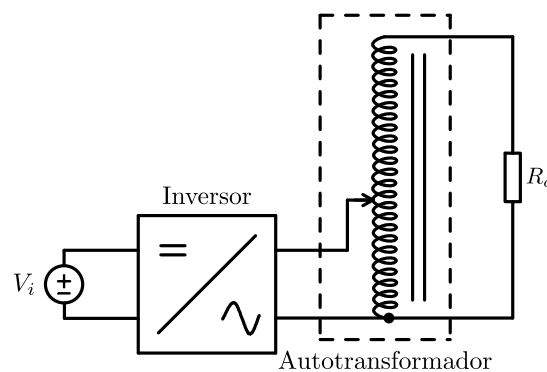
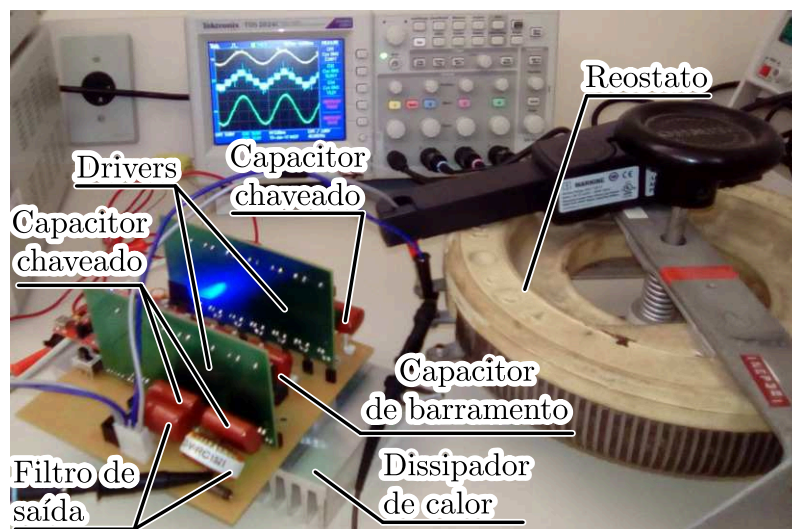


Figura 6.14 – Protótipo – Teste com um reostato como carga



na saída do autotransformador $v_{oT}(t)$ obtidas experimentalmente são mostradas na Fig. 6.16.

Como pode ser visto no canal 2, a tensão v_{AB} oscila entre -48~24 V, -24~0, 0~24 V e 24~48 V de acordo com a senoide sintetizada, corroborando o que foi descrito no princípio de funcionamento. No canal 1 é mostrada a tensão de saída v_o , que é uma onda sinusoidal de aproximadamente 50 Hz com 31,1 V de tensão de pico, conforme o esperado. A tensão na saída do autotransformador v_{oT} é apresentada no

Figura 6.15 – Protótipo – Teste com um monitor como carga, acoplado à saída do autotransformador

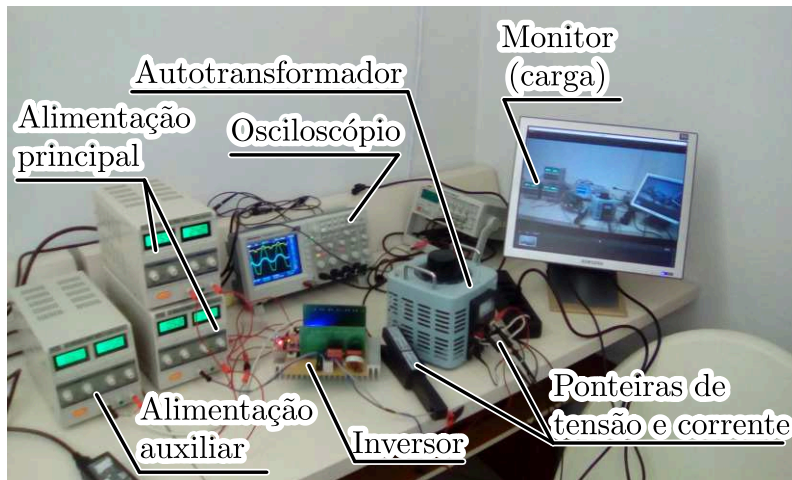
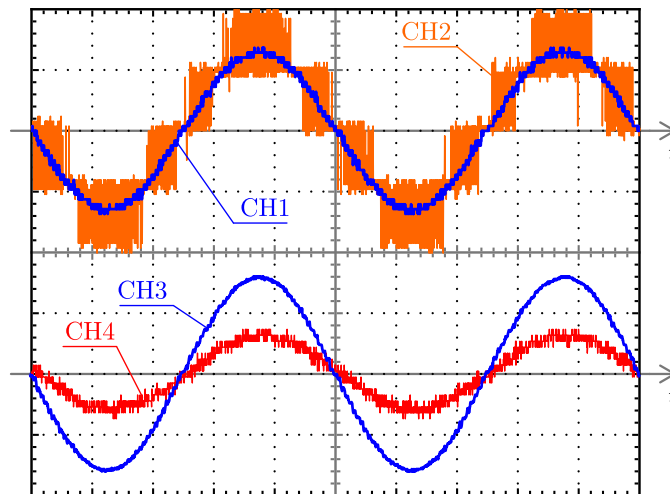


Figura 6.16 – Resultados experimentais – Principais formas de onda do conversor proposto – CH1 - Tensão de saída (25 V/div); CH2 - Tensão AB (25 V/div); CH3 - Tensão na saída do autotransformador (100 V/div) CH4 - Corrente de saída (2 A/div); tempo: 4 ms/div.



canal 3, forma de onda sinusoidal na mesma frequência de v_o com 155 V de pico. No canal 4 é apresentada a corrente na saída do autotransformador, forma de onda sinusoidal na mesma frequência de v_o com cerca de 1,5 A de pico.

Na Fig. 6.17 são apresentadas as tensões sobre os capacitores de processamento de energia para um teste nas condições estipuladas na Tabela 6.5. O resultado corrobora a hipótese fundamental deste trabalho, de que ocorre o auto-balanceamento das tensões nos capacitores. Ao operar como inversor o conversor é excitado nos quatro quadrantes de operação e os resultados apresentados na Fig. 6.17 demonstram que os capacitores mantiveram as tensões balanceadas para quase todo o domínio da razão cíclica D . Embora o teste não tenha excitado o conversor em todo o domínio da razão cíclica D , a teoria apresentada nos Capítulos 4 e 5 prevê o mesmo com-

portamento para a parcela não testada experimentalmente, dessa forma concluí-se que o conversor garante o auto-balanceamento de tensão, uma vez que os resultados apresentados na Fig. 6.17 estão de acordo com a teoria.

Figura 6.17 – Resultados experimentais – Tensões nos capacitores – CH1 - Tensão no capacitor C_1 (25 V/div); CH2 - Tensão no capacitor C_2 (25 V/div); CH3 - Tensão no capacitor C_A (25 V/div); CH4 - Tensão no capacitor C_B (25 V/div); tempo: 4 ms/div.

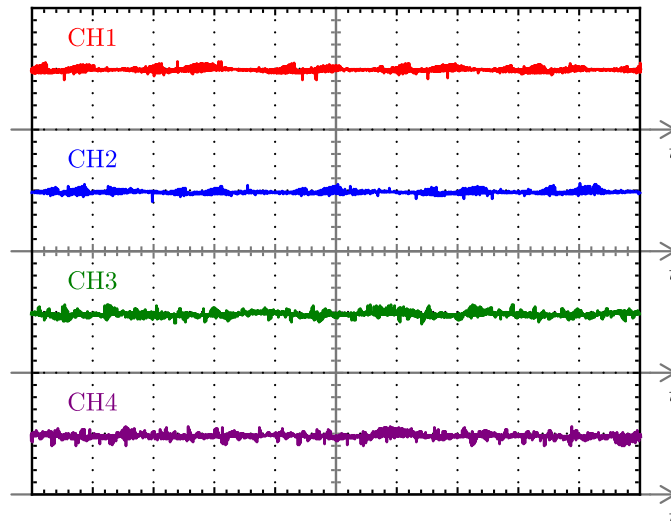
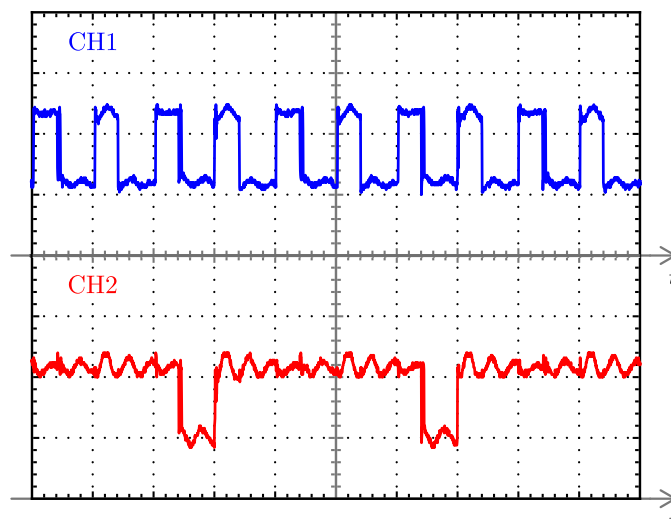


Figura 6.18 – Resultados experimentais – Tensão v_{AB} e tensão sobre um interruptor – CH1 - Tensão AB (20 V/div); CH2 - Tensão no interruptor S_{5B} (20 V/div); tempo: 25 μ s/div.



Na Fig. 6.18 é mostrada a tensão v_{AB} e a tensão no interruptor S_{5B} , para o conversor operando como conversor cc-cc, com $D=0,858$ e com um reostato ajustado em $R_o=4,2 \Omega$ como carga. Estas formas de onda confirmam que a frequência da tensão pulsada v_{AB} na entrada do filtro de saída é quatro vezes a frequência de chaveamento f_s , o que justifica o tamanho relativamente menor dos componentes do filtro de saída.

Além disso, verifica-se que as tensões nos interruptores são metade da tensão do barramento de entrada, como as tensões nos capacitores.

7 CONCLUSÃO

Neste trabalho apresenta-se a proposta de um conversor de quatro quadrantes a capacitor chaveado com 5 níveis de tensão de saída. Realiza-se o estudo de duas variantes da topologia: C4Q-CC-3N e C4Q-CC-5N. O C4Q-CC-3N sintetiza 3 níveis de tensão de saída, contudo essa variante topológica só é funcional para uma razão cíclica próxima a 50%, uma vez que há desequilíbrio de tensão entre os capacitores de barramento, bem como entre o capacitor chaveado e os capacitores de barramento. O C4Q-CC-5N, que é a topologia proposta, compartilha os capacitores das duas células em um único barramento e sintetiza 3 ou 5 níveis de tensão a depender da razão cíclica. O fato de compartilhar os capacitores de células P2 implica que exista um fluxo de corrente de uma perna para outra. Esse fluxo de corrente viabiliza a carga e descarga dos capacitores chaveados de modo que ocorra o auto-balanceamento das tensões dos capacitores. Topologias como o *Flying Capacitor* necessitam de estratégias de modulação que visam anular o desbalanceamento de tensões, algo desnecessário para a topologia proposta, conforme mostram os resultados de simulação e os resultados experimentais, uma vez que foi aplicada modulação por deslocamento de fase sem nenhuma estratégia adicional. A topologia *Flying Capacitor* de duas células (Wilkinson; Meynard; du Toit Mouton, 2006), que utiliza duas células FC em uma associação similar à associação das células P2 no C4Q-CC-5N, também promove o auto-balanceamento de tensão nos capacitores. Contudo, segundo Wilkinson, Meynard e du Toit Mouton (2006) há algumas restrições para que esse auto-balanceamento ocorra (*e.g.* tipo de carga), enquanto que C4Q-CC-5N não apresenta ter esse tipo de restrições. Ademais, a estratégia de modulação caracteriza a comutação dos capacitores como capacitores chaveados, isto é, não há estados topológicos em que os capacitores sejam colocados em flutuação, contrastando, por exemplo, com o conversor *Flying Capacitor*.

No Capítulo 3 é feita a análise em regime permanente do C4Q-CC-3N operando como conversor cc-cc, sintetizando tensão positiva e negativa. A análise demonstra que, para ambos os casos, há uma diferença de tensão entre os capacitores de barramento. Essa diferença de tensão é dependente da razão cíclica. Para valores de razão cíclica que se distanciam de 50% a diferença cresce quadraticamente de modo que para razão cíclica próxima a 0 ou a 100% o conversor não funcione, uma vez que um dos capacitores de barramento estará totalmente descarregado. Como o C4Q-CC-3N só é funcional para uma faixa limitada de razão cíclica, não foi desenvolvido o equacionamento de esforços e características estáticas.

No Capítulo 4 o conversor proposto, C4Q-CC-5N, é analisado em regime permanente e também é obtido o modelo dinâmico de pequenos sinais do mesmo. O equacionamento das ondulações de tensão e corrente sobre os componentes passivos e dos valores médios das principais variáveis do circuito, bem como os esforços de

corrente nos semicondutores e capacitores são obtidos através da análise em espaço de estados. Conforme discutido no Capítulo 4, os estados topológicos apresentados não são os únicos estados topológicos da estrutura ao longo do domínio da razão cíclica e os estados topológicos apresentados estão sustentados na consideração de que a corrente de carga é mandatória para a polarização dos semicondutores, consideração que falha para algumas faixas de valores de razão cíclica. Entretanto, os estados topológicos apresentados para obtenção do modelo médio instantâneo se mostraram satisfatórios, válidos para uma ampla faixa da razão cíclica. O que se comprova nos resultados de simulação apresentados no Capítulo 6 para operação como inversor, que excitou o conversor em todo o domínio da razão cíclica. Contudo, esses outros estados topológicos, não apresentados neste trabalho, são variantes dos estados topológicos em que há o bloqueio do fluxo de corrente nos capacitores chaveados. O que ocorre nesses outros estados topológicos é a entrada em condução de um interruptor ou diodo mediante a um desbalanço de tensão instantâneo entre os capacitores e a entrada em condução desse semicondutor contribui para o rebalanceamento das tensões.

Conforme demonstrado na análise estática apresentada no Capítulo 4, apesar dos capacitores tenderem a uma mesma tensão, existe uma pequena diferença de tensão entre os capacitores de barramento e os capacitores chaveados. Essa diferença é função das não idealidades dos componentes do circuito e era esperada, uma vez que as correntes de carga ou descarga dos capacitores chaveados fluem, necessariamente, através de algum interruptor. Diferentemente dos capacitores de barramento que estão ligados diretamente ao barramento. Mas essa pequena diferença de tensão gera discrepância entre os esforços de corrente nos semicondutores responsáveis por comutar os capacitores chaveados, os quais naturalmente divergem dos esforços dos semicondutores que comutam a saída do conversor, que são os semicondutores com os maiores esforços de corrente (desde que as capacitâncias dos capacitores chaveados sejam devidamente dimensionadas).

A variação da corrente de entrada é função das tensões dos capacitores de barramento que tendem a ser metade da tensão de entrada, assim como nos capacitores chaveados. Dessa forma existe uma inércia de tensão nos capacitores de processamento de energia e, por conseguinte, uma inércia na corrente de entrada. Isso faz com a corrente de entrada seja contínua, o que torna menos crítica a operação de estágios de processamento de energia precedentes ao conversor proposto, como um retificador, por exemplo. Ademais, a dinâmica mais lenta das variáveis relacionadas a esses componentes permite a modelagem dinâmica levando-se em consideração apenas a tensão de saída e a corrente de saída como variáveis de estados, de forma a obter-se uma função de transferência de pequenos sinais de segunda ordem e linear. Ainda no Capítulo 4 verifica-se que a frequência da tensão pulsada v_{AB} na entrada do filtro de saída é quatro vezes a frequência de chaveamento f_s , o que reduz o tamanho

do filtro de saída.

No Capítulo 5 apresenta-se uma adaptação da teoria desenvolvida no Capítulo 4, da operação como conversor cc-cc para operação como inversor de tensão. O objetivo desse capítulo é de aproveitar o equacionamento desenvolvido e fornecer meios para um projeto inicial de inversor baseado nesta estrutura, que é, talvez, o principal apelo dessa. O estudo da estrutura como inversor de tensão também justifica-se pelo fato de que o conversor é excitado nos quatro quadrantes de operação. O funcionamento como inversor, a rigor, demandaria a análise do circuito em corrente alternada, com a formulação de outra teoria.

No Capítulo 6 é apresentado um exemplo de projeto de forma a demonstrar como se dá o uso das equações desenvolvidas para o projeto inicial de um conversor que empregue essa topologia. Resultados de simulação são confrontados com resultados teóricos e verifica-se que a teoria apresentada é válida, com resultados satisfatórios, em geral com erro relativo menor que 1% e com todos os valores estando dentro do inicialmente especificado. Conforme verifica-se através dos resultados de simulação a hipótese, assumida para descrever a diferença de tensão entre os capacitores de barramento e os capacitores chaveados ao longo do tempo, na operação como inversor, é relativamente grosseira. Entretanto, os valores obtidos teoricamente não afastam-se em demasiado dos resultados de simulação, de modo que o equacionamento do Capítulo 5 é válido para uma etapa inicial de projeto.

Quanto ao modelo dinâmico de pequenos sinais, os resultados de simulação demonstraram que o modelo representa quase que fielmente o comportamento dinâmico do sistema e que o sistema é linear, uma vez que não houve discrepância entre a resposta ao degrau do modelo e do circuito, mesmo com para um degrau significativo na razão cíclica. Conforme consta no Capítulo 4, a função de transferência possui duas expressões possíveis, a depender da razão cíclica, mas para o ponto de linearização escolhido, razão cíclica de 75%, numericamente se obtém expressões muito similares.

Ainda no Capítulo 6 são apresentados resultados experimentais obtidos com um protótipo de 115 W com tensão de entrada de 48 V, tensão eficaz de saída de 110 V / 50 Hz e frequência de chaveamento de 10 kHz. Embora esses resultados não tenham sido usados para uma análise quantitativa, serviram para corroborar o princípio de funcionamento idealizado, mostrando que a topologia sintetiza até 5 níveis de tensão de saída e que ocorre o auto-balanço das tensões dos capacitores de processamento energia e que a frequência da tensão pulsada v_{AB} na entrada do filtro de saída é quatro vezes a frequência de chaveamento f_s .

Contudo, a topologia necessita de um número elevado de interruptores, se comparada a outras topologias de 5 níveis de tensão de saída. Além disso, a teoria desenvolvida desconsidera a resistência série-equivalente dos capacitores, o que implica no uso de capacitores de custo mais elevado, uma vez que as capacitâncias

são relativamente grandes e para que se tenha baixa resistência série-equivalente é necessário recorrer a tecnologias como capacitores de polipropileno metalizado, o que dificulta verificar experimentalmente a teoria desenvolvida.

7.1 TRABALHOS FUTUROS

A seguir são elencados alguns aspectos que podem ser levados em consideração para uma continuidade deste trabalho:

1. Análise teórica levando-se em consideração a resistência série-equivalente dos capacitores;
2. Mapeamento de todos os estados topológicos em função da razão cíclica e verificação se há a influência de outros parâmetros;
3. Estudo da eficiência do conversor em função da frequência de chaveamento (a princípio a eficiência aumenta para maiores frequências de chaveamento);
4. Comparar o desempenho com outras estruturas de 5 níveis de tensão;
5. Estudo do emprego de outras técnicas de modulação;
6. Estudo da variante trifásica.

REFERÊNCIAS

- ANDERSEN, R. L.; LAZZARIN, T. B.; BARBI, I. A 1-kw step-up/step-down switched-capacitor ac-ac converter. *IEEE Transactions on Power Electronics*, v. 28, n. 7, p. 3329–3340, July 2013. ISSN 0885-8993.
- BABAEI, E.; GOWGANI, S. S. Hybrid multilevel inverter using switched capacitor units. *IEEE Transactions on Industrial Electronics*, v. 61, n. 9, p. 4614–4621, Sept 2014. ISSN 0278-0046.
- BAKER, R. H. *Switching circuit*. 1980. US Patent 4,210,826.
- BARBI, I. *Eletrônica de Potência*. Florianópolis - SC: Editora da UFSC, 2005.
- BARBI, I.; FONT, C. H. I.; ALVES, R. L. Projeto físico de indutores e transformadores. In: *Instituto de Eletrônica de Potência – Departamento de Engenharia Elétrica – Universidade Federal de Santa Catarina*. [S.l.: s.n.], 2002. p. 1–11.
- BATSCHAUER, A. L. *Inversor Multiníveis Híbrido Trifásico Baseado em Módulos Meia-Ponte*. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, 2011.
- BEN-YAAKOV, S. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. *IEEE Transactions on Power Electronics*, v. 27, n. 2, p. 632–636, Feb 2012. ISSN 0885-8993.
- BEN-YAAKOV, S.; EVZELMAN, M. Generic and unified model of switched capacitor converters. In: *2009 IEEE Energy Conversion Congress and Exposition*. [S.l.: s.n.], 2009. p. 3501–3508. ISSN 2329-3721.
- BRUCKNER, T.; BERNET, S.; GULDNER, H. The active npc converter and its loss-balancing control. *IEEE Transactions on Industrial Electronics*, v. 52, n. 3, p. 855–868, June 2005. ISSN 0278-0046.
- CHOI, W.; YOO, J.; CHOI, J. High efficiency dc-dc converter with high step-up gain for low pv voltage sources. In: *8th International Conference on Power Electronics - ECCE Asia*. [S.l.: s.n.], 2011. p. 1161–1163.
- CORTEZ, D. F. et al. Dc-dc converter for dual-voltage automotive systems based on bidirectional hybrid switched-capacitor architectures. *IEEE Transactions on Industrial Electronics*, v. 62, n. 5, p. 3296–3304, May 2015.
- DAHONO, P. A.; SATO, Y.; KATAOKA, T. A novel method for analysis of inverter currents. In: *1994 Fifth International Conference on Power Electronics and Variable-Speed Drives*. [S.l.: s.n.], 1994. p. 407–412.
- DAHONO, P. A.; SATO, Y.; KATAOKA, T. Analysis of conduction losses in inverters. *IEE Proceedings - Electric Power Applications*, v. 142, n. 4, p. 225–232, July 1995.
- DIAS, J. C.; LAZZARIN, T. B. Steady state analysis of voltage multiplier ladder switched-capacitor cell. In: *2016 12th IEEE International Conference on Industry Applications (INDUSCON)*. [S.l.: s.n.], 2016. p. 1–6.

DIAS, J. C.; LAZZARIN, T. B. A family of voltage-multiplier unidirectional single-phase hybrid boost pfc rectifiers. *IEEE Transactions on Industrial Electronics*, v. 65, n. 1, p. 232–241, Jan 2018. ISSN 0278-0046.

DICKSON, J. F. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits*, v. 11, n. 3, p. 374–378, June 1976. ISSN 0018-9200.

EGUCHI, K. et al. Design of a step-up/step-down k ($=2,3, \dots$)-fibonacci dc-dc converter designed by switched-capacitor techniques. In: *2012 Fifth International Conference on Intelligent Networks and Intelligent Systems*. [S.l.: s.n.], 2012. p. 170–173.

ERICKSON, R. W.; MAKSIMOVIĆ, D. *Fundamentals of Power Electronics*. 2. ed. Colorado: Kluwer Academic, 2001.

ESFANDIARI, E.; BAHRAMINEJAD, B. High-resolution numeral-based multilevel inverter with low number of conducting switches for low-voltage pv applications. In: *The 5th Annual International Power Electronics, Drive Systems and Technologies Conference (PEDSTC 2014)*. [S.l.: s.n.], 2014. p. 550–555.

FEITOSA JR., A. *Alemanha tinha tanta energia elétrica no Natal que precisou pagar às pessoas para elas usarem*. 2018.

GUENEGUES, V. et al. A converter topology for high speed motor drive applications. In: *2009 13th European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2009. p. 1–8.

HEERDT, J. A. *Carga Eletrônica Ativa Trifásica*. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, 2013.

HOLTZ, J. Selbstgeführte wechselrichter mit treppenförmiger ausgangsspannung für große leistung und hohe frequenz (self-commutated three-phase inverters with stair-case voltage waveforms for high-power applications at low switching frequency). *Siemens Review*, v. 6, p. 163–171, 07 1977.

HOU, S. et al. Multi-input step-up converters based on the switched-diode-capacitor voltage accumulator. *IEEE Transactions on Power Electronics*, v. 31, n. 1, p. 381–393, Jan 2016.

IOINOVICI, A. Switched-capacitor power electronics circuits. *IEEE Circuits Syst. Mag.*, v. 1, n. 3, p. 37–42, Jul 2001.

KOURO, S. et al. Recent advances and industrial applications of multilevel converters. *IEEE Transactions on Industrial Electronics*, v. 57, n. 8, p. 2553–2580, Aug 2010. ISSN 0278-0046.

LAM, J. C. W.; JAIN, P. K. A modified valley fill electronic ballast having a current source resonant inverter with improved line-current total harmonic distortion (thd), high power factor, and low lamp crest factor. *IEEE Transactions on Industrial Electronics*, v. 55, n. 3, p. 1147–1159, March 2008. ISSN 0278-0046.

LARICO, H. R. E.; TOMIN JR., V. P.; LARICO, E. R. E. Unified second-stage Lc filter applied in the three-state switching cell buck–boost converter: Static and dynamic analysis and experimentation. *IEEE Transactions on Industrial Electronics*, v. 67, n. 1, p. 225–234, Jan 2020.

LAZZARIN, T. B.; ANDERSEN, R. L.; BARBI, I. A switched-capacitor three-phase ac–ac converter. *IEEE Transactions on Industrial Electronics*, v. 62, n. 2, p. 735–745, Feb 2015. ISSN 0278-0046.

LEON, J. I.; VAZQUEZ, S.; FRANQUELO, L. G. Multilevel converters: Control and modulation techniques for their operation and industrial applications. *Proceedings of the IEEE*, v. 105, n. 11, p. 2066–2081, Nov 2017. ISSN 0018-9219.

LI, C. et al. A family of high gain hybrid switched capacitor-inductor dc-dc circuits for renewable energy applications. In: *2014 IEEE Conference and Expo Transportation Electrification Asia-Pacific (ITEC Asia-Pacific)*. [S.l.: s.n.], 2014. p. 1–6.

LI, S. et al. Analysis and design of the ladder resonant switched-capacitor converters for regulated output voltage applications. *IEEE Transactions on Industrial Electronics*, v. 64, n. 10, p. 7769–7779, Oct 2017. ISSN 0278-0046.

LIN, P.; CHUA, L. Topological generation and analysis of voltage multiplier circuits. *IEEE Transactions on Circuits and Systems*, v. 24, n. 10, p. 517–530, October 1977. ISSN 0098-4094.

MAK, O.-C.; WONG, Y.-C.; IOINOVICI, A. Step-up dc power supply based on a switched-capacitor circuit. *IEEE Transactions on Industrial Electronics*, v. 42, n. 1, p. 90–97, Feb 1995. ISSN 0278-0046.

MARTINS, G. B. *Estudo de Conversores a Capacitor Chaveado*. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, Florianópolis – SC, 2013.

MECKE, R. Multilevel npc inverter for low-voltage applications. In: *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2011. p. 1–10.

MEYNARD, T. A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: *PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 1992. p. 397–403 vol.1.

MÜLLER, L.; KIMBALL, J. W. High gain dc–dc converter based on the cockcroft–walton multiplier. *IEEE Transactions on Power Electronics*, v. 31, n. 9, p. 6405–6415, Sep. 2016. ISSN 0885-8993.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, Sep. 1981. ISSN 0093-9994.

OGATA, K. *Modern Control Engineering*. 5. ed. New Jersey: Pearson, 2010.

PENG, F. Z. A generalized multilevel inverter topology with self voltage balancing. *IEEE Transactions on Industry Applications*, v. 37, n. 2, p. 611–618, Mar 2001. ISSN 0093-9994.

PENG, F. Z.; ZHANG, F. A novel compact dc/dc converter for 42 v systems. In: *Power Electronics in Transportation, 2002*. [S.l.: s.n.], 2002. p. 143–148.

PENG, F. Z.; ZHANG, F.; QIAN, Z. A magnetic-less dc-dc converter for dual voltage automotive systems. In: *Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting (Cat. No.02CH37344)*. [S.l.: s.n.], 2002. v. 2, p. 1303–1310 vol.2.

PENG, F. Z.; ZHANG, F.; QIAN, Z. A magnetic-less dc-dc converter for dual-voltage automotive systems. *IEEE Transactions on Industry Applications*, v. 39, n. 2, p. 511–518, March 2003. ISSN 0093-9994.

PEREIRA, I. F. B. d. F. *Projectar, Simular e Implementar um Inversor Multinível*. Dissertação (Mestrado) — Universidade do Porto, Faculdade de Engenharia da Universidade do Porto, Mestrado Integrado em Engenharia Electrotécnica e de Computadores Major de Automação, Porto - Distrito do Porto, 2008.

POMILIO, J. A. *Eletrônica de Potência para Geração, Transmissão e Distribuição de Energia Elétrica*. Campinas - SP: Editora da Unicamp, 2012.

QIAN, W. et al. A switched-capacitor dc–dc converter with high voltage gain and reduced component rating and count. *IEEE Transactions on Industry Applications*, v. 48, n. 4, p. 1397–1406, July 2012.

RANJANA, M. S. B.; REDDY, N. S.; KUMAR, R. K. P. A novel non-isolated high step-up dc-dc converters for photovoltaic applications. In: *2014 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2014]*. [S.l.: s.n.], 2014. p. 970–977.

SAHOO, M.; KUMAR, K. S. High gain step up dc-dc converter for dc micro-grid application. In: *7th International Conference on Information and Automation for Sustainability*. [S.l.: s.n.], 2014. p. 1–5.

SARAFIANOS, A.; STEYAERT, M. Fully integrated wide input voltage range capacitive dc-dc converters: The folding dickson converter. *IEEE Journal of Solid-State Circuits*, v. 50, n. 7, p. 1560–1570, July 2015. ISSN 0018-9200.

SILVA, G. V.; COELHO, R. F.; LAZZARIN, T. B. Switched capacitor boost inverter. In: *2016 IEEE 25th International Symposium on Industrial Electronics (ISIE)*. [S.l.: s.n.], 2016. p. 528–533. ISSN 2163-5145.

SUGANYA, A.; SUDHAKARAN, M. Performance analysis of high step-up dc-dc converter for photovoltaic (pv) system. In: *2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]*. [S.l.: s.n.], 2015. p. 1–8.

TOMIN JR., V. P.; LARICO, H. R. E.; GREFF, D. S. Current-fed switched-capacitor 5-level single-phase inverter. In: *2018 13th IEEE International Conference on Industry Applications (INDUSCON)*. [S.l.: s.n.], 2018. p. 1306–1312.

UENO, F. et al. Emergency power supply for small computer systems. In: *1991., IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 1991. p. 1065–1068 vol.2.

- VECCHIA, M. D. *Conversores CC-CC Não Isolados Gerados pela Integração entre Células de Capacitores Chaveados e Células Convencionais de Comutação*. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, Florianópolis – SC, 2016.
- VECCHIA, M. D.; LAZZARIN, T. B.; BARBI, I. A three-phase ac–ac converter in open-delta connection based on switched capacitor principle. *IEEE Transactions on Industrial Electronics*, v. 62, n. 10, p. 6035–6041, Oct 2015. ISSN 0278-0046.
- VECCHIA, M. D.; SALVADOR, M. A.; LAZZARIN, T. B. Hybrid nonisolated dc–dc converters derived from a passive switched-capacitor cell. *IEEE Transactions on Power Electronics*, v. 33, n. 4, p. 3157–3168, April 2018. ISSN 0885-8993.
- WANG, L.; ZHANG, B.; QIU, D. A novel valley-fill single-stage boost-forward converter with optimized performance in universal-line range for dimmable led lighting. *IEEE Transactions on Industrial Electronics*, v. 64, n. 4, p. 2770–2778, April 2017. ISSN 0278-0046.
- Wilkinson, R. H.; Meynard, T. A.; du Toit Mouton, H. Natural balance of multicell converters: The two-cell case. *IEEE Transactions on Power Electronics*, v. 21, n. 6, p. 1649–1657, Nov 2006.
- WONG, Y.-C.; MAK, O.-C.; IOINOVICI, A. Development of boost converter based on switched-capacitor circuits. In: *Proceedings of TENCON '93. IEEE Region 10 International Conference on Computers, Communications and Automation*. [S.l.: s.n.], 1993. v. 5, p. 522–525 vol.5.
- WU, B. et al. A family of two-switch boosting switched-capacitor converters. *IEEE Transactions on Power Electronics*, v. 30, n. 10, p. 5413–5424, Oct 2015.
- XIONG, S.; TAN, S. Family of cascaded high-voltage-gain bidirectional switched-capacitor dc-dc converters. In: *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2015. p. 6648–6654.
- YUAN, X.; BARBI, I. Fundamentals of a new diode clamping multilevel inverter. *IEEE Transactions on Power Electronics*, v. 15, n. 4, p. 711–718, July 2000. ISSN 0885-8993.
- ZAMIRI, E. et al. A new cascaded switched-capacitor multilevel inverter based on improved series-parallel conversion with less number of components. *IEEE Transactions on Industrial Electronics*, v. 63, n. 6, p. 3582–3594, June 2016. ISSN 0278-0046.

APÊNDICE A – EXEMPLO DE CÁLCULO DAS CORRENTES DOS CAPACITORES DE PROCESSAMENTO DE ENERGIA DO C4Q-CC-3N ATRAVÉS DE ANÁLISE POR SUPERPOSIÇÃO

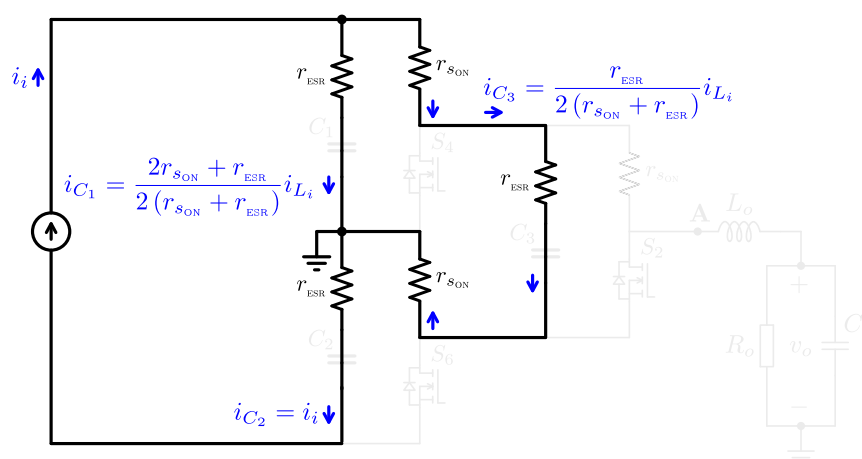
Neste apêndice é demonstrado como o princípio de superposição é aplicado para determinar as correntes nos capacitores de processamento de energia do C4Q-CC-3N. O procedimento adotado para o cálculo das correntes dos capacitores de processamento de energia do C4Q-CC-3N, aplicado para todos os estados topológicos (apresentados na Capítulo 3), é exemplificado para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$.

Embora conversores estáticos (chaveados) não sejam sistemas lineares, os estados topológicos – ou de chaveamento – são sistemas lineares, quando analisados individualmente. Em vista disso o princípio de superposição é aplicável para cada estado topológico. Este princípio diz que para determinado circuito com n fontes de corrente e/ou tensão independentes, determinada grandeza (tensão ou corrente) é resultado das contribuições independentes de cada fonte de tensão e/ou corrente. Dessa forma analisa-se a contribuição individual de cada uma das fontes substituindo-se as demais fontes de tensão por curto-circuito e as demais fontes de corrente por circuito aberto. A grandeza é computada pelo somatório das contribuições individuais de cada fonte.

Das considerações simplificatórias feitas no Capítulo 3 e para o propósito da análise por superposição admite-se a carga e a fonte de entrada V_i como fontes de corrente, bem como os capacitores como fontes de tensão.

Na Fig. A.1 é apresentado o circuito equivalente para contribuição individual da corrente de entrada para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$, onde os capacitores são curto-circuitados e saída é substituída por circuito aberto.

Figura A.1 – Contribuição da corrente de entrada na análise por superposição para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$



Nesse circuito, a corrente de entrada é dividida entre os ramos dos capacitores

C_1 e C_3 conforme a malha resistiva e flui integralmente por C_2 . Dessa forma tem-se:

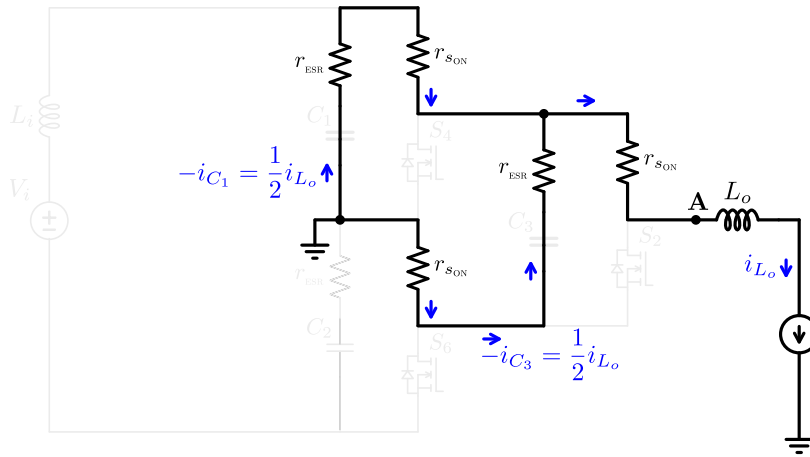
$$i_{C_{1,1}} = \frac{2r_{s_{ON}} + r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} \quad (\text{A.1})$$

$$i_{C_{2,1}} = i_{L_i} \quad (\text{A.2})$$

$$i_{C_{3,1}} = \frac{r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} \quad (\text{A.3})$$

Na Fig. A.2 é apresentado o circuito equivalente para contribuição individual da corrente de saída para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$, onde os capacitores são curto-circuitados e a entrada é substituída por circuito aberto.

Figura A.2 – Contribuição da corrente de saída na análise por superposição para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$



Nesse circuito, a corrente de entrada é dividida igualmente entre os ramos dos capacitores C_1 e C_3 e nenhuma parcela flui por C_2 . Dessa forma tem-se:

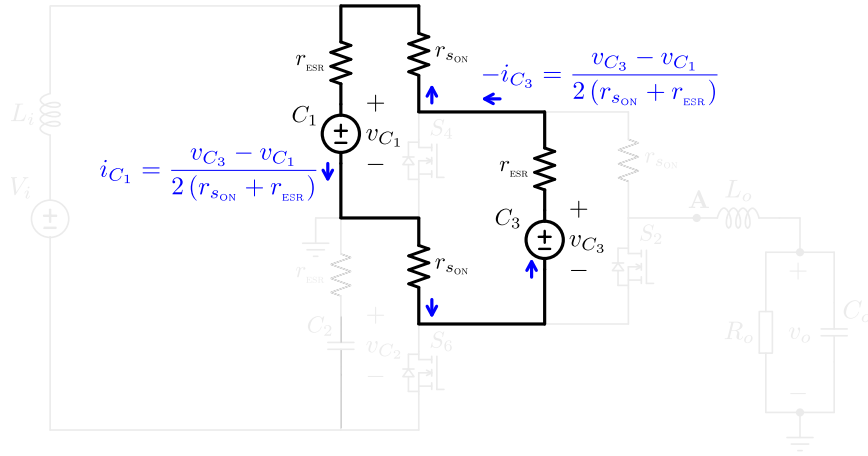
$$i_{C_{1,2}} = -\frac{1}{2} i_{L_o} \quad (\text{A.4})$$

$$i_{C_{2,2}} = 0 \quad (\text{A.5})$$

$$i_{C_{3,2}} = -\frac{1}{2} i_{L_o} \quad (\text{A.6})$$

Na Fig. A.3 é apresentado o circuito equivalente para contribuição individual das tensões nos capacitores para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$, onde a entrada e a saída são substituídas por circuitos abertos.

Figura A.3 – Contribuição das tensões nos capacitores na análise por superposição para o estado topológico 11 do C4Q-CC-3N com $0 \leq \delta \leq 1/2$



Nesse circuito, a diferença de tensão entre os capacitores C_1 e C_3 cria uma corrente entre os mesmos, limitada pela malha resistiva. Dessa forma tem-se:

$$i_{C_{1,3}} = \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (\text{A.7})$$

$$i_{C_{2,3}} = 0 \quad (\text{A.8})$$

$$i_{C_{3,3}} = -\frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (\text{A.9})$$

As correntes nos capacitores são computadas pelo somatório das parciais, isto é, das contribuições individuais de cada uma das fontes:

$$i_{C_1(11)} = \sum_i^n i_{C_1,i} = \frac{2r_{s_{ON}} + r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} - \frac{1}{2} i_{L_o} + \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (\text{A.10})$$

$$i_{C_2(11)} = \sum_i^n i_{C_2,i} = i_{L_i} \quad (\text{A.11})$$

$$i_{C_3(11)} = \sum_i^n i_{C_3,i} = \frac{r_{ESR}}{2(r_{s_{ON}} + r_{ESR})} i_{L_i} - \frac{1}{2} i_{L_o} - \frac{v_{C_3} - v_{C_1}}{2(r_{s_{ON}} + r_{ESR})} \quad (\text{A.12})$$

APÊNDICE B – IGUALDADE DAS TENSÕES MÉDIAS INSTANTÂNEAS ENTRE OS CAPACITORES DE BARRAMENTO E ENTRE OS CAPACITORES CHAVEADOS

Neste apêndice é demonstrada a validade das igualdades (4.8) e (4.9). Para tanto, diferentemente do que é apresentado no Capítulo 4, são consideradas as 7 variáveis de estado (v_{C_1} , v_{C_2} , v_{C_A} , v_{C_B} , v_{C_o} , i_{L_i} e i_{L_o}). A seguir são equacionadas as correntes nos capacitores chaveados C_A e C_B para região de operação R1 e R2 e na sequência obtidas equações que relacionam as tensões nos capacitores. Como os estados topológicos são os mesmos do Capítulo 4 as figuras apresentadas nas Seções 4.1.3 e 4.1.4 podem ser usadas para acompanhar o equacionamento.

B.1 REGIÃO R1

B.1.1 Estado topológico 1100

$$i_{C_A(1100)} = \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.1})$$

$$i_{C_B(1100)} = \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.2})$$

B.1.2 Estado topológico 0100

$$i_{C_A(0100)} = \frac{i_{L_o}}{2C} + \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.3})$$

$$i_{C_B(0100)} = \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.4})$$

B.1.3 Estado topológico 1000

$$i_{C_A(1000)} = 0 \quad (\text{B.5})$$

$$i_{C_B(1000)} = \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.6})$$

B.1.4 Estado topológico 1101

$$i_{C_A(1101)} = \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.7})$$

$$i_{C_B(1101)} = 0 \quad (\text{B.8})$$

B.1.5 Estado topológico 1110

$$i_{C_A(1110)} = \frac{v_{C_1}}{2Cr_{sON}} - \frac{i_{L_o}}{2C} - \frac{v_{C_A}}{2Cr_{sON}} \quad (\text{B.9})$$

$$i_{C_B(1110)} = \frac{i_{L_o}}{2C} + \frac{v_{C_2}}{2Cr_{sON}} - \frac{v_{C_B}}{2Cr_{sON}} \quad (\text{B.10})$$

B.1.6 Correntes médias instantâneas

Em regime permanente a corrente média instantânea no capacitor C_A é nula, portanto:

$$\overline{i_{C_A}} = \frac{1}{T_s} \int_t^{t+T_s} i_{C_A} dt = 0$$

$$\overline{i_{C_A}} = (4\delta - 1) i_{C_A(1100)} + \left(\frac{1}{2} - \delta\right) \left(i_{C_A(0100)} + i_{C_A(1000)} + i_{C_A(1101)} + i_{C_A(1110)}\right) = 0 \quad (\text{B.11})$$

Substituindo-se (B.1), (B.3), (B.5), (B.7) e (B.9) em (B.11) tem-se:

$$\overline{i_{C_A}} = \frac{\overline{v_{C_1}} - \overline{v_{C_A}} + 2\delta\overline{v_{C_1}} - 2\delta\overline{v_{C_A}} + i_{L_o}r_{sON} - 6\delta i_{L_o}r_{sON}}{4Cr_{sON}} = 0 \quad (\text{B.12})$$

Em regime permanente a corrente média instantânea no capacitor C_B é nula, portanto:

$$\overline{i_{C_B}} = \frac{1}{T_s} \int_t^{t+T_s} i_{C_B} dt = 0$$

$$\overline{i_{C_B}} = (4\delta - 1) i_{C_B(1100)} + \left(\frac{1}{2} - \delta\right) \left(i_{C_B(0100)} + i_{C_B(1000)} + i_{C_B(1101)} + i_{C_B(1110)}\right) = 0 \quad (\text{B.13})$$

Substituindo-se (B.2), (B.4), (B.6), (B.8) e (B.10) em (B.13) tem-se:

$$\overline{i_{C_B}} = \frac{\overline{v_{C_2}} - \overline{v_{C_B}} + 2\delta\overline{v_{C_2}} - 2\delta\overline{v_{C_B}} + i_{L_o}r_{sON} - 6\delta i_{L_o}r_{sON}}{4Cr_{sON}} = 0 \quad (\text{B.14})$$

Onde $\overline{v_{C_1}}$, $\overline{v_{C_2}}$, $\overline{v_{C_A}}$ e $\overline{v_{C_B}}$ são as tensões médias instantâneas nos capacitores C_1 , C_2 , C_A e C_B , respectivamente e $\overline{i_{C_A}}$ e $\overline{i_{C_B}}$ são as correntes médias instantâneas nos capacitores C_A e C_B , respectivamente.

B.2 REGIÃO R2

B.2.1 Estado topológico 1110

$$i_{C_A(1110)} = \frac{v_{C_1}}{2Cr_{sON}} - \frac{i_{L_o}}{2C} - \frac{v_{C_A}}{2Cr_{sON}} \quad (\text{B.15})$$

$$i_{C_B(1110)} = \frac{i_{L_o}}{2C} + \frac{v_{C_2}}{2Cr_{sON}} - \frac{v_{C_B}}{2Cr_{sON}} \quad (\text{B.16})$$

B.2.2 Estado topológico 1101

$$i_{C_A(1101)} = \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.17})$$

$$i_{C_B(1101)} = 0 \quad (\text{B.18})$$

B.2.3 Estado topológico 0100

$$i_{C_A(0100)} = \frac{i_{L_o}}{2C} + \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.19})$$

$$i_{C_B(0100)} = \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.20})$$

B.2.4 Estado topológico 1000

$$i_{C_A(1000)} = 0 \quad (\text{B.21})$$

$$i_{C_B(1000)} = \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{i_{L_o}}{2C} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.22})$$

B.2.5 Estado topológico 1010

$$i_{C_A(1010)} = 0 \quad (\text{B.23})$$

$$i_{C_B(1010)} = \frac{i_{L_o}}{2C} + \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.24})$$

B.2.6 Estado topológico 1001

$$i_{C_A(1001)} = 0 \quad (\text{B.25})$$

$$i_{C_B(1001)} = 0 \quad (\text{B.26})$$

B.2.7 Estado topológico 0110

$$i_{C_A(0110)} = \frac{i_{L_o}}{2C} + \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.27})$$

$$i_{C_B(0110)} = \frac{i_{L_o}}{2C} + \frac{v_{C_2}}{2Cr_{s_{ON}}} - \frac{v_{C_B}}{2Cr_{s_{ON}}} \quad (\text{B.28})$$

B.2.8 Estado topológico 0101

$$i_{C_A(0101)} = \frac{i_{L_o}}{2C} + \frac{v_{C_1}}{2Cr_{s_{ON}}} - \frac{v_{C_A}}{2Cr_{s_{ON}}} \quad (\text{B.29})$$

$$i_{C_B(0101)} = 0 \quad (\text{B.30})$$

B.2.9 Correntes médias instantâneas

Em regime permanente a corrente média instantânea no capacitor C_A é nula, portanto:

$$\begin{aligned} \overline{i_{C_A}} &= \frac{1}{T_s} \int_t^{t+T_s} i_{C_A} dt = 0 \\ \overline{i_{C_A}} &= \delta \left(i_{C_A(1110)} + i_{C_A(1101)} + i_{C_A(0100)} + i_{C_A(1000)} \right) + \\ &\quad (1/4 - \delta) \left(i_{C_A(1010)} + i_{C_A(1001)} + i_{C_A(0110)} + i_{C_A(0101)} \right) = 0 \end{aligned} \quad (\text{B.31})$$

Substituindo-se (B.15), (B.17), (B.19), (B.21), (B.23), (B.25), (B.27) e (B.29) em (B.31) tem-se:

$$\overline{i_{C_A}} = \frac{\overline{v_{C_1}} - \overline{v_{C_A}} + 2\delta\overline{v_{C_1}} - 2\delta\overline{v_{C_A}} + i_{L_o}r_{s_{ON}} - 6\delta i_{L_o}r_{s_{ON}}}{4Cr_{s_{ON}}} = 0 \quad (\text{B.32})$$

Em regime permanente a corrente média instantânea no capacitor C_B é nula, portanto:

$$\begin{aligned} \overline{i_{C_B}} &= \frac{1}{T_s} \int_t^{t+T_s} i_{C_B} dt = 0 \\ \overline{i_{C_B}} &= \delta \left(i_{C_B(1110)} + i_{C_B(1101)} + i_{C_B(0100)} + i_{C_B(1000)} \right) + \\ &\quad (1/4 - \delta) \left(i_{C_B(1010)} + i_{C_B(1001)} + i_{C_B(0110)} + i_{C_B(0101)} \right) \end{aligned} \quad (\text{B.33})$$

Substituindo-se (B.16), (B.18), (B.20), (B.22), (B.24), (B.26), (B.28) e (B.30) em (B.34) tem-se:

$$\overline{i_{C_B}} = \frac{\overline{v_{C_2}} - \overline{v_{C_B}} + 2\delta\overline{v_{C_2}} - 2\delta\overline{v_{C_B}} + i_{L_o}r_{s_{ON}} - 6\delta i_{L_o}r_{s_{ON}}}{4Cr_{s_{ON}}} = 0 \quad (\text{B.34})$$

B.3 ANÁLISE

Observa-se que (B.12) e (B.32) são a mesma expressão, bem como (B.14) e (B.34). Dessa forma é possível escrever o sistema:

$$\begin{cases} \frac{\overline{v_{C_1}} - \overline{v_{C_A}} + 2\delta\overline{v_{C_1}} - 2\delta\overline{v_{C_A}} + i_{L_o}r_{s_{ON}} - 6\delta i_{L_o}r_{s_{ON}}}{4Cr_{s_{ON}}} = 0 \\ \frac{\overline{v_{C_2}} - \overline{v_{C_B}} + 2\delta\overline{v_{C_2}} - 2\delta\overline{v_{C_B}} + i_{L_o}r_{s_{ON}} - 6\delta i_{L_o}r_{s_{ON}}}{4Cr_{s_{ON}}} = 0 \end{cases} \quad (\text{B.35})$$

Simplificando (B.35) obtém-se:

$$\begin{cases} (\overline{v_{C_1}} - \overline{v_{C_A}}) (1 + 2\delta) = i_{L_o} r_{s_{ON}} (6\delta - 1) \\ (\overline{v_{C_2}} - \overline{v_{C_B}}) (1 + 2\delta) = i_{L_o} r_{s_{ON}} (6\delta - 1) \end{cases} \quad (\text{B.36})$$

Observa-se que as equações que compõem (B.36) são similares. Dessa forma reescreve-se (B.36) como:

$$(\overline{v_{C_1}} - \overline{v_{C_A}}) = (\overline{v_{C_2}} - \overline{v_{C_B}}) \quad (\text{B.37})$$

Nos estados topológicos 1000 em R1 e 1001, 1000, 1010 em R2, tem-se que:

$$v_{C_A} + V_f = v_{C_2} \quad (\text{B.38})$$

Mas as tensões instantâneas podem ser escritas em função das tensões médias instantâneas sobrepostas a perturbações:

$$v_{C_A} = \overline{v_{C_A}} + \hat{v}_{C_A} \quad (\text{B.39})$$

$$v_{C_2} = \overline{v_{C_2}} + \hat{v}_{C_2} \quad (\text{B.40})$$

onde \hat{v}_{C_A} é uma perturbação na tensão do capacitor C_A e \hat{v}_{C_2} é uma perturbação na tensão do capacitor C_2 . Dessa forma reescreve-se (B.38) como:

$$\overline{v_{C_A}} + \hat{v}_{C_A} + V_f = \overline{v_{C_2}} + \hat{v}_{C_2} \quad (\text{B.41})$$

As perturbações \hat{v}_{C_A} e \hat{v}_{C_2} representam as variações da tensão nos capacitores C_A e C_2 e são menores ou iguais à metade da ondulação de tensão nos respectivos capacitores, as quais são bem menores que as tensões médias nos capacitores:

$$|\hat{v}_{C_A}| \leq \frac{\Delta V_{C_A}}{2} \quad \therefore \quad \overline{v_{C_A}} \gg \hat{v}_{C_A} \quad (\text{B.42})$$

$$|\hat{v}_{C_2}| \leq \frac{\Delta V_{C_2}}{2} \quad \therefore \quad \overline{v_{C_2}} \gg \hat{v}_{C_2} \quad (\text{B.43})$$

dessa forma simplifica-se (B.41) como:

$$\begin{aligned} \overline{v_{C_A}} + \hat{v}_{C_A} + V_f &\approx \overline{v_{C_2}} + \hat{v}_{C_2} \\ \overline{v_{C_A}} &\approx \overline{v_{C_2}} \end{aligned} \quad (\text{B.44})$$

Nos estados topológicos 1101 em R1 e 0101, 1101, 1001 em R2, tem-se:

$$v_{C_B} + V_f = v_{C_1} \quad (\text{B.45})$$

Portanto, de forma análoga:

$$\overline{v_{C_B}} \approx \overline{v_{C_1}} \quad (\text{B.46})$$

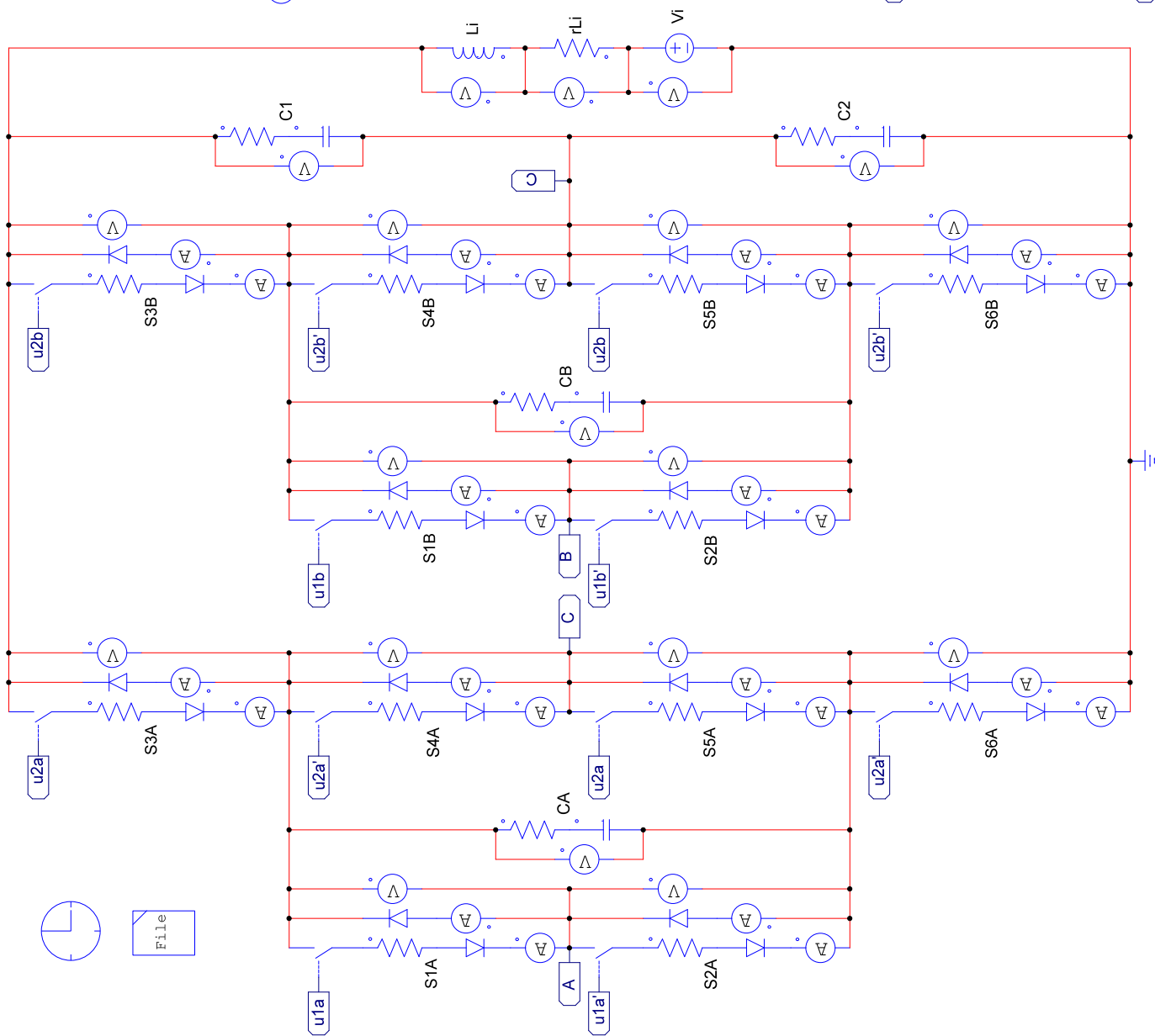
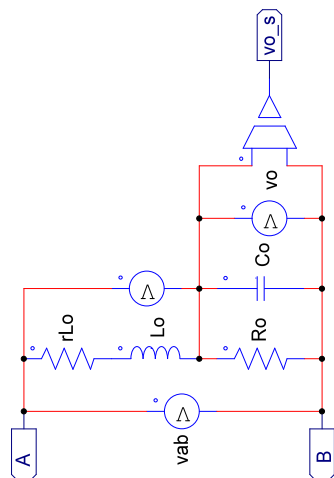
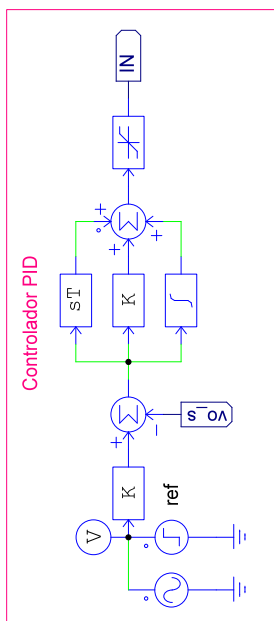
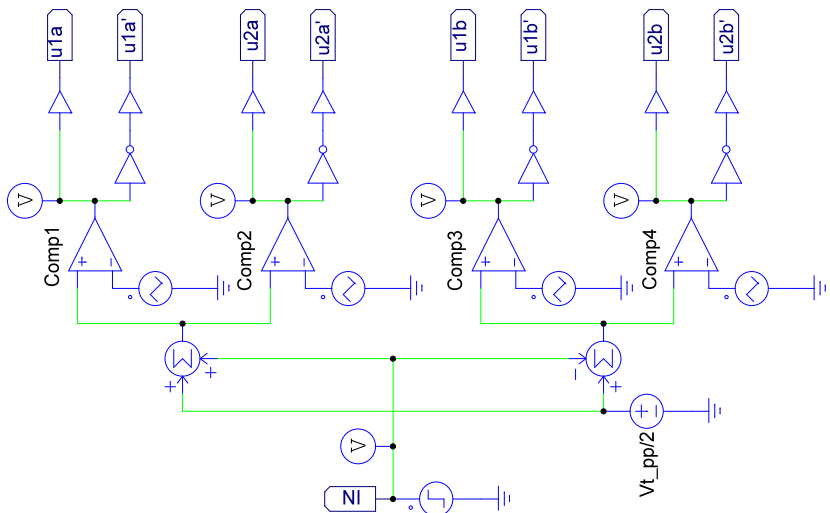
Substituindo-se (B.44) e (B.46) em (B.37) tem-se:

$$\begin{aligned}(\overline{v_{C_1}} - \overline{v_{C_2}}) &= (\overline{v_{C_2}} - \overline{v_{C_1}}) \\ 2\overline{v_{C_1}} &= 2\overline{v_{C_2}} \\ \overline{v_{C_1}} &= \overline{v_{C_2}}\end{aligned}\tag{B.47}$$

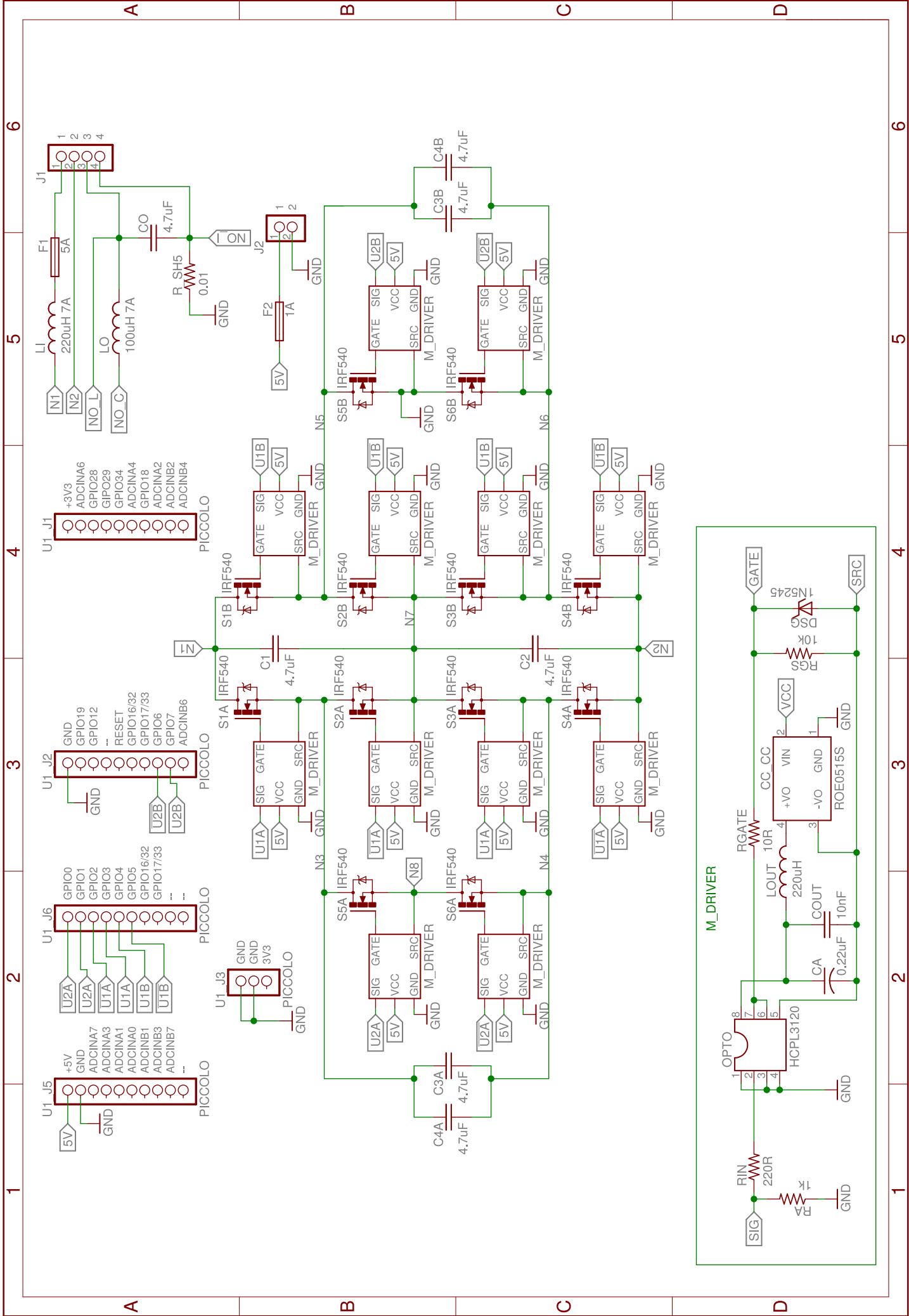
Substituindo-se (B.47) em (B.37) tem-se:

$$\begin{aligned}(\cancel{\overline{v_{C_1}}} - \overline{v_{C_A}}) &= (\cancel{\overline{v_{C_1}}} - \overline{v_{C_B}}) \\ -\overline{v_{C_A}} &= -\overline{v_{C_B}} \\ \overline{v_{C_A}} &= \overline{v_{C_B}}\end{aligned}\tag{B.48}$$

APÊNDICE C – CIRCUITO ESQUEMÁTICO USADO NAS SIMULAÇÕES



APÊNDICE D – CIRCUITO ESQUEMÁTICO DO PROTÓTIPO



APÊNDICE E – SOFTWARE EMBARCADO

E.1 CABEÇALHO PRINCIPAL

```

1  /*
2  * main_libraries.h
3  */
4
5  #ifndef MAIN_LIBRARIES_H_
6  #define MAIN_LIBRARIES_H_
7
8  #define HB 0
9  #define FB 1
10
11 #define SCMCM FB // Operation mode: Full Bridge (FB) or Half
    Bridge (HB)
12
13 #include "DSP28x_Project.h" // Device Headerfile and
    Examples Include File
14
15 #include "f2802x_common/include/adc.h"
16 #include "f2802x_common/include/clk.h"
17 #include "f2802x_common/include/flash.h"
18 #include "f2802x_common/include/gpio.h"
19 #include "f2802x_common/include/pie.h"
20 #include "f2802x_common/include/pll.h"
21 #include "f2802x_common/include/sci.h"
22 #include "f2802x_common/include/wdog.h"
23
24 #endif /* MAIN_LIBRARIES_H_ */

```

E.2 CABEÇALHO PARA FUNÇÕES DE PWM

```

1  /*
2  * pwm_control.h
3  */
4
5  #ifndef PWM_CONTROL_H_
6  #define PWM_CONTROL_H_
7
8  #include "../main_libraries.h"

```

```

9
10 #define PHASE_90      TBPRD_div_by_2
11 #define PHASE_180    TBPRD
12 #define PHASE_POS    PWM_PhaseDir_CountDown
13 #define PHASE_NEG    PWM_PhaseDir_CountUp
14
15 void pwm1_init(void);
16 void pwm2_init(void);
17 void pwm3_init(void);
18 void pwm4_init(void);
19 void set_duty(int32_t duty);
20
21 #endif /* PWM_CONTROL_H_ */

```

E.3 ARQUIVO COM PONTOS DA SENOIDE

```

1  /*
2  * senoide.h
3  */
4
5  #ifndef SENOIDE_H_
6  #define SENOIDE_H_
7
8  const int32_t SineDuty[80] =
9  {
10  0, 78, 156, 233, 309, 383, 454, 522, 588, 649, 707, 760, 809,
11     853,
12  891, 924, 951, 972, 988, 997, 1000, 997, 988, 972, 951, 924,
13     891,
14  853, 809, 760, 707, 649, 588, 522, 454, 383, 309, 233, 156, 78,
15     0,
16  -78, -156, -233, -309, -383, -454, -522, -588, -649, -707,
17     -760,
18  -809, -853, -891, -924, -951, -972, -988, -997, -1000, -997,
19     -988,
20  -972, -951, -924, -891, -853, -809, -760, -707, -649, -588,
21     -522,
22  -454, -383, -309, -233, -156, -78
23  };
24
25 #endif /* SENOIDE_H_ */

```

E.4 ROTINA PRINCIPAL

```

1  /*
2  * main.c
3  */
4
5  #define DUTY_CYCLE 730
6
7  #include "main_libraries.h"
8  #include "PWM/pwm_control.h"
9  #include "SCI/sci_control.h"
10 #include "senoide.h"
11
12 CLK_Handle myClk;
13 GPIO_Handle myGpio;
14 PIE_Handle myPie;
15 SCI_Handle mySci;
16 CPU_Handle myCpu;
17 PLL_Handle myPll;
18 WDOG_Handle myWDog;
19 PWM_Handle myPwm1;
20 PWM_Handle myPwm2;
21 #if SCMCM == FB
22     PWM_Handle myPwm3;
23     PWM_Handle myPwm4;
24 #endif
25
26 void main(void)
27 {
28     myClk = CLK_init((void *)CLK_BASE_ADDR, sizeof(CLK_Obj));
29     myCpu = CPU_init((void *)NULL, sizeof(CPU_Obj));
30     myGpio = GPIO_init((void *)GPIO_BASE_ADDR, sizeof(GPIO_Obj)
31     );
32     myPie = PIE_init((void *)PIE_BASE_ADDR, sizeof(PIE_Obj));
33     myPll = PLL_init((void *)PLL_BASE_ADDR, sizeof(PLL_Obj));
34     mySci = SCI_init((void *)SCIA_BASE_ADDR, sizeof(SCI_Obj));
35     myWDog = WDOG_init((void *)WDOG_BASE_ADDR, sizeof(WDOG_Obj)
36     );
37     myPwm1 = PWM_init((void *)PWM_ePWM1_BASE_ADDR, sizeof(
38     PWM_Obj));

```

```

36     myPwm2 = PWM_init((void *)PWM_ePWM2_BASE_ADDR, sizeof(
        PWM_Obj));
37     #if SCMCN == FB
38     myPwm3 = PWM_init((void *)PWM_ePWM3_BASE_ADDR, sizeof(
        PWM_Obj));
39     myPwm4 = PWM_init((void *)PWM_ePWM4_BASE_ADDR, sizeof(
        PWM_Obj));
40     #endif
41
42     WDOG_disable(myWDog); // Disabling Watch Dog
43     (*Device_cal)();
44
45     CLK_setOscSrc(myClk, CLK_OscSrc_Internal); // Selecting
        Internal Clock Source
46     PLL_setup(myPll, PLL_Multiplier_12,
        PLL_DivideSelect_ClkIn_by_2); // Set to 60Mhz Main Clock (
        Internal Clock)
47
48     // Clear PIE
49     PIE_disable(myPie);
50     PIE_disableAllInts(myPie);
51     CPU_disableGlobalInts(myCpu);
52     CPU_clearIntFlags(myCpu);
53
54     // If running from flash copy RAM only functions to RAM
55     #ifdef _FLASH
56     memcpy(&RamfuncsRunStart, &RamfuncsLoadStart, (size_t)&
        RamfuncsLoadSize);
57     #endif
58
59     CLK_disableTbClockSync(myClk);
60     pwm1_init();
61     pwm2_init();
62     #if SCMCN == FB
63     pwm3_init();
64     pwm4_init();
65     #endif
66     CLK_enableTbClockSync(myClk);
67
68     DELAY_US(5000*1000); //5s
69
70     // set_duty(DUTY_CYCLE); for(;;){asm("NOP");}

```

```

71
72  ///  

73     uint8_t index = 0;  

74  

75     for(;;) {  

76         //asm(" NOP");  

77         set_duty((DUTY_CYCLE*SineDuty[index])/1000);  

78         DELAY_US(237);  

79         index++;  

80         if(index >= 80) {index = 0;}  

81     }  

82  ///  

83 } // End of main()

```

E.5 CONTROLE DA RAZÃO CÍCLICA

```

1  /*  

2  * pwm_control.c  

3  */  

4  

5  #include "pwm_control.h"  

6  

7  // TBPRD = MainClockFreq / (2*SwitchingFreq)  

8  const uint32_t TBPRD = 3000; // PWM period ticks  

9  const uint32_t TBPRD_div_by_2 = 1500; // PWM half period ticks  

10  

11 // dead time = EPWM_DB / MainClockFreq  

12 const uint32_t EPWM_DB = 5; // PWM dead time ticks  

13  

14 extern PWM_Handle myPwm1;  

15 extern PWM_Handle myPwm2;  

16 #if SCMCM == FB  

17     extern PWM_Handle myPwm3;  

18     extern PWM_Handle myPwm4;  

19 #endif  

20  

21 void set_duty(int32_t duty)  

22 {  

23     uint32_t regDuty = (uint32_t) ((TBPRD*(1000+duty))/2000);  

24     uint32_t regDutyN = TBPRD - regDuty;  

25     PWM_setCmpA(myPwm1, regDutyN);

```

```

26     PWM_setCmpA(myPwm2, regDutyN);
27     #if SCMCM == FB
28     PWM_setCmpA(myPwm3, regDutyN);
29     PWM_setCmpA(myPwm4, regDuty);
30     #endif
31 }

```

E.6 CONFIGURAÇÃO DO GERADOR DE PWM 1

```

1  /*
2  * pwm1_init.c
3  */
4
5  #include "pwm_control.h"
6
7  extern CLK_Handle myClk;
8  extern GPIO_Handle myGpio;
9  extern PWM_Handle myPwm1;
10
11 extern const uint32_t TBPRD;
12 extern const uint32_t TBPRD_div_by_2;
13 extern const uint32_t EPWM_DB;
14
15 void pwm1_init()
16 {
17     // Initialize GPIO
18     GPIO_setPullUp(myGpio, GPIO_Number_0, GPIO_PullUp_Disable);
19     GPIO_setPullUp(myGpio, GPIO_Number_1, GPIO_PullUp_Disable);
20     GPIO_setMode(myGpio, GPIO_Number_0, GPIO_0_Mode_EPWM1A);
21     GPIO_setMode(myGpio, GPIO_Number_1, GPIO_1_Mode_EPWM1B);
22
23     // Enables the pwm clock
24     CLK_enablePwmClock(myClk, PWM_Number_1);
25
26     // Sets period and phase 0
27     PWM_setSyncMode(myPwm1, PWM_SyncMode_CounterEqualZero); //
28     // Sets the pulse width modulation (PWM) sync mode
29     PWM_setPeriod(myPwm1, TBPRD); // Sets the pulse width
30     // modulation (PWM) period
31     PWM_setPhase(myPwm1, 0x0000); // Sets the pulse width
32     // modulation (PWM) phase

```

```

30     PWM_setCount(myPwm1, 0x0000); // Sets the pulse width
      modulation (PWM) count
31     PWM_setCounterMode(myPwm1, PWM_CounterMode_UpDown); // Sets
      the pulse width modulation (PWM) counter mode
32     PWM_disableCounterLoad(myPwm1); // Disables the pulse width
      modulation (PWM) counter loading from the phase register
33
34     // Sets Clock divisions
35     PWM_setHighSpeedClkDiv(myPwm1, PWM_HspClkDiv_by_1);
36     PWM_setClkDiv(myPwm1, PWM_ClkDiv_by_1);
37
38     // Sets Compare values for duty cycle
39     PWM_setCmpA(myPwm1, TBPRD_div_by_2);
40
41     // Sets actions
42     PWM_setActionQual_CntUp_CmpA_PwmA(myPwm1,
      PWM_ActionQual_Set);
43     PWM_setActionQual_CntDown_CmpA_PwmA(myPwm1,
      PWM_ActionQual_Clear);
44
45     PWM_setActionQual_CntUp_CmpA_PwmB(myPwm1,
      PWM_ActionQual_Clear);
46     PWM_setActionQual_CntDown_CmpA_PwmB(myPwm1,
      PWM_ActionQual_Set);
47
48     // Active Low complementary PWMs
49     PWM_setDeadBandOutputMode(myPwm1,
      PWM_DeadBandOutputMode_EPWMxA_Rising_EPWMxB_Falling);
50     PWM_setDeadBandPolarity(myPwm1,
      PWM_DeadBandPolarity_EPWMxB_Inverted);
51     PWM_setDeadBandInputMode(myPwm1,
      PWM_DeadBandInputMode_EPWMxB_Rising_and_Falling);
52
53     // Setup the dead band (dead time)
54     PWM_setDeadBandRisingEdgeDelay(myPwm1, EPWM_DB);
55     PWM_setDeadBandFallingEdgeDelay(myPwm1, EPWM_DB);
56 } // End of pwm1_init()

```

E.7 CONFIGURAÇÃO DO GERADOR DE PWM 2

```
2  * pwm2_init.c
3  */
4
5  #include "pwm_control.h"
6
7  extern CLK_Handle myClk;
8  extern GPIO_Handle myGpio;
9  extern PWM_Handle myPwm2;
10
11 extern const uint32_t TBPRD;
12 extern const uint32_t TBPRD_div_by_2;
13 extern const uint32_t EPWM_DB;
14
15 void pwm2_init()
16 {
17     // Initialize GPIO
18     GPIO_setPullUp(myGpio, GPIO_Number_2, GPIO_PullUp_Disable);
19     GPIO_setPullUp(myGpio, GPIO_Number_3, GPIO_PullUp_Disable);
20     GPIO_setMode(myGpio, GPIO_Number_2, GPIO_2_Mode_EPWM2A);
21     GPIO_setMode(myGpio, GPIO_Number_3, GPIO_3_Mode_EPWM2B);
22
23     // Enables the pwm clock
24     CLK_enablePwmClock(myClk, PWM_Number_2);
25
26     // Sets period and phase 180
27     PWM_setSyncMode(myPwm2, PWM_SyncMode_EPWMxSYNC); // Sets
28     the pulse width modulation (PWM) sync mode
29     PWM_setPeriod(myPwm2, TBPRD); // Sets the pulse width
30     modulation (PWM) period
31     PWM_enableCounterLoad(myPwm2); // Enables the pulse width
32     modulation (PWM) counter loading from the phase register
33     PWM_setPhase(myPwm2, PHASE_180); // Sets the pulse width
34     modulation (PWM) phase
35     PWM_setPhaseDir(myPwm2, PHASE_POS); // Sets the pulse width
36     modulation (PWM) phase direction
37     PWM_setCounterMode(myPwm2, PWM_CounterMode_UpDown); // Sets
38     the pulse width modulation (PWM) counter mode
39
40     // Sets Clock divisions
41     PWM_setHighSpeedClkDiv(myPwm2, PWM_HspClkDiv_by_1);
42     PWM_setClkDiv(myPwm2, PWM_ClkDiv_by_1);
43 }
```



```

38     // Sets Compare values for duty cycle
39     PWM_setCmpA(myPwm2, TBPRD_div_by_2);
40
41     // Sets actions
42     PWM_setActionQual_CntUp_CmpA_PwmA(myPwm2,
43     PWM_ActionQual_Set);
44     PWM_setActionQual_CntDown_CmpA_PwmA(myPwm2,
45     PWM_ActionQual_Clear);
46
47     PWM_setActionQual_CntUp_CmpA_PwmB(myPwm2,
48     PWM_ActionQual_Clear);
49     PWM_setActionQual_CntDown_CmpA_PwmB(myPwm2,
50     PWM_ActionQual_Set);
51
52     // Active Low complementary PWMs
53     PWM_setDeadBandOutputMode(myPwm2,
54     PWM_DeadBandOutputMode_EPWMxA_Rising_EPWMxB_Falling);
55     PWM_setDeadBandPolarity(myPwm2,
56     PWM_DeadBandPolarity_EPWMxB_Inverted);
57     PWM_setDeadBandInputMode(myPwm2,
58     PWM_DeadBandInputMode_EPWMxB_Rising_and_Falling);
59
60     // Setup the dead band (dead time)
61     PWM_setDeadBandRisingEdgeDelay(myPwm2, EPWM_DB);
62     PWM_setDeadBandFallingEdgeDelay(myPwm2, EPWM_DB);
63 } // End of pwm2_init()

```

E.8 CONFIGURAÇÃO DO GERADOR DE PWM 3

```

1  /*
2  * pwm3_init.c
3  */
4
5  #include "pwm_control.h"
6
7  extern CLK_Handle myClk;
8  extern GPIO_Handle myGpio;
9  extern PWM_Handle myPwm3;
10
11 extern const uint32_t TBPRD;
12 extern const uint32_t TBPRD_div_by_2;

```

```
13  extern const uint32_t EPWM_DB;
14
15  void pwm3_init()
16  {
17      // Initialize GPIO
18      GPIO_setPullUp(myGpio, GPIO_Number_4, GPIO_PullUp_Disable);
19      GPIO_setPullUp(myGpio, GPIO_Number_5, GPIO_PullUp_Disable);
20      GPIO_setMode(myGpio, GPIO_Number_4, GPIO_4_Mode_EPWM3A);
21      GPIO_setMode(myGpio, GPIO_Number_5, GPIO_5_Mode_EPWM3B);
22
23      // Enables the pwm clock
24      CLK_enablePwmClock(myClk, PWM_Number_3);
25
26      // Sets period and phase -90
27      PWM_setSyncMode(myPwm3, PWM_SyncMode_EPWMxSYNC); // Sets
28      the pulse width modulation (PWM) sync mode
29      PWM_setPeriod(myPwm3, TBPRD); // Sets the pulse width
30      modulation (PWM) period
31      PWM_enableCounterLoad(myPwm3); // Enables the pulse width
32      modulation (PWM) counter loading from the phase register
33      PWM_setPhase(myPwm3, PHASE_90); // Sets the pulse width
34      modulation (PWM) phase
35      PWM_setPhaseDir(myPwm3, PHASE_POS); // Sets the pulse width
36      modulation (PWM) phase direction
37      PWM_setCounterMode(myPwm3, PWM_CounterMode_UpDown); // Sets
38      the pulse width modulation (PWM) counter mode
39
40      // Sets Clock divisions
41      PWM_setHighSpeedClkDiv(myPwm3, PWM_HspClkDiv_by_1);
42      PWM_setClkDiv(myPwm3, PWM_ClkDiv_by_1);
43
44      // Set Compare values for duty cycle
45      PWM_setCmpA(myPwm3, TBPRD_div_by_2);
46
47      // Sets actions
48      PWM_setActionQual_CntUp_CmpA_PwmA(myPwm3,
49      PWM_ActionQual_Set);
50      PWM_setActionQual_CntDown_CmpA_PwmA(myPwm3,
51      PWM_ActionQual_Clear);
52
53      PWM_setActionQual_CntUp_CmpA_PwmB(myPwm3,
54      PWM_ActionQual_Clear);
```

```

46     PWM_setActionQual_CntDown_CmpA_PwmB(myPwm3,
      PWM_ActionQual_Set);
47
48     // Active Low complementary PWMs
49     PWM_setDeadBandOutputMode(myPwm3,
      PWM_DeadBandOutputMode_EPWMxA_Rising_EPWMxB_Falling);
50     PWM_setDeadBandPolarity(myPwm3,
      PWM_DeadBandPolarity_EPWMxB_Inverted);
51     PWM_setDeadBandInputMode(myPwm3,
      PWM_DeadBandInputMode_EPWMxB_Rising_and_Falling);
52
53     // Setup the dead band (dead time)
54     PWM_setDeadBandRisingEdgeDelay(myPwm3, EPWM_DB);
55     PWM_setDeadBandFallingEdgeDelay(myPwm3, EPWM_DB);
56 } // End of pwm3_init()

```

E.9 CONFIGURAÇÃO DO GERADOR DE PWM 4

```

1  /*
2  * pwm4_init.c
3  */
4
5  #include "pwm_control.h"
6
7  extern CLK_Handle myClk;
8  extern GPIO_Handle myGpio;
9  extern PWM_Handle myPwm4;
10
11 extern const uint32_t TBPRD;
12 extern const uint32_t TBPRD_div_by_2;
13 extern const uint32_t EPWM_DB;
14
15 void pwm4_init()
16 {
17     // Initialize GPIO
18     GPIO_setPullUp(myGpio, GPIO_Number_6, GPIO_PullUp_Disable);
19     GPIO_setPullUp(myGpio, GPIO_Number_7, GPIO_PullUp_Disable);
20     GPIO_setMode(myGpio, GPIO_Number_6, GPIO_6_Mode_EPWM4A);
21     GPIO_setMode(myGpio, GPIO_Number_7, GPIO_7_Mode_EPWM4B);
22
23     // Enables the pwm clock

```

```
24     CLK_enablePwmClock(myClk , PWM_Number_4);
25
26     // Sets period and phase 90
27     PWM_setSyncMode(myPwm4 , PWM_SyncMode_EPWMxSYNC); // Sets
28     the pulse width modulation (PWM) sync mode
29     PWM_setPeriod(myPwm4 , TBPRD); // Sets the pulse width
30     modulation (PWM) period
31     PWM_enableCounterLoad(myPwm4); // Enables the pulse width
32     modulation (PWM) counter loading from the phase register
33     PWM_setPhase(myPwm4 , PHASE_90); // Sets the pulse width
34     modulation (PWM) phase
35     PWM_setPhaseDir(myPwm4 , PHASE_POS); // Sets the pulse width
36     modulation (PWM) phase direction
37     PWM_setCounterMode(myPwm4 , PWM_CounterMode_UpDown); // Sets
38     the pulse width modulation (PWM) counter mode
39
40     // Sets Clock divisions
41     PWM_setHighSpeedClkDiv(myPwm4 , PWM_HspClkDiv_by_1);
42     PWM_setClkDiv(myPwm4 , PWM_ClkDiv_by_1);
43
44     // Set Compare values for duty cycle
45     PWM_setCmpA(myPwm4 , TBPRD_div_by_2);
46
47     // Sets actions
48     PWM_setActionQual_CntUp_CmpA_PwmA(myPwm4 ,
49     PWM_ActionQual_Set);
50     PWM_setActionQual_CntDown_CmpA_PwmA(myPwm4 ,
51     PWM_ActionQual_Clear);
52
53     PWM_setActionQual_CntUp_CmpA_PwmB(myPwm4 ,
54     PWM_ActionQual_Clear);
55     PWM_setActionQual_CntDown_CmpA_PwmB(myPwm4 ,
56     PWM_ActionQual_Set);
57
58     // Active Low complementary PWMs
59     PWM_setDeadBandOutputMode(myPwm4 ,
60     PWM_DeadBandOutputMode_EPWMxA_Rising_EPWMxB_Falling);
61     PWM_setDeadBandPolarity(myPwm4 ,
62     PWM_DeadBandPolarity_EPWMxB_Inverted);
63     PWM_setDeadBandInputMode(myPwm4 ,
64     PWM_DeadBandInputMode_EPWMxB_Rising_and_Falling);
65
```

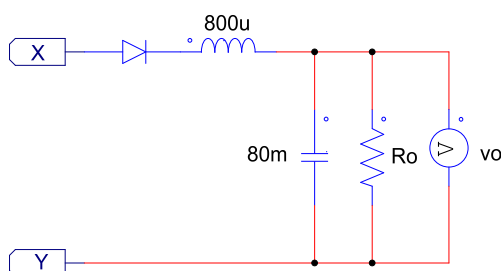
```
53     // Setup the dead band (dead time)
54     PWM_setDeadBandRisingEdgeDelay(myPwm4, EPWM_DB);
55     PWM_setDeadBandFallingEdgeDelay(myPwm4, EPWM_DB);
56 } // End of pwm4_init()
```


APÊNDICE F – COMPARAÇÃO COM AS TOPOLOGIAS FC E NPC

Neste apêndice são apresentados os resultados de simulação para operação com inversor de tensão, em regime permanente e com índice de modulação de $D_m=0,335$, do conversor proposto nesta dissertação e dos conversores FC e NPC. Os componentes de potências são os especificados na Tabela 6.2. Para todos os três conversores foram utilizados os mesmos componentes de potência. As simulações foram realizadas no intervalo de tempo de 480 ms a 500 ms, com passo de simulação de $1 \mu s$.

Foram realizadas simulações com carga resistiva (Tabela 6.2) e simulações com um retificador meia-ponte como carga. O esquemático do retificador meia-ponte utilizado nas simulações é apresentado na Fig. F.1. Os esquemáticos utilizados nas simulações para o conversor proposto, o FC e NPC, são apresentados nas Fig. F.2, F.3 e F.4, respectivamente.

Figura F.1 – Retificador meia-ponte



Na Tabela F.1 são apresentados os esforços de corrente nos semicondutores dos três conversores para operação com carga resistiva. Observa-se que os esforços de corrente nos semicondutores com maiores esforços de corrente no conversor proposto são menores ou similares aos esforços do conversor FC. E os esforços de corrente nos semicondutores de ambos os conversores são menores que os esforços de corrente nos semicondutores do conversor NPC.

Tabela F.1 – Esforços nos semicondutores – Comparação entre os conversores

Conversor	-	S_1	D_1	S_2	D_2	S_3	D_3	S_4	D_4	S_5	D_5	S_6	D_6
SC4Q5LC	I_x	2,14	0,65	2,14	0,65	1,50	0,01	0,64	0,64	0,64	0,64	1,50	0,01
	$I_{x,RMS}$	3,95	2,06	3,95	2,06	2,96	0,08	1,24	2,05	1,24	2,05	2,96	0,08
FC	I_x	-	-	-	-	2,13	0,65	2,13	0,65	2,13	0,65	2,13	0,65
	$I_{x,RMS}$	-	-	-	-	3,93	2,05	3,93	2,05	3,93	2,05	3,93	2,05
NPC	I_x	-	1,29	-	1,29	1,48	0,00	2,77	0,00	2,77	0,00	1,48	0,00
	$I_{x,RMS}$	-	2,89	-	2,90	3,35	0,00	4,43	0,00	4,43	0,00	3,35	0,00

Valores de corrente são dados em amperes [A].

Figura F.2 – Esquemático de simulação – SC4Q5LC

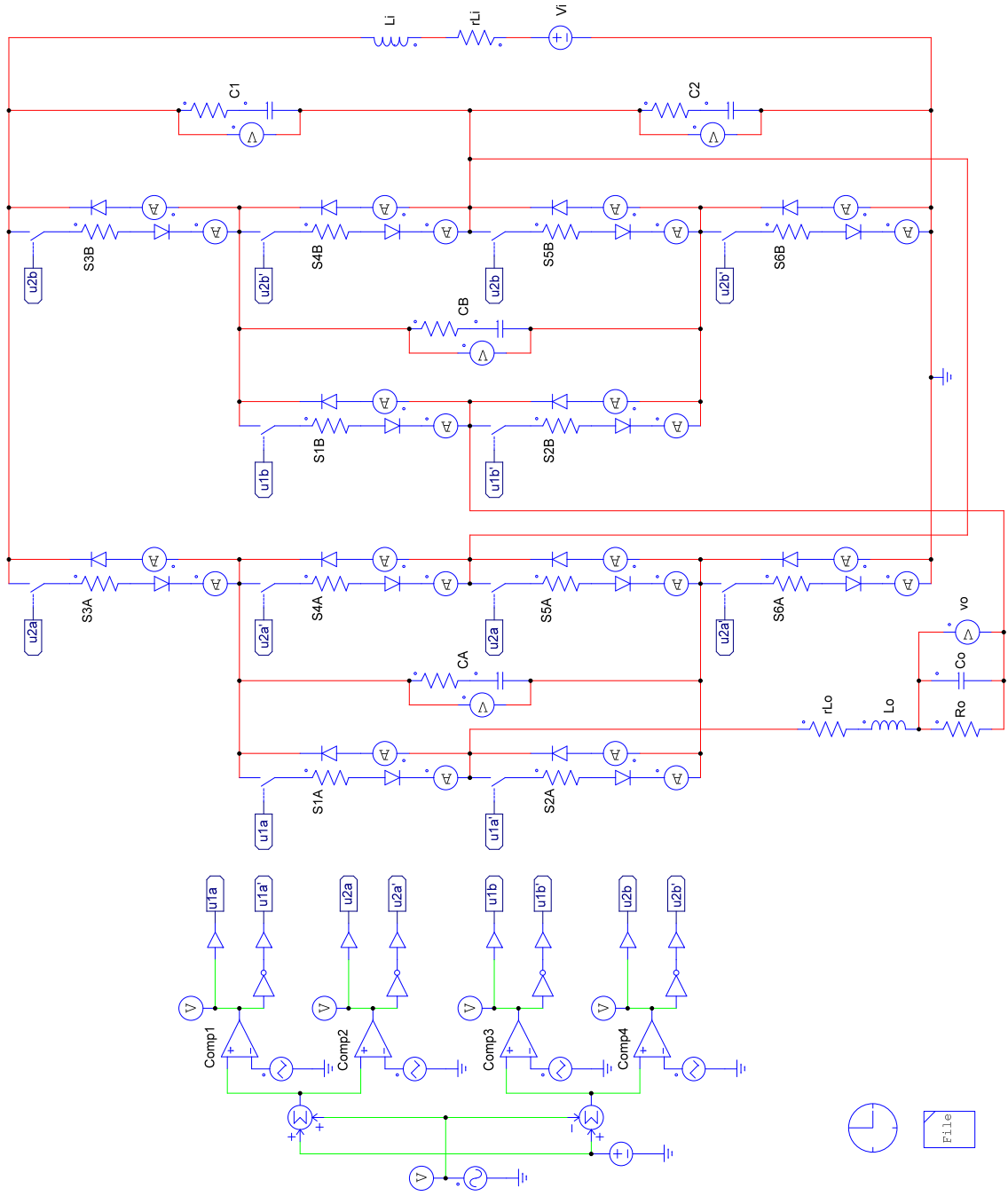


Figura F.3 – Esquemático de simulação – FC

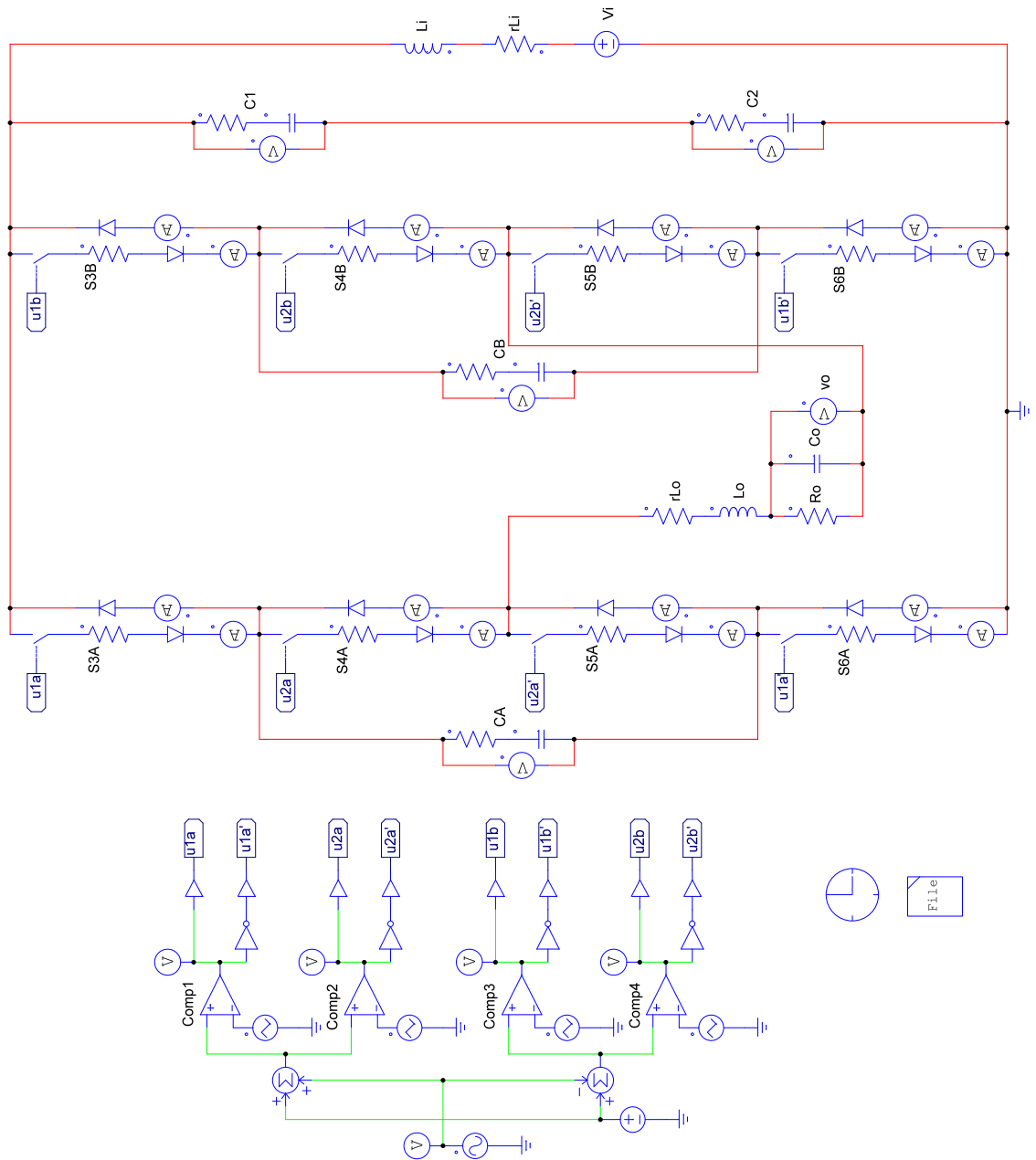
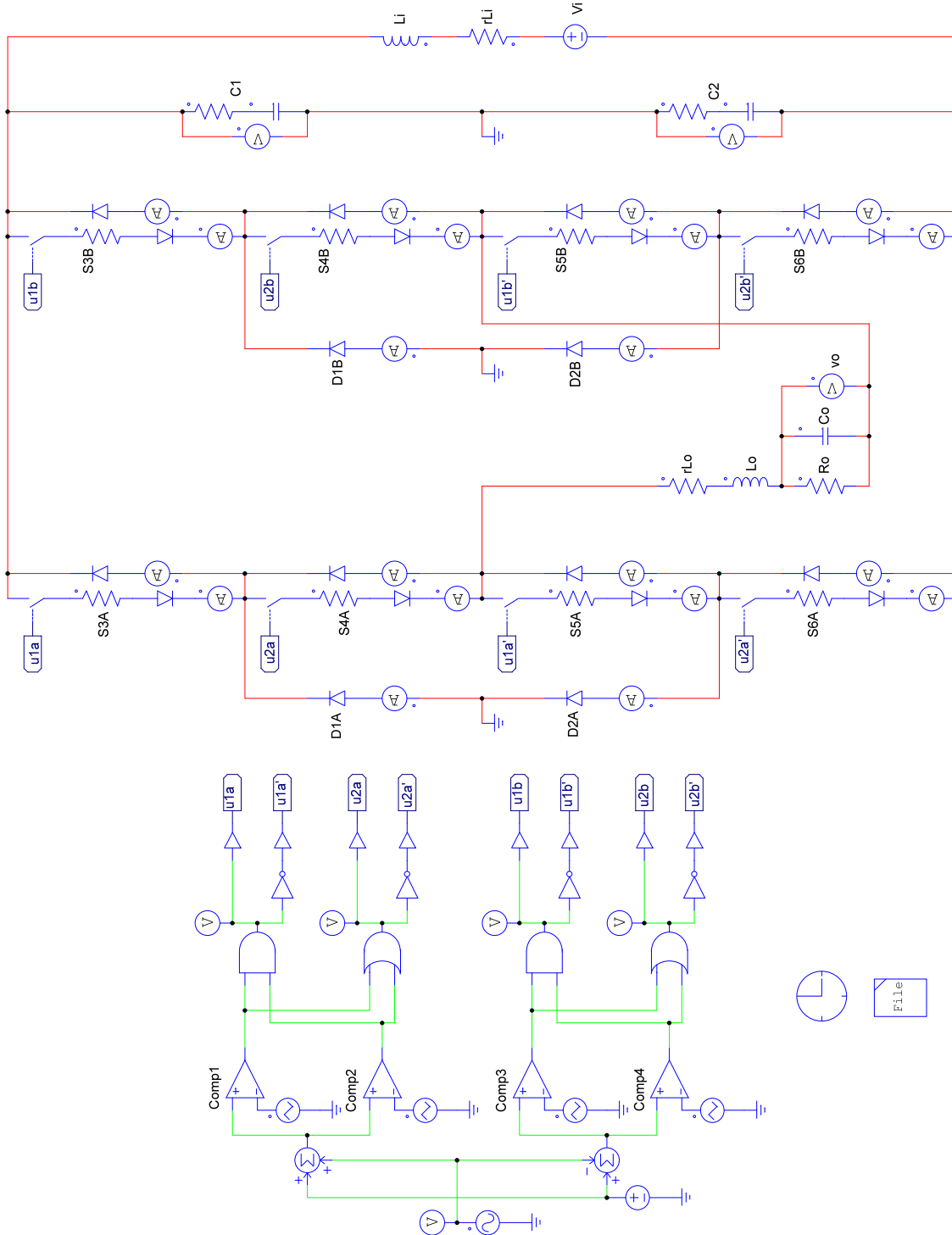


Figura F.4 – Esquemático de simulação – NPC



Nas Fig. F.5, F.7 e F.9 são apresentadas as tensões sobre os capacitores do conversor proposto, do conversor FC e do conversor NPC, respectivamente, para operação com carga resistiva. Nas Fig. F.6, F.8 e F.10 são apresentadas a tensão e corrente de saída dos três conversores, também para carga resistiva. A simulação foi feita com os conversores operando em malha aberta.

Figura F.5 – Tensões nos capacitores – SC4Q5LC, carga resistiva

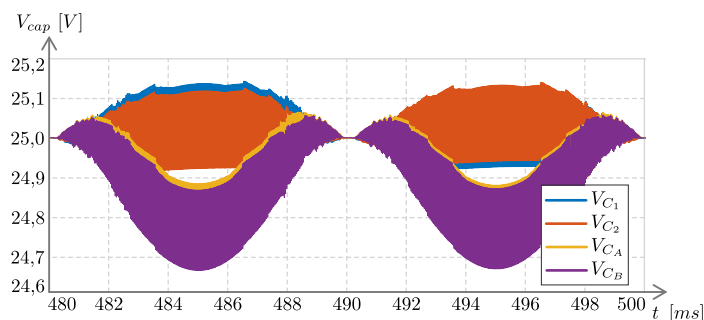


Figura F.6 – Tensão e corrente de saída – SC4Q5LC, carga resistiva

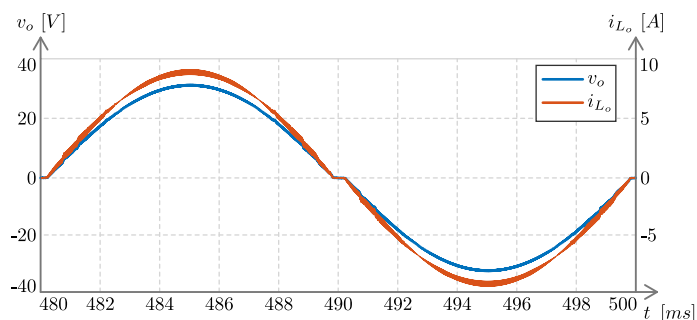


Figura F.7 – Tensões nos capacitores – FC, carga resistiva

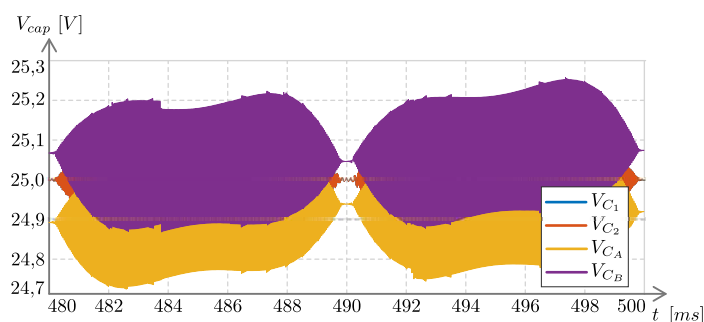


Figura F.8 – Tensão e corrente de saída – FC, carga resistiva

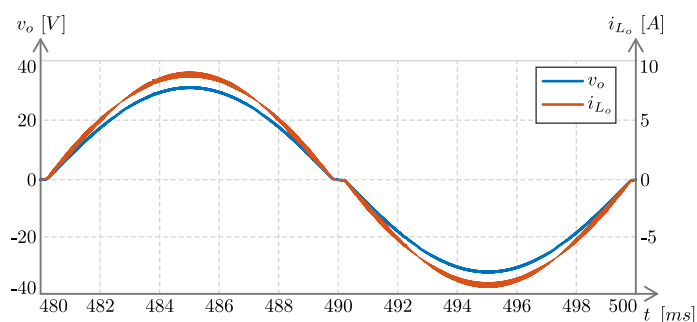


Figura F.9 – Tensões nos capacitores – NPC, carga resistiva

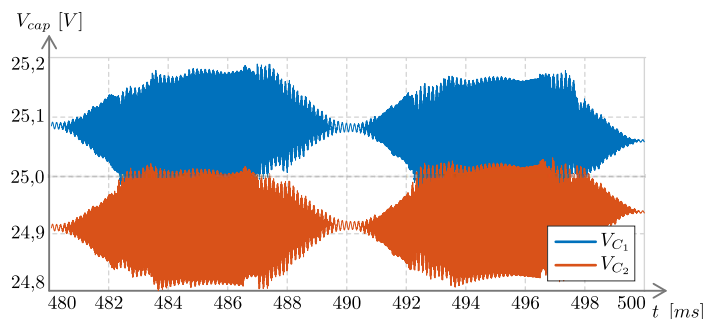
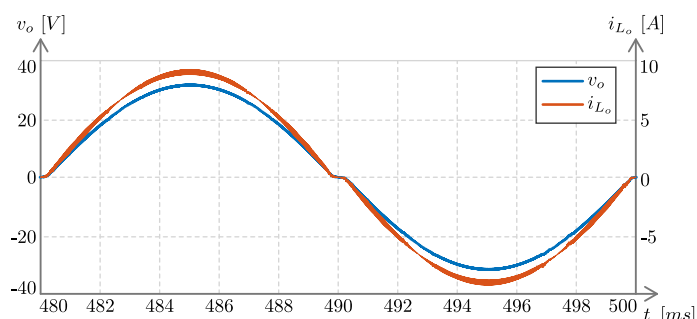


Figura F.10 – Tensão e corrente de saída – NPC, carga resistiva



Observa-se maior ondulação nas formas de onda de tensão sobre os capacitores para o conversor proposto, entretanto não ocorre uma defasagem de tensão, senão aquela em função da razão cíclica (conforme apresentado neste trabalho), diferentemente do que ocorre com os conversores FC e NPC. As tensões e correntes de saída sintetizadas pelos três conversores são muito similares.

Nas Fig. F.11, F.13 e F.15 são apresentadas as tensões sobre os capacitores do conversor proposto, do conversor FC e do conversor NPC, respectivamente, para operação com o retificador meia-ponte como carga. Nas Fig. F.12, F.14 e F.16 são apresentadas a tensão e corrente de saída dos três conversores, também para o retificador meia-ponte como carga. Optou-se pela simulação com esse tipo de carga para provocar uma assimetria de funcionamento, a fim de salientar os desbalanços de tensão nos capacitores, uma vez que a corrente de saída é nula para o ciclo negativo da onda de saída. A simulação foi feita com os conversores operando em malha aberta.

Figura F.11 – Tensões nos capacitores – SC4Q5LC, retificador meia-ponte como carga

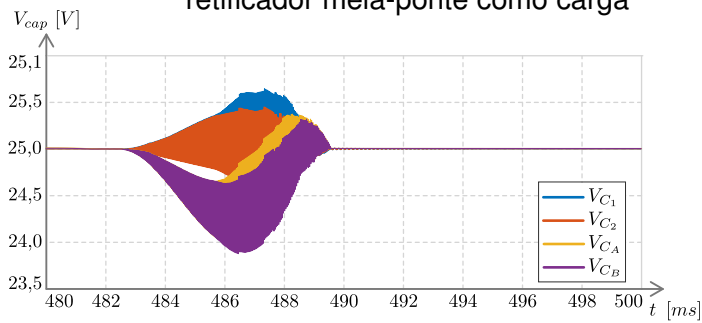


Figura F.12 – Tensão e corrente de saída – SC4Q5LC, retificador meia-ponte como carga

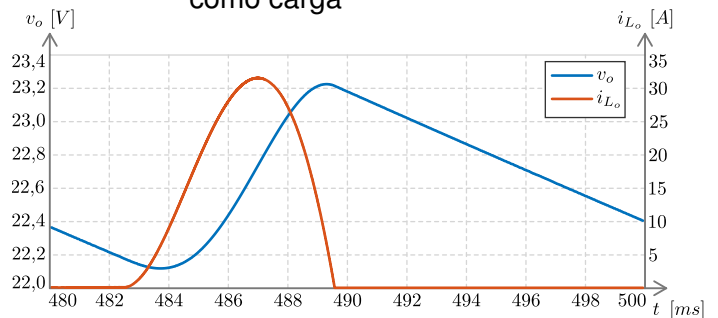


Figura F.13 – Tensões nos capacitores – FC, retificador meia-ponte como carga

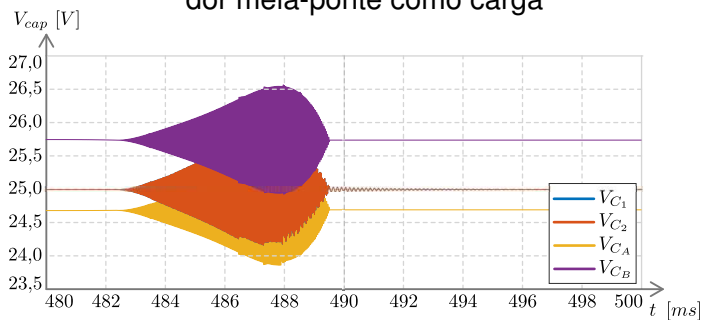


Figura F.14 – Tensão e corrente de saída – FC, retificador meia-ponte como carga

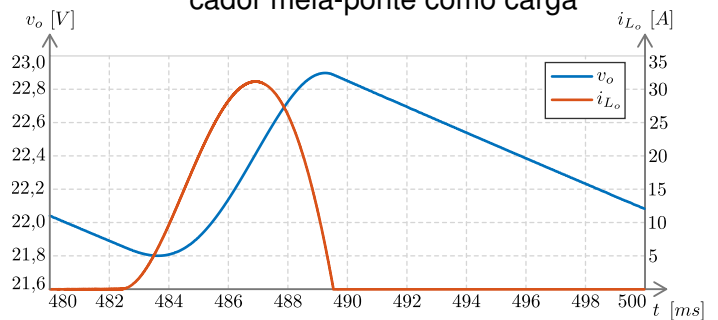


Figura F.15 – Tensões nos capacitores – NPC, retificador meia-ponte como carga

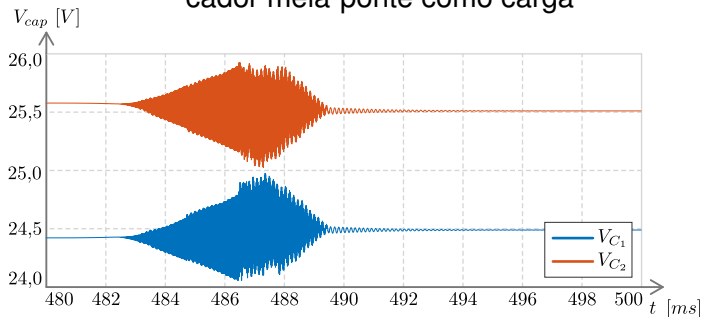
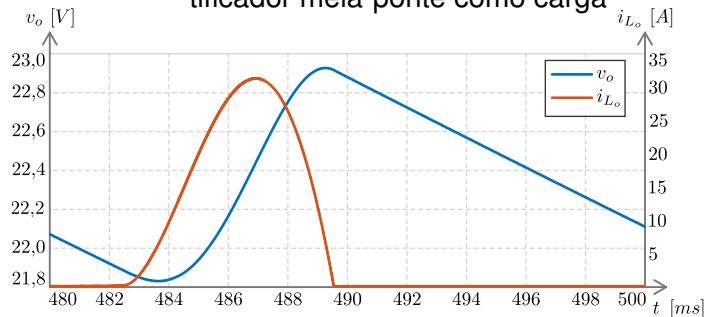


Figura F.16 – Tensão e corrente de saída – NPC, retificador meia-ponte como carga



As formas de onda de tensão sobre os capacitores mostram uma defasagem de tensão entre os capacitores das topologias FC e NPC, enquanto que não há defasagem de tensão entre os capacitores do conversor proposto. E ainda, as ondulações de tensão nos capacitores são similares entre os três conversores, bem como tensões e correntes de saída sintetizadas pelos três conversores.