



UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

Neilor Colombo Dal Pont

ESTUDO DE CONVERSORES CC-CC COM
REDUZIDO GANHO DE TENSÃO

Florianópolis, Santa Catarina – Brasil

27 de maio de 2022

Neilor Colombo Dal Pont

Estudo de Conversores CC-CC com Reduzido Ganho de Tensão

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Orientador: Prof. Dr. Telles Brunelli Lazzarin

Florianópolis, Santa Catarina – Brasil
27 de maio de 2022

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Colombo Dal Pont, Neilor
ESTUDO DE CONVERSORES CC-CC COM REDUZIDO GANHO DE
TENSÃO / Neilor Colombo Dal Pont ; orientador, Telles
Brunelli Lazzarin, 2022.
198 p.

Tese (doutorado) - Universidade Federal de Santa
Catarina, Centro Tecnológico, Programa de Pós-Graduação em
Engenharia Elétrica, Florianópolis, 2022.

Inclui referências.

1. Engenharia Elétrica. 2. Conversores CC-CC
Abaixadores. 3. Reduzido Ganho de Tensão. 4. Conversores
Diferenciais. 5. Conversores a Capacitor Chaveado. I.
Brunelli Lazzarin, Telles . II. Universidade Federal de
Santa Catarina. Programa de Pós-Graduação em Engenharia
Elétrica. III. Título.

Neilor Colombo Dal Pont

Estudo de Conversores CC-CC com Reduzido Ganho de Tensão

O presente trabalho em nível de doutorado foi avaliado e aprovado por banca examinadora composta pelos seguintes membros:

Banca Examinadora:

Prof. Alceu Andre Badin, Dr.

Universidade Tecnológica Federal do Paraná

Prof. Daniel Flores Cortez, Dr.

Universidade Tecnológica Federal do Paraná

Prof. Samir Ahmad Mussa, Dr.

Universidade Federal de Santa Catarina

Certificamos que esta é a versão original e final do trabalho de conclusão que foi julgado adequado para obtenção do título de doutor em Engenharia Elétrica.

Prof. Telles Brunelli Lazzarin, Dr.

Coordenador do Programa de
Pós-Graduação em Engenharia Elétrica

Prof. Telles Brunelli Lazzarin, Dr.

Orientador

Florianópolis, 27 de maio de 2022.

AGRADECIMENTOS

Ao meu pai Neilor Bristot Dal Pont, minha mãe Maria de Lourdes Colombo Dal Pont, e meu irmão Gustavo Colombo Dal Pont por todo amor, carinho e apoio e pelos sacrifícios feitos para garantir meus estudos.

Ao meu orientador Telles Brunelli Lazzarin pelo apoio, confiança, amizade e pelas oportunidades que me foram dadas aqui no INEP.

A meus amigos e meus parentes pelo apoio e pelos bons momentos vividos.

Ao INEP por disponibilizar a estrutura necessária para realização deste trabalho.

Ao CNPQ pelo apoio financeiro.

Aos colegas Matheus Dall'Asta e Jéssika Melo e Eduardo Valmir pela ajuda durante os análises e trabalhos de laboratório.

A todos os professores, funcionários e colegas do INEP.

“Only two things are infinite: the universe and human stupidity and I’m not sure about the former”

Albert Einstein

“Extraordinary claims require extraordinary evidence”

Carl Sagan

RESUMO

Esta tese estuda topologias para conversores CC-CC abaixadores de reduzido ganho de tensão usados em *data centers* e outras aplicações similares em termos de ganho. Primeiramente é feita uma revisão bibliográfica das arquiteturas do sistema elétrico de *data centers* e de topologias para o estágio CC-CC abaixador destes sistemas e de conversores para alimentação de *FPGAs*. Após isso, é feita uma breve revisão dos conversores diferenciais, apresentando os tipos, conceitos e aplicações. Também é realizada uma revisão da célula *ladder* de capacitor chaveado, na qual são apresentadas a análise estática e uma metodologia de projeto. Por último foi revisado o conversor *buck* síncrono *interleaved*, muito usado nessas aplicações pela divisão dos esforços de corrente. Dois conceitos são estudados para gerar as topologias abaixadoras, uma deles utiliza o conceito de conversores diferenciais, onde a saída é a diferença de tensão entre dois conversores clássicos. A característica estática é analisada usando diferentes conversores, e são apresentados exemplo de projeto, resultados de simulação e experimentais usando a configuração *buck-buck*, no qual se obteve conversão de até 400 V para 3,3 V. O segundo conceito é baseado na célula *ladder* de capacitor chaveado. A célula básica é modificada para a conexão em cascata da célula. O trabalho analisa a conexão, e faz validações através de resultados de simulação e experimentais. Esta conexão, tem ganho exponencial de base dois em função do número de células, tendo potencial para estágios intermediários de conversão. Também foi apresentada a conexão mista entre a *ladder* e a cascata, que combina vantagens das duas conexões. A teoria da conexão cascata foi validada através de simulações e resultados experimentais em um protótipo com conversão de 200 V para 50 V e 100 W. Por fim, foi realizada uma proposta de conversão de 48 V para 1 V, que é bastante comum em aplicações de *data centers*. Ela foi composta de dois estágios, o primeiro usando a conexão mista de capacitor chaveado, que se mostrou mais eficiente que a cascata e a *ladder* em uma comparação, que realiza a conversão de 48 V para 3 V, e o segundo que usa um conversor *buck* síncrono *interleaved* de três fases, para fazer a conversão de 3 V para 1 V e o controle da tensão de saída. A potência testada foi de 30 W, e o rendimento máximo obtido foi de 87,22%.

Palavras-chaves: Alta Taxa de Conversão; Conversores CC-CC Abaixadores de Alto

Ganho, *Data Centers*, Conversores Diferenciais Abaixadores, Conexão Cascata da Célula *Ladder*, Conexão Mista da Célula *Ladder*.

ABSTRACT

This thesis investigate topologies for high step-down conversion ratio DC-DC converters for data centers and other applications. Firstly, a bibliographic review of architectures applied in data-centers and FPGAs electrical system and the topologies for the step-down DC-DC stage of these systems. After that, is presented a review of the differential converters, presentating the types, concepts and applications. It is also realized a review of the ladder cell of the switched capacitor converter, showing the static analysis and a design methodology. Finally the buck synchronous interleaved converter, widely used in these applications by sharing the current stresses, was revised. Two concepts are studied to generate the step-down topologies, one of them uses the concept of differential converters, in which the output is the voltage difference between two classic converters. A static analysis is made using different converters, and a design exemple, simulation and experimental results using a buck-buck configuration are presented, which is applied to obtain a 400 V for 3.3 V conversion. The second concept is based on the switched capacitor ladder cell. The basic cell is modified for the cascading connection. The work presents the connection analysis, and validations through simulation experimental results. This connection has an exponential gain, having potential for intermediate conversion stages. The mixed connection between the *ladder* and the cascade was also presented, which combines the advantages of the two connections. The cascade connection theory was validated through simulations and experimental results in a prototype with a conversion from 200 V to 50 V and 100 W. Finally, a proposal for a conversion from 48 V to 1 V was carried out. It was composed of two stages, the first using the switched capacitor mixed connection, which proved to be more efficient than the cascade and ladder, which realises the conversion from 48 V to 3 V, and the second used a three-phase buck synchronous interleaved converter carried out the 3 V to 1 V conversion and the output voltage control. The maximum output power was 30 W, and the maximum efficiency obtained was 87.22%.

Key-words: High Step-Down dc-dc Converters, Data Centers, Differential Converters, Cascade Connection of the Ladder Cell, Mixed Connection of the Ladder Cell.

LISTA DE ILUSTRAÇÕES

Figura 1.1 – Sistema elétrico de um <i>data center</i> com conversão direta da tensão de barramento.	23
Figura 1.2 – Circuito de conversores diferenciais.	24
Figura 1.3 – Conexão cascata da célula <i>ladder</i> de capacitor chaveado.	24
Figura 1.4 – Conexão mista da célula <i>ladder</i>	24
Figura 1.5 – Conversor <i>buck</i> síncrono <i>interleaved</i> de três fases.	25
Figura 2.1 – Arquiteturas usadas em data centers: (a) Distribuição CA; (b) Distribuição CC e tensões de barramento de 380 V ou 400 V; (c) Distribuição CC com tensão de barramento de 48 V; (d) Distribuição CC e conversão direta da tensão de barramento para os processadores.	29
Figura 2.2 – Estrutura física de um <i>data center</i>	30
Figura 2.3 – Eficiência em cada estágio de um sistema de <i>data center</i> com distribuição CC.	30
Figura 2.4 – Conversor meia ponte LLC usando transformador com ponto médio e retificação síncrona.	31
Figura 2.5 – Soluções usadas atualmente em <i>VRs</i> : (a) Conversor <i>buck</i> síncrono <i>interleaved</i> ; (b) Solução em dois estágios; (c) Conversor <i>buck</i> síncrono; (d) Conversor a capacitor chaveado.	31
Figura 2.6 – Topologia modular proposta em [1] para conversão de tensões de barramentos de 48 V para 1 V: (a) Módulo individual; (b) Conexão série de módulos.	32
Figura 2.7 – Conexão <i>ISOP</i> de conversores para conversão direta da tensão de barramento para alimentação de processadores proposta em [2].	33
Figura 2.8 – Topologia proposta em [3] para conversão direta da tensão de barramento para alimentação de processadores.	34
Figura 2.9 – (a) Células básicas de um <i>STC</i> . (b) Conexão proposta em [4].	34
Figura 2.10 – Diagrama de alimentação de um <i>FPGA</i>	36
Figura 2.11 – Circuito de um inversor de tensão.	37

Figura 2.12–Conversores diferenciais elevadores dos grupos positivo (<i>Positive Group</i>) e negativo (<i>Negative Group</i>).	38
Figura 2.13–Conversão de tensão diferencial abaixadora.	38
Figura 2.14–Exemplos de conversores a capacitor chaveado: (a) Dickson; (b) Série-paralelo; (c) <i>Ladder</i>	39
Figura 2.15–Célula <i>ladder</i> de capacitor chaveado: (a) Versão abaixadora; (b) Primeira etapa de operação; (c) Segunda etapa de operação.	40
Figura 2.16–Conexão de células <i>ladder</i> de capacitor chaveado: (a) Célula individual; (b) Conexão com duas células; (c) Conexão de N células.	41
Figura 2.17–Circuito equivalente da célula <i>ladder</i>	42
Figura 2.18–Resistência série em função do produto $f_s\tau$	43
Figura 2.19–Conversor <i>buck</i> síncrono <i>interleaved</i> de três fases.	44
Figura 2.20–Etapas de operação do conversor <i>buck</i> síncrono <i>interleaved</i> de três fases: (a) Primeira; (b) Segunda; (c) Terceira; (d) Quarta; (e) Quinta; (f) Sexta.	45
Figura 2.21–Principais formas de onda do conversor <i>buck</i> síncrono <i>interleaved</i> de três fases.	46
Figura 3.1 – Topologias diferenciais abaixadoras: (a) Dois conversores <i>buck</i> ; (b) Dois conversores <i>boost</i> ; (c) Dois conversores <i>buck-boost</i> ; (d) Um conversor <i>buck</i> e um conversor <i>boost</i>	50
Figura 3.2 – Etapas de operação do conversor <i>buck-buck</i> : (a) Primeira etapa; (b) Segunda etapa; (c) Terceira etapa; (d) Quarta etapa.	52
Figura 3.3 – Formas de onda do conversor <i>buck-buck</i>	53
Figura 3.4 – Razão cíclica em função da razão cíclica diferencial do conversor <i>buck-buck</i> : (a) $D_{sp} = 0.5$; (b) $D_{sp} > 0.5$; (c) $D_{sp} < 0.5$	54
Figura 3.5 – Ganho diferencial em função da razão cíclica diferencial do conversor <i>buck-buck</i>	55
Figura 3.6 – Versão unidirecional do conversor <i>buck-buck</i>	55
Figura 3.7 – Ganho diferencial em função da razão cíclica diferencial do conversor <i>boost-boost</i>	57
Figura 3.8 – Versão unidirecional do conversor <i>boost-boost</i>	57
Figura 3.9 – Ganho diferencial em função da razão cíclica diferencial do conversor <i>buck-boost - buck-boost</i>	58
Figura 3.10–Versão unidirecional do conversor <i>buck-boost - buck-boost</i>	59
Figura 3.11–Ondulação de corrente em função da razão cíclica.	60
Figura 3.12–Circuito usado nas simulações do conversor <i>buck-buck</i>	63
Figura 3.13–Principais resultados de simulação conversor <i>buck-buck</i> em regime permanente: (a) Tensão nos interruptores S_{1a} e S_{1b} ; Corrente nos indutores e corrente de saída; (c) Tensão de entrada, tensão de saída de cada <i>buck</i> e tensão de saída diferencial.	64

Figura 3.14–Fotografia do protótipo.	65
Figura 3.15–Esquema usado nos testes.	66
Figura 3.16–Tensão nos interruptores do conversor <i>buck-buck</i>	68
Figura 3.17–Tensão de entrada (V_i), tensões de saída dos conversores <i>buck</i> (V_{o1}) e (V_{o2}) e tensão de saída (V_o).	68
Figura 3.18–Corrente nos indutores (I_{La}) e (I_{Lb}) e tensão de saída (V_o).	69
Figura 3.19–Tensão de entrada (V_i), tensões de saída dos conversores <i>buck</i> (V_{o1}) e (V_{o2}) e tensão de saída (V_o) com tensão de saída de 3,3 V.	69
Figura 3.20–Ensaio de rendimento para diferentes valores de D_{sp}	70
Figura 3.21–Distribuição de perdas na potência nominal para $D_{sp} = 0,7$	70
Figura 3.22–Esquema de controle do conversor Buck-Buck.	71
Figura 4.1 – Cascadeamento da célula <i>ladder</i> : (a) Célula convencional; (b) Adição de célula em cascata; (c) Generalização para N células.	74
Figura 4.2 – Eficiência do <i>CSCC</i> em função do número de células para diferentes valores de eficiência da célula individual (η_N).	75
Figura 4.3 – Cascadeamento da célula <i>ladder</i> : (a) Circuito equivalente com transformador CC; (b) Circuito equivalente de uma célula visto da saída; (c) Generalização para N células visto da saída; (d) Circuito equivalente de uma célula visto da entrada; (e) Generalização para N células visto da entrada; (f) Circuito simplificado visto da saída.	76
Figura 4.4 – Ganho em função do número de células para diferentes valores de K_C	78
Figura 4.5 – Erro percentual entre o ganho ideal e o ganho real em função do número de células para diferentes valores de K_C	79
Figura 4.6 – Ganho ideal da conexão cascata (G_C) e da conexão (G_L) em função do número de células.	82
Figura 4.7 – Conexão mista da célula <i>ladder</i>	83
Figura 4.8 – Circuito usado nas simulações do <i>CSCC</i>	86
Figura 4.9 – Resultados de simulação da tensão nos interruptores: (a) Primeiro estágio; (b) Segundo estágio.	87
Figura 4.10–Resultados de simulação da corrente nos interruptores: (a) Primeiro estágio; (b) Segundo estágio.	88
Figura 4.11–Tensão nos capacitores e tensão de saída do primeiro estágio.	89
Figura 4.12–Tensão nos capacitores e tensão de saída do segundo estágio.	90
Figura 4.13–Corrente nos capacitores: (a) Primeiro estágio; (b) Segundo estágio.	90
Figura 4.14–Tensões de entrada, de saída do primeiro estágio e de saída do <i>CSCC</i>	91
Figura 4.15–Tensão de saída do circuito comutado e do circuito equivalente.	91
Figura 4.16–Esquema do circuito usado nos testes.	92
Figura 4.17–Fotografia do protótipo.	92

Figura 4.18–Tensão em interruptores complementares do primeiro estágio (v_{S1a} , v_{S2a}) e do segundo estágio (v_{S1b} , v_{S2b}) com carga nominal. Escalas: $V=30$ V; $t=5$ μ s.	93
Figura 4.19–Tensões nos capacitores e de saída com carga nominal: (a) Estágio 1; (b) Estágio 2. Escala $V=50$ V; $t=5$ μ s.	93
Figura 4.20–Tensões de entrada (V_i), de saída do primeiro estágio ($V_{C1b} + V_{C2b}$) e de saída (V_o) e corrente de saída (I_o): (a) A vazio; (b) Carga nominal. Escalas: $V=30$ V; $I=4$ A $t=5$ μ s.	94
Figura 4.21–Tensões de entrada (V_i) e de saída (V_o) e correntes de entrada (I_i) e de saída (I_o): (a) Meia carga; (b) Carga nominal. Escalas $V=50$ V; $I=1$ A (a) $I=2$ A (b); $t=5$ μ s.	95
Figura 5.1 – Conversores comparados para conversão de 48 V para 3 V: (a) 15L; (b) 4C; (c) 3L+2C.	97
Figura 5.2 – Tensões de saída dos conversores propostos.	100
Figura 5.3 – Conexão mista da célula <i>ladder</i> para conversão de 48 V para 3 V.	100
Figura 5.4 – Circuito usado nas simulações do <i>MSCC</i>	102
Figura 5.5 – Tensões nos interruptores dos estágios <i>ladder</i> e cascata.	102
Figura 5.6 – Correntes nos interruptores do estágio <i>ladder</i> : (a) Superiores; (b) Saída.	103
Figura 5.7 – Correntes nos interruptores dos estágios cascata: (a) Primeiro estágio; (b) Segundo estágio.	103
Figura 5.8 – Tensões nos capacitores do estágio <i>ladder</i>	104
Figura 5.9 – Tensões nos capacitores do estágio cascata 1.	105
Figura 5.10–Tensões nos capacitores do estágio cascata 2.	105
Figura 5.11–Tensões e correntes do <i>MSCC</i> : (a) Entrada; (b)Saída.	106
Figura 5.12–Tensão comutada (V_{oSC}) e do circuito equivalente (V_{oeq}) do <i>MSCC</i>	106
Figura 5.13–Fotografia do protótipo do <i>MSCC</i>	107
Figura 5.15–Tensões nos interruptores superiores dos estágios <i>ladder</i> (v_{S1}), cascata 1 (v_{S1a}) e cascata 2 (v_{S1b}) com meia carga (15 W). Escalas: $V=2,5$ V; $t=2$ μ s.	107
Figura 5.14–Esquema do protótipo do <i>BKSI</i>	108
Figura 5.16–Tensões nos capacitores dos estágios com meia carga (15 W): (a) <i>ladder</i> ; (b) cascata 1; (c) cascata 2. Escalas: (a) $V=5$ V; (b) $V=2,5$ V; (c) $V=1,25$ V; $t=2$ μ s.	109
Figura 5.17–Tensões de saída dos estágios e corrente de saída: (a) Sem carga; (b) 15 W; (c) 30 W. Escalas: $V_l=5$ V; $V_{oC1}=2,5$ V; $V_o=1,25$ V; $t=2$ μ s; (a) $I=100$ mA; (b) $I=5$ A; (c) $I=5$ A.	110
Figura 5.18–Tensões e correntes de entrada e saída: (a) Sem carga; (b) 15 W; (c) 30 W. Escalas: $V_i=10$ V; $V_o=1$ V; $I_i=200$ mA $t=2$ μ s; (a) $I_o=200$ mA; (b) $I_o=5$ A; (c) $I_o=5$ A.	111

Figura 5.19–Tensões de saída dos estágios e corrente de saída com degrau de carga: (a) 50% para 100%; (b) 100% para 50%. Escalas: $V_i=5$ V; $V_{oC1}=2,5$ V; $V_o=1,25$ V; $I=5$ A; $t=400$ μ s.	112
Figura 5.20–Configurações das cargas nos estágios intermediários: (a) <i>Ladder</i> ; (b) Cascata 1.	113
Figura 5.22–Rendimento percentual em função da potência de saída do <i>MSCC</i>	113
Figura 5.21–Tensões nos capacitores e corrente na carga com cargas em diferentes pontos do circuito: (a) <i>Ladder</i> ; (b) Cascata 1. Escalas: (a) $V=5$ V; (b) $V=2,5$ V; $I=500$ mA; $t=2$ μ s.	114
Figura 5.23–Regulação percentual em função da potência de saída do <i>MSCC</i>	115
Figura 5.24–Conversor <i>buck</i> síncrono <i>interleaved</i> de três fases.	115
Figura 5.25–Esquema de controle do <i>BKSI</i>	117
Figura 5.26–Esquema de controle discreto.	118
Figura 5.27–Circuito usado nas simulações do <i>BKSI</i>	120
Figura 5.28–Tensões nos interruptores de cada fase do <i>BKSI</i>	121
Figura 5.29–Correntes nos interruptores da fase a com carga nominal.	121
Figura 5.30–Tensões e correntes do <i>BKSI</i> com carga nominal: (a) Entrada; (b)Saída.	122
Figura 5.31–Correntes nos indutores do <i>BKSI</i> com carga nominal e variação para- métrica: (a) Malha aberta; (b) Malha Fechada.	123
Figura 5.32–Tensão e corrente de saída do <i>BKSI</i> sob degraus de carga.	123
Figura 5.33–Corrente nos indutores e de saída do <i>BKSI</i> sob curto circuito.	124
Figura 5.34–Fotografia do protótipo do <i>BKSI</i>	124
Figura 5.35–Esquema do protótipo do <i>BKSI</i>	125
Figura 5.36–Tensões nos interruptores das três fases do <i>BKSI</i> . Escalas: $V=2,5$ V; $t=4$ μ s.	125
Figura 5.37–Tensões e correntes de entrada e saída do <i>BKSI</i> para uma potência de 15 W. Escalas: $V_i=1$ V; $V_o=0,5$ V; $I=5$ A, $t=2$ μ s.	126
Figura 5.38–Rendimento percentual em função da potência de saída do <i>BKSI</i>	126
Figura 5.39–Esquema de conversão de 48 V para 1 V.	127
Figura 5.40–Rendimento percentual em função da potência de saída do <i>MSCCBK</i> em 160 kHz.	127
Figura 5.41–Rendimento percentual em função da frequência de comutação do <i>MSCC</i> em 30 W.	129
Figura 5.42–Rendimento percentual em função da frequência de comutação do <i>BKSI</i> em 30 W.	129
Figura 5.43–Rendimento percentual em função da frequência de comutação do <i>MSCCBK</i> em 30 W.	130
Figura 5.44–Rendimento percentual em função da potência de saída do <i>MSCCBK</i> para diferentes frequências de comutação.	131

Figura 5.45–Tensões de entrada e de saída de cada conversor e corrente de saída: (a) 1W; (b) 15 W; (c) 30 W. Escalas: $V_i=25$ V; $V_{oSC}=2,5$ V; $V_o=0,5$ V; $t=2$ μ s; (a) $I_o=1$ A; (b) $I_o=10$ A; (c) $I_o=20$ A.	132
Figura 5.46–Formas de onda e resultados do analisador de potência das tensões e correntes de entrada e saída : (a) 1W; (b) 15 W; (c) 30 W. Escalas: $V_i=25$ V; $V_o=0,5$ V; $t=2$ μ s; (a) $I_i=200$ mA; $I_o=1$ A; (b) $I_i=500$ mA; $I_o=5$ A; (c) $I_i=2$ A; $I_o=10$ A;	133
Figura 5.47–Corrente nos indutores e corrente de saída com carga nominal: (a) Malha aberta; (b) Malha fechada; Escalas: $I_L=2$ A; $I_o=10$ A; $t=2$ μ s.	134
Figura 5.48–Tensões de entrada e de saída de cada conversor e corrente de saída sob degrau de carga (a) 10 W para 30 W; (b) 30 W para 10 W. Escalas: $V_i=25$ V; $V_{oSC}=2,5$ V; $V_o=0,5$ V; $I_o=20$ A; $t=40$ ms.	135
Figura 5.49–Rendimento percentual teórico e experimental em função da potência de saída do <i>MSCCBK</i> em 80 kHz.	136

LISTA DE TABELAS

Tabela 2.1 – Resumo das Topologias Revisadas.	35
Tabela 2.2 – Esforços de tensão e corrente do <i>BKSI</i>	47
Tabela 3.1 – Esforços de corrente nos componentes do conversor <i>buck-buck</i>	61
Tabela 3.2 – Parâmetros de projeto do conversor <i>buck-buck</i>	62
Tabela 3.3 – Principais características dos indutores	65
Tabela 3.4 – Principais características do <i>MOSFET</i> IXKH70N60C5	67
Tabela 3.5 – Principais características do diodo SCS215AG	67
Tabela 3.6 – Perdas teóricas do conversor <i>buck-buck</i> para $D_{sp} = 0,7$ e 100 W	71
Tabela 4.1 – Esforços de tensão e corrente do <i>CSSC</i> para $D=0,5$	81
Tabela 4.2 – Esforços de tensão em cada célula nos capacitores e interruptores das conexões cascata e <i>ladder</i>	82
Tabela 4.3 – Esforços de tensão e corrente do <i>MSSC</i> para $D=0,5$	84
Tabela 4.4 – Especificações de projeto	84
Tabela 4.5 – Principais características do <i>MOSFET</i> IXFY26N30X3	85
Tabela 4.6 – Parâmetros do circuito e análise de perdas	86
Tabela 4.7 – Esforços de tensão e corrente teóricos e de simulação do <i>CSCC</i>	89
Tabela 5.1 – Especificações de projeto.	98
Tabela 5.2 – Principais características do <i>MOSFET</i> BSC016N06NST	98
Tabela 5.3 – Comparação entre as topologias.	99
Tabela 5.4 – Perdas e eficiência dos conversores.	99
Tabela 5.5 – Esforços de tensão e corrente do <i>MSSC</i> para $D=0,5$	101
Tabela 5.6 – Esforços de tensão e corrente de simulação do <i>MSCC</i>	104
Tabela 5.7 – Especificações de projeto do <i>BKSI</i>	116
Tabela 5.8 – Esforços de tensão e corrente do <i>BKSI</i>	116
Tabela 5.9 – Perdas e eficiência do <i>BKSI</i> com potência nominal.	117
Tabela 5.10–Especificações de controle do <i>BKSI</i>	119
Tabela 5.11–Esforços de tensão e corrente simulados do <i>BKSI</i> com carga nominal.	121
Tabela 5.12–Comparação Entre Topologias Abaixadoras de Alto Ganho	136

LISTA DE ABREVIATURAS E SIGLAS

BKSI	Conversor <i>Buck</i> Síncrono <i>Interleaved</i>
CA	Corrente Alternada
CC	Corrente Contínua
CSCC	<i>Cascade Switched Capacitor Converter</i>
DBI	<i>Dual Boost Inverter</i>
DSP	<i>Digital Signal Processor</i>
FPGA	<i>Field-Programmable Gate Array</i>
GaN	<i>Gallium Nitride</i>
ISOP	<i>Input Series Output Parallel</i>
LSCC	<i>Ladder Switched Capacitor Converter</i>
MOSFET	<i>Metal-Oxide Semiconductor Field Effect Transistor</i>
MCC	Modo de Condução Contínua
MCgC	Modo de Carga Completa
MCD	Modo de Condução Descontínua
MCP	Modo de Carga Parcial
MSC	Modo Sem Carga
MSCC	<i>Mixed Switched Capacitor Converter</i>
PDU	<i>Power Distribution Unity</i>
PUE	<i>Power Usage Effectiveness</i>

PI	Proporcional Integral
PSU	<i>Power Supply Unity</i>
PWM	<i>Pulse Width Modulation</i>
SiC	<i>Silicon Carbide</i>
SCC	<i>Switched Capacitor Converter</i>
STC	<i>Switched Tank Converter</i>
UPS	<i>Uninterruptible Power Supply</i>
VR	<i>Voltage Regulator</i>
VSI	<i>Voltage Source inverter</i>
ZVS	<i>Zero Voltage Switching</i>

SUMÁRIO

CAPÍTULO 1		22
1	INTRODUÇÃO	22
1.1	INTRODUÇÃO GERAL	22
1.2	OBJETIVOS GERAIS	24
1.3	OBJETIVOS ESPECÍFICOS	25
1.4	ESTRUTURA DO TRABALHO	25
CAPÍTULO 2		27
2	REVISÃO DO ESTADO DA ARTE	27
2.1	INTRODUÇÃO DO CAPÍTULO	27
2.2	ARQUITETURAS USADAS EM <i>DATA CENTERS</i>	27
2.2.1	Topologias abaixadoras de alto ganho usadas comercialmente	29
2.2.2	Topologias abaixadoras de alto ganho propostas na literatura	32
2.3	APLICAÇÕES EM <i>FPGAS</i>	36
2.4	CONVERSORES DIFERENCIAIS	37
2.5	CÉLULAS DE CAPACITOR CHAVEADO	37
2.6	CÉLULA <i>LADDER</i>	38
2.6.1	Análise estática	39
2.6.2	Projeto	41
2.7	CONVERTOR <i>BUCK</i> SÍNCRONO <i>INTERLEAVED</i>	43
2.7.1	Análise do conversor	44
2.7.2	Projeto	46
2.8	CONCLUSÕES DO CAPÍTULO	47
CAPÍTULO 3		49
3	CONVERSORES CC-CC ABAIXADORES DIFERENCIAIS	49

3.1	INTRODUÇÃO DO CAPÍTULO	49
3.2	ANÁLISE DOS CONVERSORES DIFERENCIAIS ABAIXADORES .	49
3.2.1	Análise do conversor <i>buck-buck</i>	50
3.2.2	Análise do conversor <i>boost-boost</i>	56
3.2.3	Análise do conversor <i>buck-boost - buck-boost</i>	57
3.3	METODOLOGIA DE PROJETO DO CONVERSOR <i>BUCK-BUCK</i> .	59
3.3.1	Equacionamento	59
3.3.2	Resultados de simulação	61
3.3.3	Resultados experimentais	63
3.4	CONCLUSÕES DO CAPÍTULO	71
CAPÍTULO 4		73
4	CONVERSOR A CAPACITOR CHAVEADO EM CASCATA	73
4.1	INTRODUÇÃO DO CAPÍTULO	73
4.2	CONEXÃO CASCATA DA CÉLULA <i>LADDER</i>	73
4.3	ANÁLISE DA CONEXÃO	74
4.3.1	Circuito Equivalente	75
4.3.2	Análise de perdas	79
4.4	ESFORÇOS DE TENSÃO E CORRENTE	80
4.5	COMPARAÇÃO COM A CONEXÃO <i>LADDER</i>	80
4.6	CONEXÃO MISTA DA CÉLULA <i>LADDER</i>	81
4.7	EXEMPLO DE PROJETO	84
4.8	RESULTADOS DE SIMULAÇÃO	86
4.9	RESULTADOS EXPERIMENTAIS	91
4.10	CONCLUSÕES DO CAPÍTULO	95
CAPÍTULO 5		96
5	SOLUÇÃO PROPOSTA PARA CONVERSÃO DE 48 V PARA 1 V	96
5.1	INTRODUÇÃO DO CAPÍTULO	96
5.2	CONVERSÃO DE 48 V PARA 3 V	96
5.2.1	Critério de Escolha da Topologia	96
5.2.2	Projeto	100
5.2.3	Resultados de Simulação	101
5.2.4	Resultados Experimentais	106

5.3	CONVERSÃO DE 3 V PARA 1 V	115
5.3.1	Projeto	115
5.3.2	Resultados de Simulação	120
5.3.3	Resultados Experimentais	123
5.4	CONVERSÃO DE 48 V PARA 1 V	126
5.4.1	Análise em Frequência	126
5.4.2	Resultados Experimentais	130
5.5	COMPARAÇÃO COM OUTRAS ESTRUTURAS	134
5.6	CONCLUSÕES DO CAPÍTULO	137
CAPÍTULO 5		138
6	CONCLUSÃO	138
6.1	CONCLUSÕES DA TESE	138
6.2	TRABALHOS FUTUROS	139
6.3	PUBLICAÇÕES RELACIONADAS A TESE	141
6.4	OUTRAS PUBLICAÇÕES	141
REFERÊNCIAS		142
APÊNDICE A	PLANILHA DE COMPARAÇÃO ENTRE TOPOLOGIAS A CAPACITOR CHAVEADO	149
APÊNDICE B	PLANILHA DE PROJETO DO MSCC E DO BKSI	155
APÊNDICE C	ESQUEMÁTICO DA PLACA DE CIRCUITO IMPRESSO DOS <i>GATE-DRIVERS</i>	166
APÊNDICE D	ESQUEMÁTICO DA PLACAS DE CIRCUITO IMPRESSO DE CONDICIONAMENTO DE SINAL	168
APÊNDICE E	ESQUEMÁTICO DA PLACAS DE CIRCUITO IMPRESSO DO <i>MSCC</i>	171
APÊNDICE F	ESQUEMÁTICO DA PLACAS DE CIRCUITO IMPRESSO DO <i>BKSI</i>	174
APÊNDICE G	CONTROLE DO <i>BKSI</i> IMPLEMENTADO NO <i>DSP</i>	177

APÊNDICE H	PLANILHA DE ANÁLISE DO RENDIMENTO PELA FREQUÊNCIA DE COMUTAÇÃO . . .	181
ANEXO A	NÚCLEO DO INDUTOR USADO NO CONVER- SOR BUCK-BUCK	189
ANEXO B	CAPACITOR USADO NO MSCC E NO BKSI . . .	191
ANEXO C	INDUTOR USADO NO BKSI	193

CAPÍTULO 1

INTRODUÇÃO

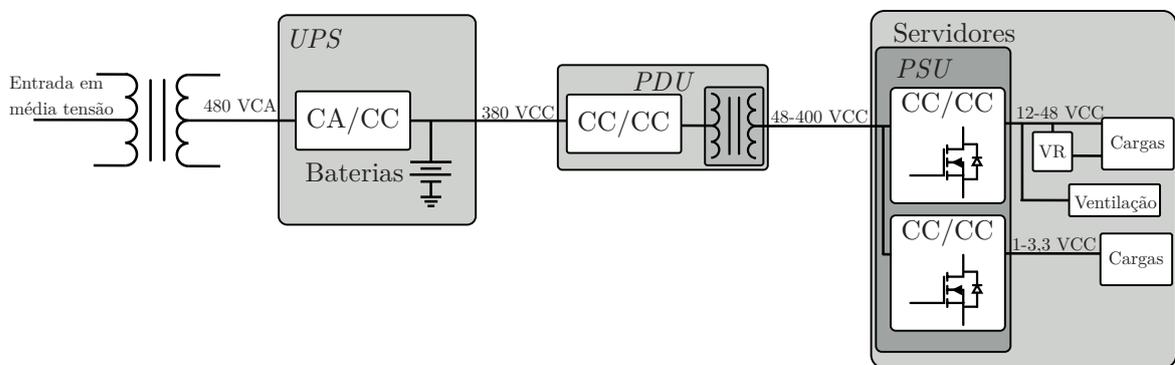
1.1 INTRODUÇÃO GERAL

Em 2020 *data centers* foram responsáveis pelo consumo de 1,1% da energia elétrica mundial, segundo [5], e a tendência é de aumentar nos próximos anos. Uma métrica usada para medir a eficiência energética de um *data center* é chamada de *PUE* (do inglês, *Power Usage Effectiveness*), na qual um *PUE* de 2 representa que, para cada watt gasto com computação, mais 1 watt é gasto com resfriamento e perdas, ou seja, tem uma eficiência de 50% [6, 7]. Um *data center* considerado de alta eficiência tem um *PUE* de 1,2, enquanto *data centers* da Google já estão atingindo *PUE* de 1,1 e abaixo [8]. No entanto, muitos *data centers* ainda operam com *PUE* de 2 ou acima, sendo que a média de *PUE* mundial em 2019 foi de 1,67 [7]. Assim, elevar a eficiência dos *data centers* é importante para reduzir o consumo e as despesas com energia das empresas. Conversores de maior rendimento reduzem diretamente o consumo de energia, e também indiretamente por necessitar de menos resfriamento. Estes conversores podem ser obtidos, por exemplo, através de novas tecnologias de componentes eletrônicos, de novas topologias e de projetos otimizados. Mesmo conversores caros, com componentes de alta tecnologia, acabam se pagando com o tempo nestas aplicações pela redução na conta de energia.

As arquiteturas dos sistemas elétricos usados em *data centers* podem ser divididas nas seguintes partes [9, 10], conforme a Figura 1.1: a entrada de energia, que normalmente é em média tensão; a fonte de alimentação ininterrupta (*UPS*, do inglês *Uninterruptible Power Supply*) [11]; um sistema de distribuição (*PDU*, do inglês *Power Distribution Unity*) [1, 12], que pode ser em corrente contínua (CC) ou corrente alternada (CA), e faixas de potência que dependendo do tamanho do *data center*, indo de alguns quilowatts até megawatts; e os servidores, compostos pelas fontes de alimentação (*PSU*, do inglês *Power Supply Unity*) e as cargas, que consistem em cargas computacionais (como processadores,

memórias e placas mãe) e sistemas de ventilação. Nas *PSUs* [13, 14] é realizada a conversão da tensão de barramento para as tensões intermediárias dos barramentos de carga, como 12 V ou 48 V e potências indo das centenas de watts até as dezenas de kW. Já nas placas mãe, conversores chamados de reguladores de tensão (*VR*, do inglês *voltage regulator*) ou conversores *POLs* (do inglês *Point Of Load*) [15, 16] transformam a tensão do barramento de carga para a tensão das cargas computacionais, entre 12 V e 1 V, e potências da ordem das unidades até as centenas de watts. Observa-se que, em alguns casos, a conversão total do sistema é de 400 V para 1 V, o que gera um desafio em termos de rendimento devido às altas tensões de entrada e corrente de saída. Assim, há diversas pesquisas de novas topologias para uso em *data centers* de forma a se elevar a eficiência, em especial nos estágios CC-CC abaixadores das *PSUs* e *VRs*. [1, 3, 2].

Figura 1.1 – Sistema elétrico de um *data center* com conversão direta da tensão de barramento.

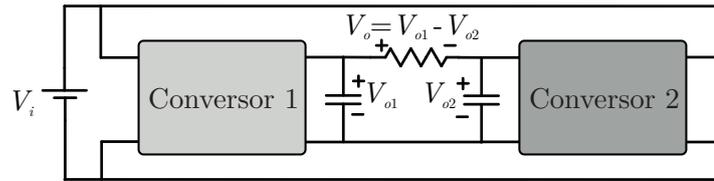


Fonte: Autor.

Outras aplicações, em especial fontes auxiliares, também necessitam de reduzido ganho de tensão. Um exemplo são os *FPGAs* (do inglês, *Field-Programmable Gate Array*), que necessitam de diversos níveis de tensão de alimentação, variando entre 0,9 e 3,3 V, que são geradas a partir de barramentos entre 12 V e 48 V, e potências chegando nas dezenas de watts [17, 18, 19].

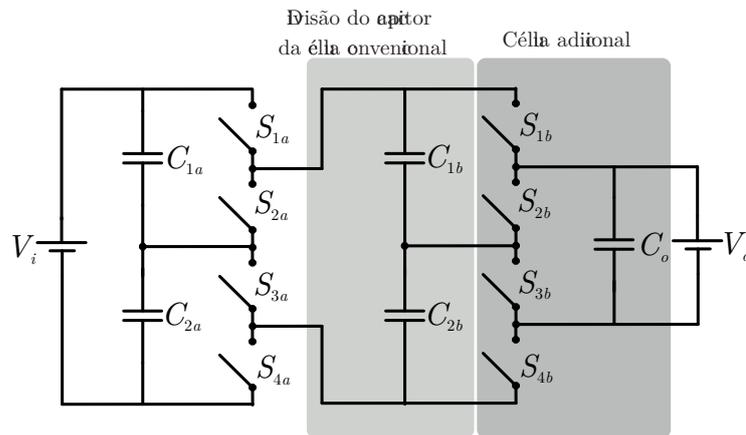
Baseado nessas premissas, este trabalho irá investigar topologias para uso nos estágios CC-CC abaixadores dos sistemas elétricos de *data centers* e outras fontes auxiliares, buscando conversão da tensão do barramento para tensão dos componentes eletrônicos. Serão estudadas topologias diferenciais abaixadoras (Figura 1.2) e uma nova conexão da célula *ladder* de capacitor chaveado (Figura 1.3). Por fim, é proposta uma solução para a conversão de 48 V para 1 V em dois estágios, o primeiro usando uma conexão mista entre a *ladder* clássica e a proposta no trabalho (Figura 1.4), e o segundo usando um conversor *buck* síncrono de três fases com *interleaving* (Figura 1.5).

Figura 1.2 – Circuito de conversores diferenciais.



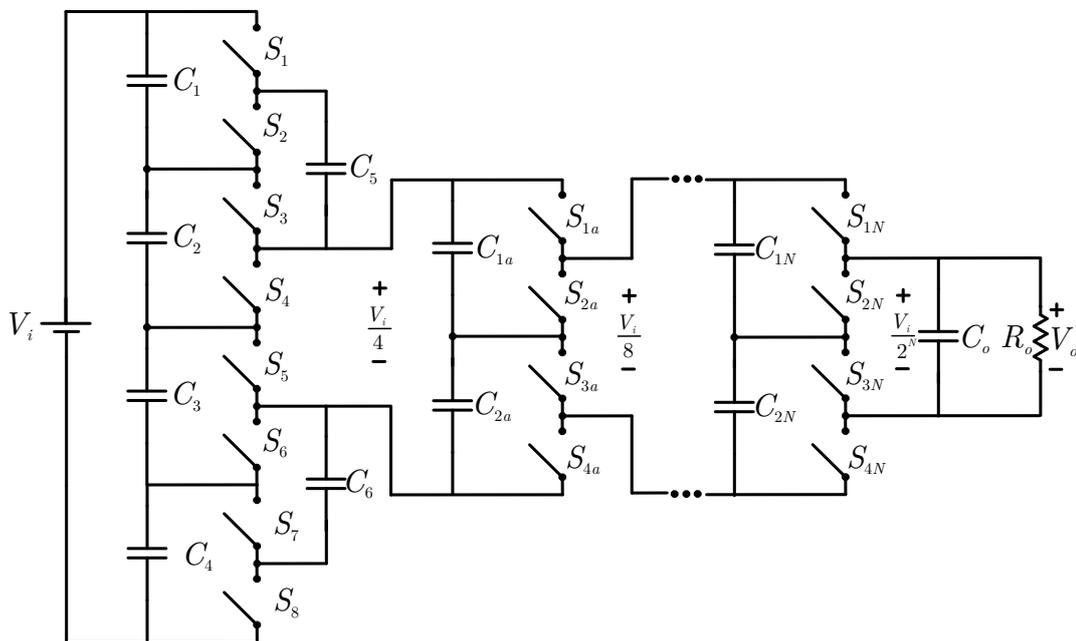
Fonte: Autor.

Figura 1.3 – Conexão cascata da célula ladder de capacitor chaveado.



Fonte: Autor.

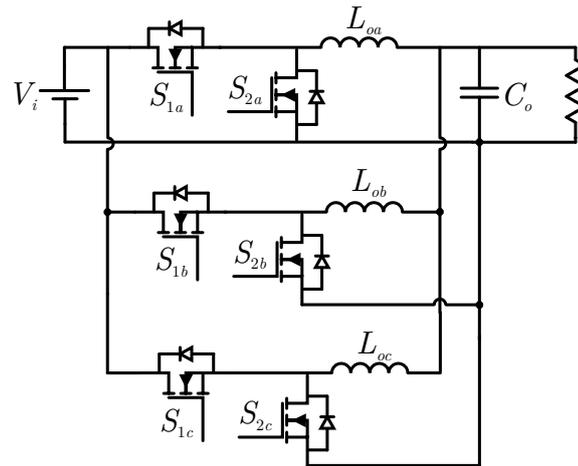
Figura 1.4 – Conexão mista da célula ladder.



Fonte: Autor.

1.2 OBJETIVOS GERAIS

Este trabalho de tese de doutorado tem por objetivo investigar topologias de conversores CC-CC abaixadores com reduzido ganho de tensão para uso na conversão da tensão de barramento para tensão de alimentação de circuitos eletrônicos, em especial

Figura 1.5 – Conversor *buck* síncrono *interleaved* de três fases.

Fonte: Autor.

para fontes de *data centers*.

1.3 OBJETIVOS ESPECÍFICOS

- Estudar topologias para uso na conversão da tensão de barramento para a tensão das cargas computacionais.
- Estudar topologias diferenciais abaixadoras.
- Estudar a conexão cascata da célula *ladder* de capacitor chaveado.
- Analisar o conversor *buck* síncrono *interleaved*.
- Validar os estudos via simulações e resultados experimentais.
- Escolher entre as topologias propostas de uma solução para conversão de 48 V para 1 V.
- Verificar a possibilidade do uso destas topologias nos estágios CC-CC abaixadores de *data centers*.

1.4 ESTRUTURA DO TRABALHO

O trabalho está dividido da seguinte forma:

No Capítulo 2 é feita uma revisão do estado da arte, abordando arquiteturas dos sistemas elétricos de *data centers*, algumas topologias propostas na literatura para estágios abaixadores desses sistemas, uma revisão dos conceitos de conversores diferenciais e conversores a capacitor chaveado, em especial da célula *ladder*, e uma revisão do conversor *buck* síncrono *interleaved*.

No Capítulo 3 é apresentado o estudo de conversores diferenciais abaixadores, mostrando teoria, resultados de simulações e experimentais da topologia *buck-buck*.

No Capítulo 4 é apresentado o estudo da conexão cascata da célula *ladder* de capacitor chaveado, mostrando a análise da conexão, análise de perdas, resultados de simulação e experimentais.

No Capítulo 5 é apresentada a proposta do trabalho para conversão de 48 V para 1 V, mostrando resultados experimentais, uma análise em frequência e comparação com outras topologias.

No Capítulo 6 são apresentadas as conclusões e sugestões para continuação do trabalho.

CAPÍTULO 2

REVISÃO DO ESTADO DA ARTE

2.1 INTRODUÇÃO DO CAPÍTULO

Neste capítulo serão revisadas as arquiteturas usadas em *data centers* e os desafios em se obter alta eficiência nestes sistemas. As principais topologias usadas na indústria e existentes na literatura para os estágios CC-CC serão mostradas para exemplificar alguns modos de se obter um reduzido ganho de tensão. Após isso, será mostrado como funciona a fonte de alimentação de um *FPGA* e conversores usados nesta aplicação. Em seguida será realizada uma breve revisão sobre os conversores diferenciais abaixadores, que será uma das propostas deste trabalho. Também serão mostradas algumas topologias de conversores a capacitor chaveado. Dentre estes conversores será feita uma revisão da célula *ladder*, a qual será usada em outra proposta. Por último, será realizada uma revisão do conversor *buck* síncrono *inteleaved*, que será mais uma das topologias usadas aqui.

2.2 ARQUITETURAS USADAS EM *DATA CENTERS*

Algumas das principais arquiteturas do sistema elétrico de *data centers* presentes na literatura serão abordadas nesta seção.

Inicia-se a revisão com uma arquitetura com distribuição em corrente alternada (CA) mostrada na Figura 2.1 (a). Essa arquitetura possui baixa eficiência devido ao duplo estágio de conversão na *UPS*, as maiores perdas nos condutores em sistemas CA e a necessidade de retificadores nas *PSUs*. Na Figura 2.1 (b) é apresentada uma arquitetura com distribuição em corrente contínua (CC). Esta solução é mais eficiente pois possui apenas um estágio de conversão na *UPS*, e menores perdas nos condutores (por ser corrente contínua) e nas *PSUs* (pela ausência do retificador) [9, 10]. Dentre as redes de distribuição CC, existem arquiteturas em 400 V [10] (Figura 2.1 (b)), 380 V [9] (Figura 2.1 (b)), e 48 V, mais comumente usados em sistemas de telecomunicações [10] (Figura 2.1 (c)). Os

sistemas em 400 V são mais eficientes, enquanto os de 48 V proporcionam maior segurança ao usuário. Alguns estudos propõe melhorias nos sistemas baseados na arquitetura, como o uso de fontes de energia renováveis conectadas ao barramento [20], e até mesmo o uso de super condutores nos sistemas de armazenamento e distribuição [21]. Também é proposto o uso de redundância na *UPS* e nas *PSUs* para aumentar a confiabilidade [22]. As *PSUs* transformam a tensão do barramento de distribuição ao nível do barramento de entrada das placas mãe e sistemas de ventilação, que são comumente de 12 V. Contudo, estudos recentes estão propondo aumentar esta tensão para 48 V de forma a se elevar a eficiência [23, 1, 24] (Figura 2.1 (d)). Já na placa mãe há um último estágio de conversão, um regulador de tensão, que gera a tensão necessária ao funcionamento de circuitos integrados, memórias e processadores entre 3,3 V e 0,8 V [24]. Trabalhos recentes também propõe a conversão direta do barramento CC para as tensões de alimentação dos processadores [2, 3] (Figura 2.1 (d)). Na conversão de 400 V para 1 V, sendo direta ou não, um dos estágios deve ser isolado [25].

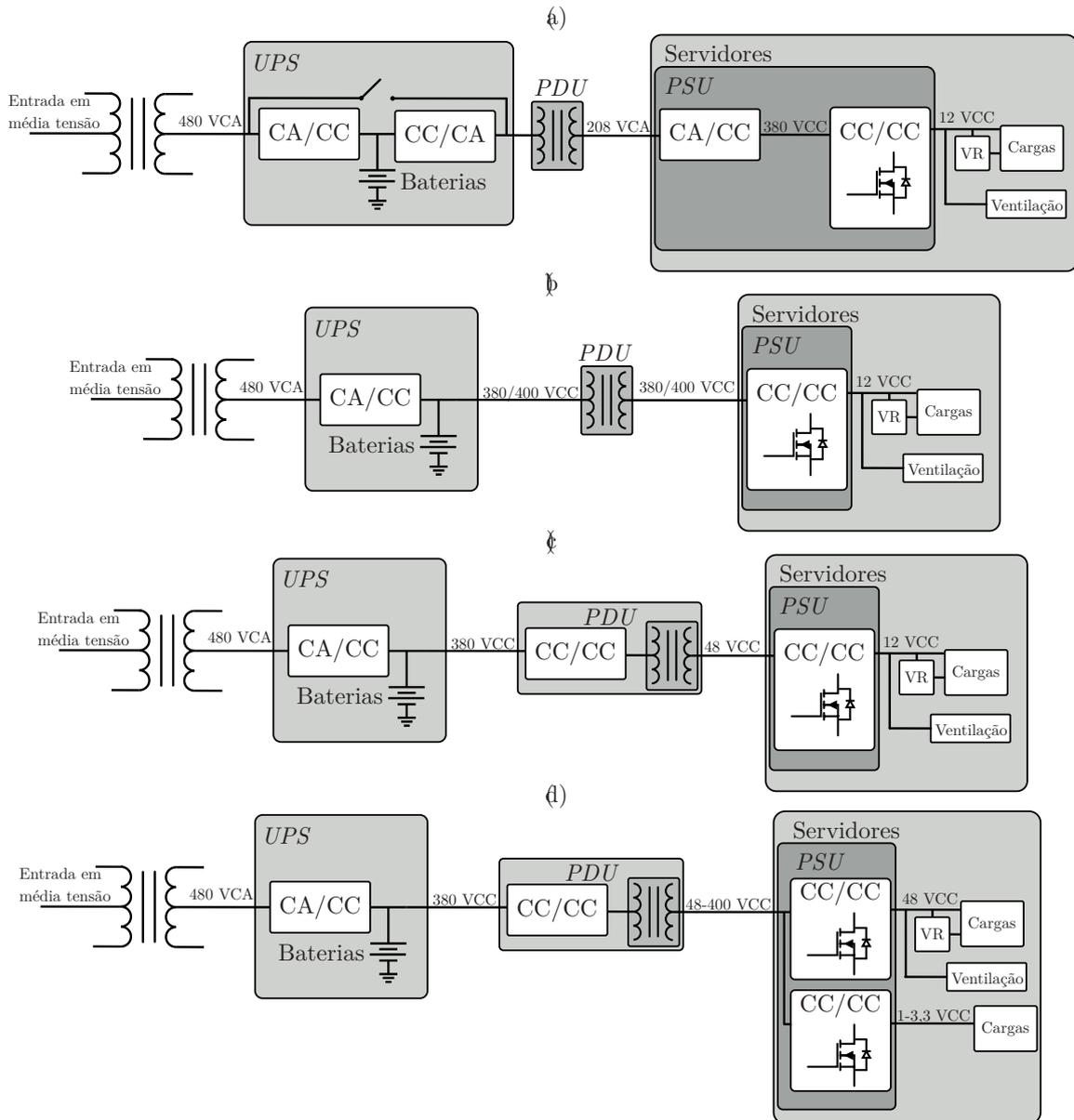
Na Figura 2.2 é apresentada a estrutura física típica de um *data center*. A entrada de energia e a *UPS*, na maioria dos casos, estão em salas separadas. Dessas salas a energia passa por um sistema de distribuição até os servidores, representados pelos *racks*. Esses *racks* contém um sistema para a distribuição de energia interna, as *PSUs* e as placas dos servidores, onde estão os *VRs*. Além disso, devido ao aquecimento causado pelas perdas dos conversores e pelos processadores, é necessário um sistema de refrigeração.

Na Figura 2.3 é apresentada a eficiência em cada estágio de um *data center* com distribuição CC e barramento de cargas em 12 V, que é o mais usado atualmente. É observado que a maior parte das perdas se encontra nos *VRs* devido as elevadas taxas de conversão e correntes, e que o rendimento global do sistema é de apenas cerca de 77%. Em [26] é mostrado que os sistemas com barramento de carga em 48 V tem no geral maior eficiência que os sistemas convencionais de 12 V. Isso porque sistemas em 48 V possuem menores níveis de corrente na saída das *PSUs* e necessitam de capacitâncias menores no barramento, o que é importante pois os sistemas em 48 V devem possuir o mesmo ou menor volume que os sistemas em 12 V para que não sejam necessárias mudanças nas estruturas mecânicas dos servidores.

A Figura 2.1 (d) passa uma visão mais genérica de um sistema de *data center*, nos quais alguns serão foco deste trabalho. Por exemplo, um sistema com barramento de distribuição em 400 V e barramento de carga em 48 V, no qual há conversão de 400 V para 48 V e 48 V para 1 V, ou então conversão direta de 400 V para 1 V. Também é possível, em um sistema com distribuição em 48 V fazer conversão direta para 1 V.

Além das dificuldades da alta taxa de conversão, os *VRs* também tem requisitos de controle específicos dos processadores que causam um desafio a mais no projeto. Porém, a parte de controle não será abordada neste trabalho. Um exemplo dos requisitos de controle de um *VR* para um processador Intel pode ser encontrado em [27].

Figura 2.1 – Arquiteturas usadas em data centers: (a) Distribuição CA; (b) Distribuição CC e tensões de barramento de 380 V ou 400 V; (c) Distribuição CC com tensão de barramento de 48 V; (d) Distribuição CC e conversão direta da tensão de barramento para os processadores.



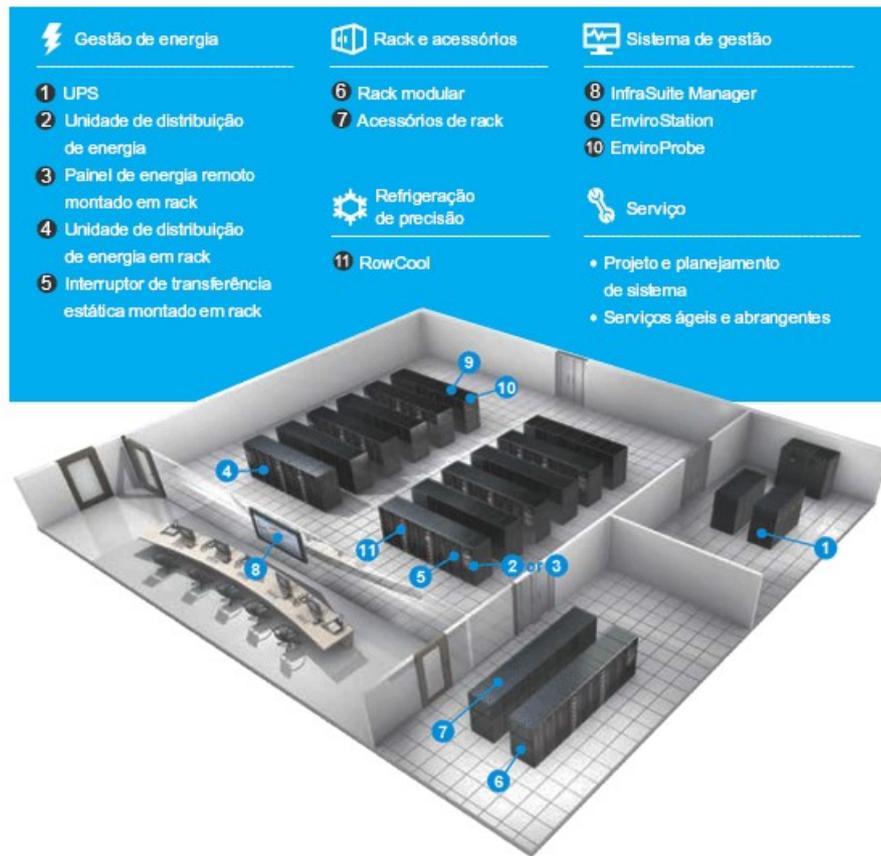
Fonte: Autor.

2.2.1 Topologias abaixadoras de alto ganho usadas comercialmente

Os sistemas convencionais de 12 V usados em *data centers* possuem algumas topologias já bem consolidadas no mercado. Segundo [25], nas *PSUs*, as topologias mais usadas para conversão de 400 V para 12 V são de conversores ressonantes, como o conversor meia ponte LLC ressonante [28] apresentado na Figura 2.4, que muitas vezes são usados em malha aberta [29], sendo a regulação da tensão gerada posteriormente pelos *VRs*. O rendimento obtido pelas *PSUs* atuais fica na casa dos 94%.

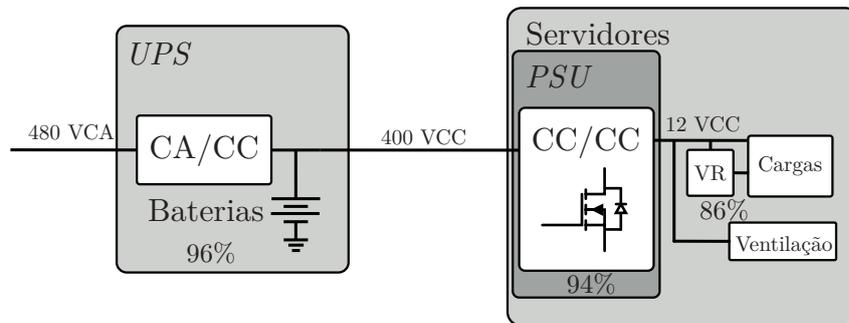
Já nos *VRs* a conversão de 12 V para 1 V pode ocorrer, segundo [25], em um estágio com conversores *buck* síncronos em paralelo com *interleaving* nos sinais de comando

Figura 2.2 – Estrutura física de um *data center*.



Fonte: <https://bp.delta-americas.com/Solutions/Datacenter>.

Figura 2.3 – Eficiência em cada estágio de um sistema de *data center* com distribuição CC.

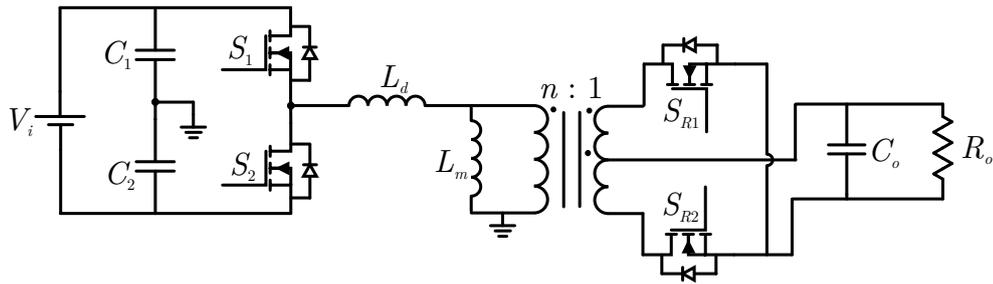


$$\text{Rendimento global} = 96\% \times 94\% \times 86\% = 77\%$$

Fonte: Autor.

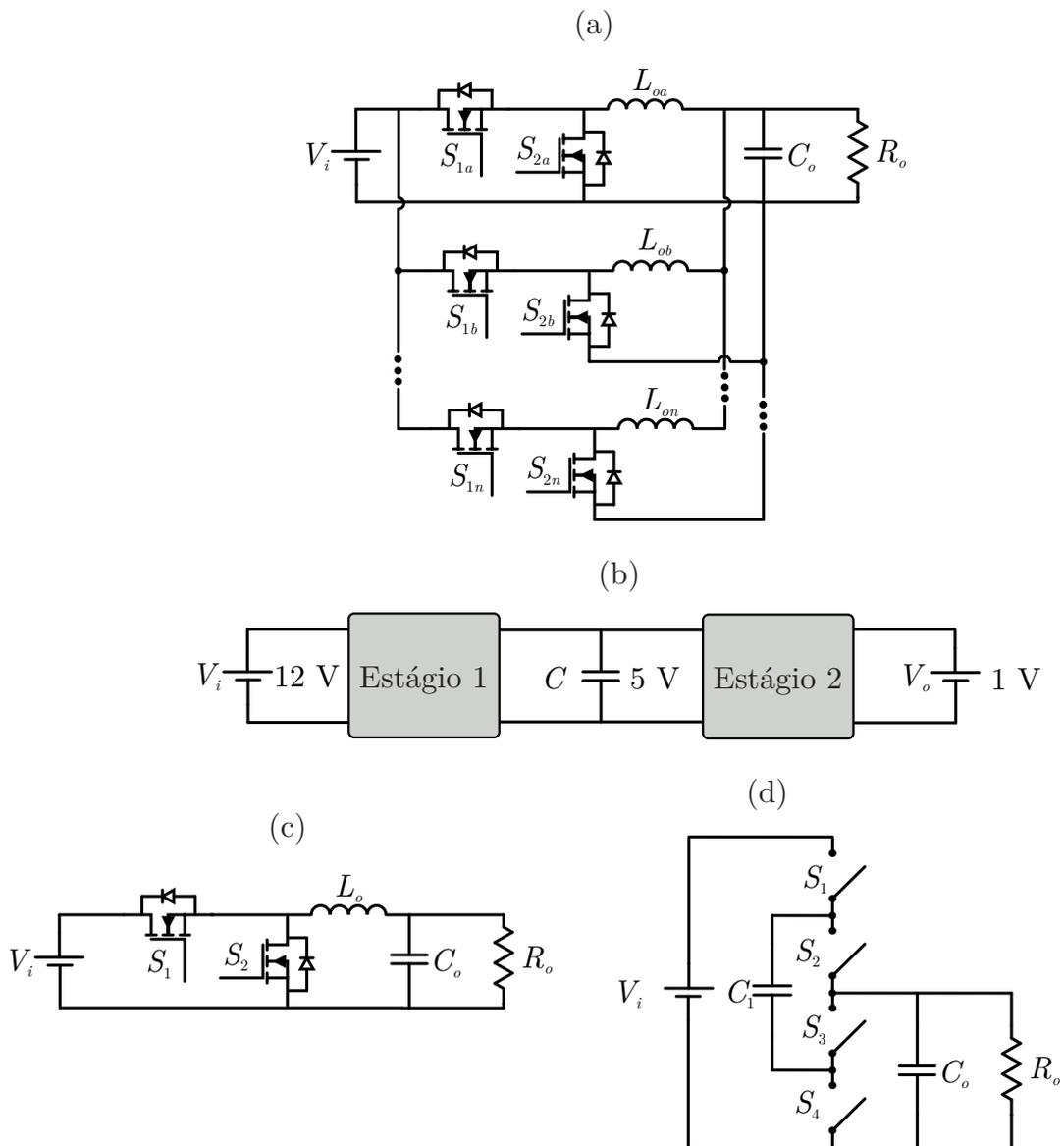
[15, 30, 31], apresentados na Figura 2.5(a), ou em dois estágios (Figura 2.5(b)), no qual o primeiro estágio é o conversor *buck* síncrono da Figura 2.5(c), e o segundo o conversor a capacitor chaveado da Figura 2.5(d) ou os conversores *buck* síncronos com *interleaving* da Figura 2.5(a). O rendimento deste estágio é de aproximadamente 86%, sendo que a eficiência na conversão de 400 V para 1 V fica cerca de 83%.

Figura 2.4 – Conversor meia ponte LLC usando transformador com ponto médio e retificação síncrona.



Fonte: Autor

Figura 2.5 – Soluções usadas atualmente em VRs: (a) Conversor *buck* síncrono *interleaved*; (b) Solução em dois estágios; (c) Conversor *buck* síncrono; (d) Conversor a capacitor chaveado.



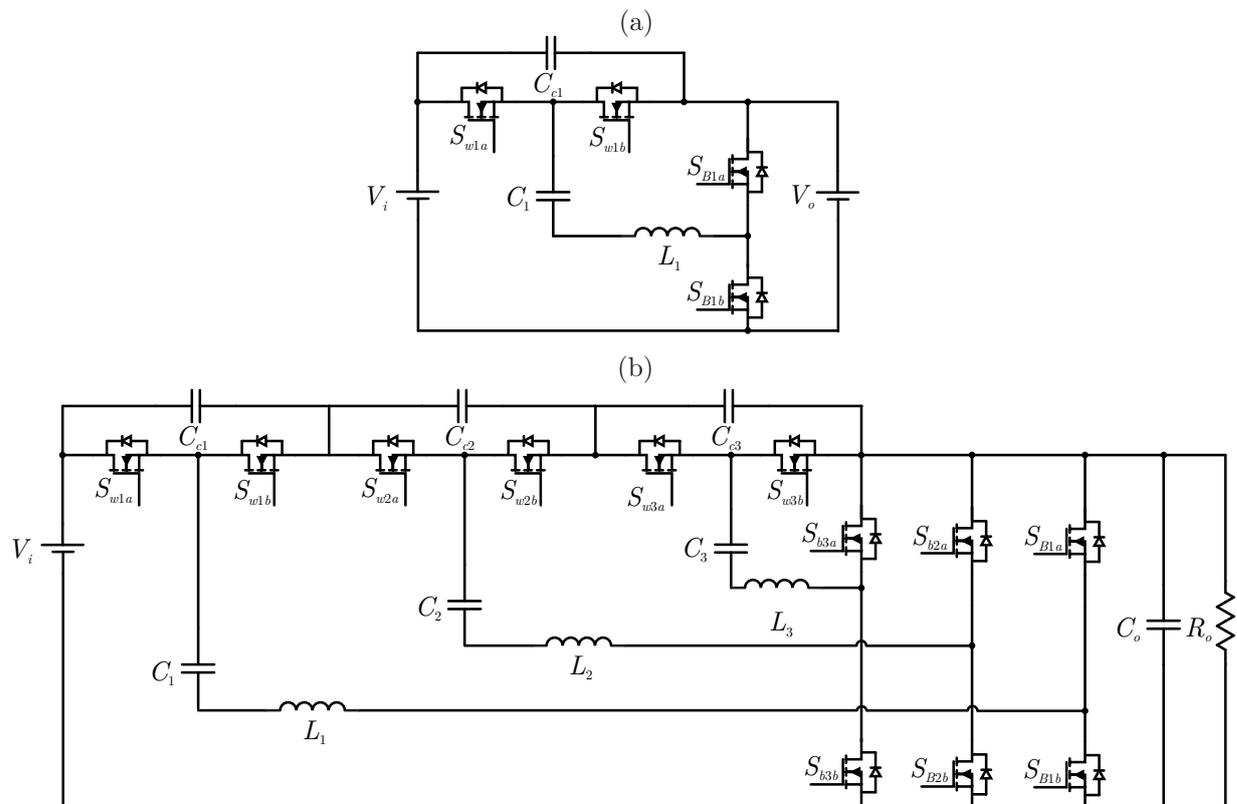
Fonte: Autor

2.2.2 Topologias abaixadoras de alto ganho propostas na literatura

Um dos desafios em se obter alto rendimento em sistemas de *data centers* está no reduzido ganho de tensão. Processadores possuem tensões de alimentação entre 3,3 V e 0,8 V, possuindo assim elevadas correntes que dificultam a obtenção de bons rendimentos, além de que, para um barramento de 400 V, um ganho de até 1/400 é necessário, necessitando de conversores em cascata ou topologias especiais para sua alimentação.

Em [1], uma topologia modular é proposta para aplicações em conversão de 48 V para 1 V. O módulo individual é apresentado na Figura 2.6 (a), e estes módulos são conectados em série, conforme apresentado na Figura 2.6 (b). Esta arquitetura tem as vantagens de possuir os mesmos esforços de tensão nos componentes, sendo estes definidos pela tensão de saída (menor tensão), e os esforços de corrente definidos pela corrente de entrada (menor corrente). Um protótipo foi usado para testes com conversão de 54 V para 9 V (ganho 1/6), 450 W e frequência de comutação de 387 kHz usando dispositivos do tipo *MOSFET* (do inglês *Metal-Oxide Semiconductor Field Effect Transistor*) de nitreto de gálio (*GaN*, do inglês *Gallium Nitride*). Foram usados seis módulos, com eficiência máxima alcançada de 98,55%.

Figura 2.6 – Topologia modular proposta em [1] para conversão de tensões de barramentos de 48 V para 1 V: (a) Módulo individual; (b) Conexão série de módulos.

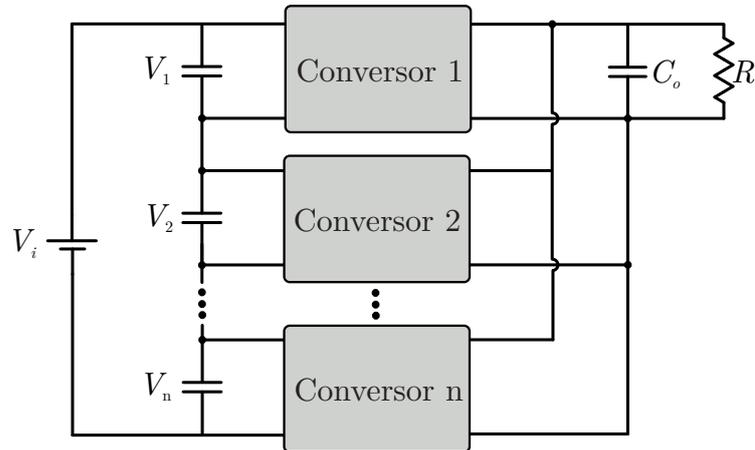


Fonte: Autor.

Em [2], é proposta, também para a taxa de conversão de 400 V para 1 V, a utilização da conexão da entrada em série e saída em paralelo de conversores (*ISOP*, do

inglês *Input Series Output Parallel*), conforme apresentado na Figura 2.7. Este tipo de conexão tem a vantagem de dividir a tensão nos interruptores de entrada, possibilitando o uso de interruptores de menor tensão e menores perdas, e de dividir a corrente de saída, reduzindo as perdas de condução. Contudo, há um desafio em termos de controle para se manter o equilíbrio entre as tensões de entrada e também nas correntes de saída.

Figura 2.7 – Conexão *ISOP* de conversores para conversão direta da tensão de barramento para alimentação de processadores proposta em [2].

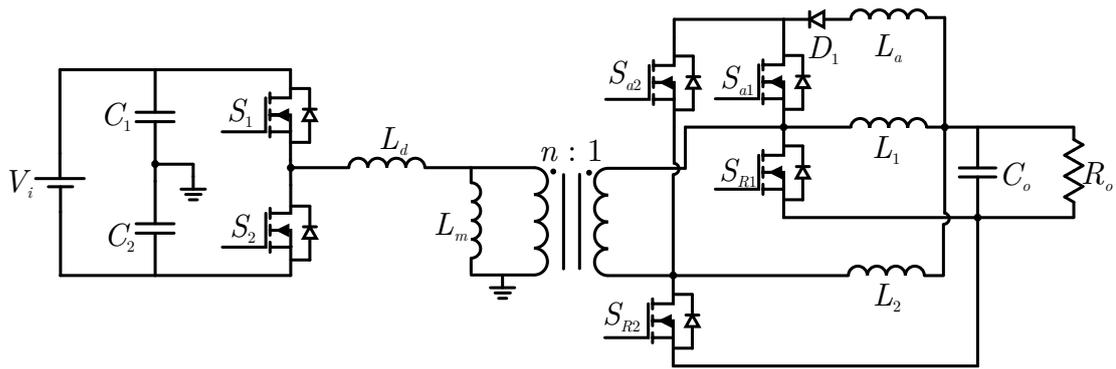


Fonte: Autor.

Na Figura 2.8, é apresentada uma topologia proposta em [3] para conversão direta da tensão de barramento (400 V) para tensão usada em processadores (1 V). O conversor consiste em uma topologia meia ponte isolada, com retificador dobrador de corrente síncrono na saída e comutação suave por tensão nula (*ZVS*, do inglês *Zero Voltage Switching*). O fato de possuir um transformador ajuda a obtenção de alto ganho, enquanto que a comutação suave e a retificação síncrona aumentam o rendimento e reduzem os problemas de comutação. O circuito foi testado com um protótipo com tensão de entrada de 66 V, tensão de saída de 1 V (ganho 1/66) e potência de 30 W, obtendo rendimento máximo de cerca de 91%. A proposta desse autor é aplicar a conexão *ISOP* apresentada anteriormente a esta topologia usando 6 módulos, de forma a se obter a conversão de 400 V para 1 V e 180 W de potência.

Em [4] é proposto o uso de conversores tanque chaveados (*STC*, do inglês *Switched Tank Converter*), que são variações de conversores a capacitor chaveado com uso de indutores. As células básicas de um *STC* são apresentadas na Figura 2.9(a). O uso do tanque ressonante da algumas vantagem aos *STCs* em relação aos *SCCs*, como a possibilidade de comutação suave e, conseqüentemente, menores perdas de comutação, facilidade de carga inicial dos capacitores e maior imunidade as não idealidades do circuito. Os indutores usados são normalmente de valor muito baixo e, em alguns casos, são feitos na própria placa de circuito impresso, tendo baixo impacto nas perdas de condução. O protótipo testado em [4] usou a conexão matricial de células da Figura 2.9(b), obtendo um ganho igual a quatro. Com as especificações de tensão de entrada de 54 V, tensão de

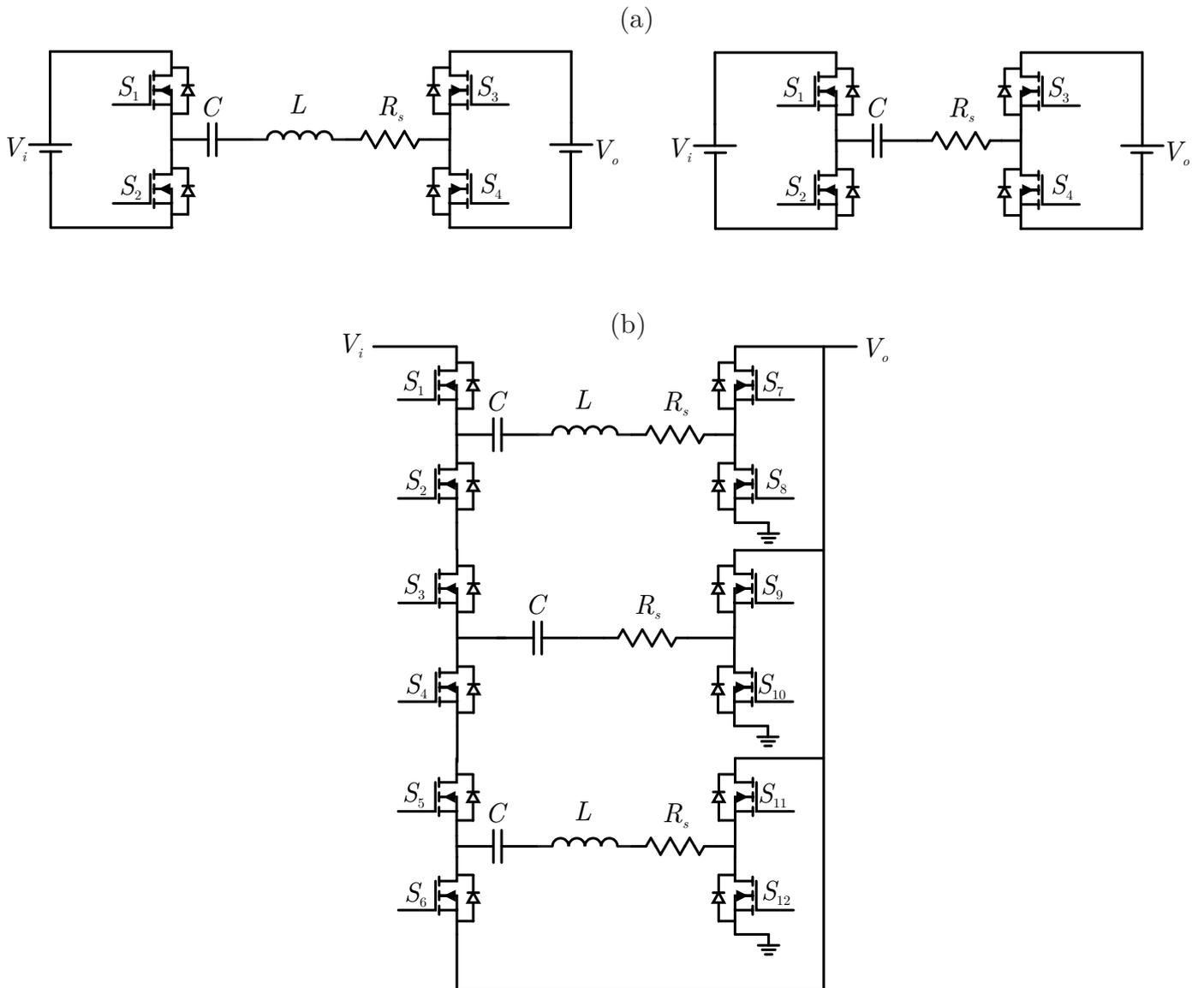
Figura 2.8 – Topologia proposta em [3] para conversão direta da tensão de barramento para alimentação de processadores.



Fonte: Autor.

saída de 13,5 V e potência de 650 W, o conversor obteve um pico de eficiência de 98,92%.

Figura 2.9 – (a) Células básicas de um *STC*. (b) Conexão proposta em [4].



Fonte: Autor.

Na literatura também há trabalhos mais recentes na conversão de 48 V para 1 V. Em [32] é proposta uma solução em dois estágios. O primeiro estágio usa um SCC híbrido para conversão de 48 V para 24 V, e o segundo estágio um conversor *buck* quatro níveis com capacitor série com conversão de 24 V para 1 V. A potência testada foi de 150 W e a máxima eficiência obtida foi de 90,6%. Em [29] são apresentadas novas configurações de transformadores para conversores LLC e sigma. Foi testada a conversão de 48 V para 1,8 V numa potência de até 900 W. O conversor LLC proposto obteve uma máxima eficiência de 94%, enquanto no conversor sigma foi cerca de 95%. Em [33] é proposta uma estrutura chamada pelo autor de *Dual-Phase Multi-Inductor Hybrid Converter*. Este conversor foi testado na conversão de até 48 V para 1 V e 100 W de potência, obtendo uma máxima eficiência de 90,9%. Em [34] é proposto um conversor meia ponte três níveis isolado com dobrador de corrente síncrono na saída. A estrutura foi testada na conversão de 48 V para 1 V e potência máxima de 60 W, obtendo um pico de eficiência de 92,8%. Em [35] é apresentado um conversor *forward* com grampeamento ativo. Ele foi testado com tensões de entrada de 48 V e 12 V, e tensão de saída entre 0,7 V e 1,1 V. No conversão de 48 V para 1 V, obteve eficiência máxima de 89% e potência de saída de até 60 W.

Um resumo com as topologias revisadas é apresentado na Tabela 2.1, na qual V_i é a tensão de entrada, V_o a tensão de saída, G a taxa de conversão, P a máxima potência e η o máximo rendimento. É observado que as topologias usadas nas *PSUs* são projetadas, na sua maioria, com potência de centenas de watts, enquanto que nos *VRs* ela varia de 30 W até cerca de 150 W. As topologias mais utilizadas nos conversores não isolados são os conversores a capacitor chaveado, conversores híbridos, *STCs*, e variações do conversor *buck*, enquanto nos isolados são os conversores *LLC* e meia ponte. A maioria deles usa alguma técnica para elevar a eficiência, como *ZVS* ou divisores de corrente na saída. A eficiência nas *PSUs* varia entre 90% e 99%, enquanto nos *VRs* é entre 89% e 95%.

Tabela 2.1 – Resumo das Topologias Revisadas.

Topologia	Uso	V_i	V_o	G	P	η
[28] <i>LLC</i>	<i>PSU</i>	400 V	12 V	$\frac{1}{33,3}$	200 W	90,9%
[16] <i>Buck</i>	<i>VR</i>	12 V	1,8 V	$\frac{1}{6,66}$	30 W	93%
[1] Modular <i>STC</i>	<i>PSU/VR</i>	54 V	9 V	$\frac{1}{6}$	450 W	98,55%
[3] <i>LLC+CD</i>	<i>PSU/VR</i>	66 V	1 V	$\frac{1}{66}$	30 W	91%
[4] <i>STC/SCC</i>	<i>PSU/VR</i>	54 V	13,5 V	$\frac{1}{4}$	650 W	98,92%
[29] <i>Sigma</i>	<i>VR</i>	48 V	1,8 V	$\frac{1}{26,66}$	900 W	95%
[32] <i>HSCC</i>	<i>VR</i>	48 V	1 V	$\frac{1}{48}$	150 W	90,6%
[33] <i>DP-MIH</i>	<i>VR</i>	48 V	1 V	$\frac{1}{48}$	100 W	90,9%
[34] <i>HB-FC-CD</i>	<i>VR</i>	48 V	1 V	$\frac{1}{48}$	60 W	92,8%
[35] <i>ACFC</i>	<i>VR</i>	48 V	1 V	$\frac{1}{48}$	60 W	89,9%

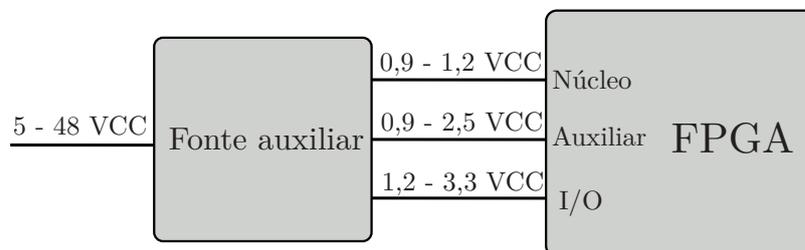
Fonte: Autor.

Não há um consenso na literatura sobre o valor de ganho de um conversor de elevado ganho abaixador, pois o conversor *buck*, em um caso ideal, pode excursionar toda a faixa da tensão de entrada até zero. Contudo, sabe-se que na prática esse ganho é limitado pelas perdas e também pela dificuldade de controle para valores muito baixos de razão cíclica [36, 37]. Por exemplo, na conversão de 48 V para 1 V, a razão cíclica de um conversor *buck* convencional é de apenas 0,02. Por esses motivos, se buscam topologias onde se possa obter uma conversão elevada com valores maiores de razão cíclica.

2.3 APLICAÇÕES EM *FPGAS*

Outra aplicação que necessita de um reduzido ganho de tensão são fontes para os *FPGAs*. Na Figura 2.10 é apresentado o esquema de alimentação de um *FPGA* [17, 18, 19]. A entrada da fonte de alimentação costuma ser de 5 V a 48 V, e pode vir de um barramento ou de outra fonte de alimentação. Essa fonte deve gerar três níveis de tensão, que variam de acordo com o fabricante do *FPGA*. O menor nível de tensão ocorre no núcleo ou processador, com tensões entre 0,9 e 1,2 V e potências que chegam a dezenas de watts. Há também uma alimentação para circuitos auxiliares, com tensões entre 0,9 V e 2,5 V e potências de níveis de unidades de watts. Por último a uma alimentação para os circuitos de entradas e saída (I/O), com tensões entre 1,2 e 3,3 V e potências na faixa da unidade de watts.

Figura 2.10 – Diagrama de alimentação de um *FPGA*.



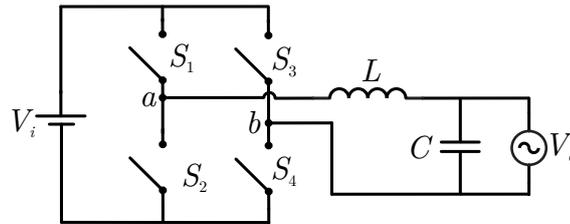
Fonte: Autor.

As soluções usadas para fontes em *FPGAs* são na maioria dos casos integradas. A eficiência varia de acordo com os níveis de tensão de entrada e potência de saída, e costuma estar entre 90% e 96% para potências abaixo de 10 W [17]. Por exemplo, a fabricante *Texas Instruments* possui a solução LMZ10504 para tensões de entrada de 5 V baseada no conversor *buck* síncrono, com eficiência máxima de até 96% [18] para a saída de 3,3 V. Já para tensões de entrada maiores há o LMZ14203, também baseado no conversor *buck* síncrono. A máxima eficiência é na faixa de 90% para tensões de entrada de 12 V e saída de 3,3 V. Para conversões maiores, como 12 V para 0,8 V, a máxima eficiência é de 80 % para a potência de 0,4 W, e de 57% para a potência de 2,4 W. Para a conversão de 36 V para 3,3 V, a eficiência máxima de 93%.

2.4 CONVERSORES DIFERENCIAIS

O conceito de conversores diferenciais é conhecido na literatura e foi aplicado em inversores. No inversor de tensão (*VSI*, do inglês *Voltage Source Inverter*) [38] da Figura 2.11, por exemplo, a tensão de saída senoidal é obtida pela diferença de tensão entre os pontos *a* e *b* modulada e filtrada corretamente. Esse conceito se estendeu também para o inversor diferencial elevador (*DBI*, do inglês *Dual Boost Inverter*) [39].

Figura 2.11 – Circuito de um inversor de tensão.



Fonte: Autor.

Recentemente, o conceito diferencial também passou a ser usado em conversores CC-CC. Em [40] ele é usado em conversores elevadores, no qual a saída de tensão é a soma das tensões de dois conversores, que podem ou não compartilhar a mesma fonte de entrada. Ainda em [40] os conversores diferenciais elevadores foram divididos em dois grupos: grupo positivo, no qual são usados dois conversores com a mesma polaridade de tensão de entrada e saída (*buck*, *boost*, *SEPIC*); e grupo negativo, no qual são usados conversores com polaridade de tensão de entrada e saída diferentes (*buck-boost*, *Cuk*).

Já em [41] é encontrada uma versão abaixadora dos conversores CC-CC diferenciais, na qual dois conversores *buck* são usados como estágio intermediário em uma aplicação de carregadores de bateria.

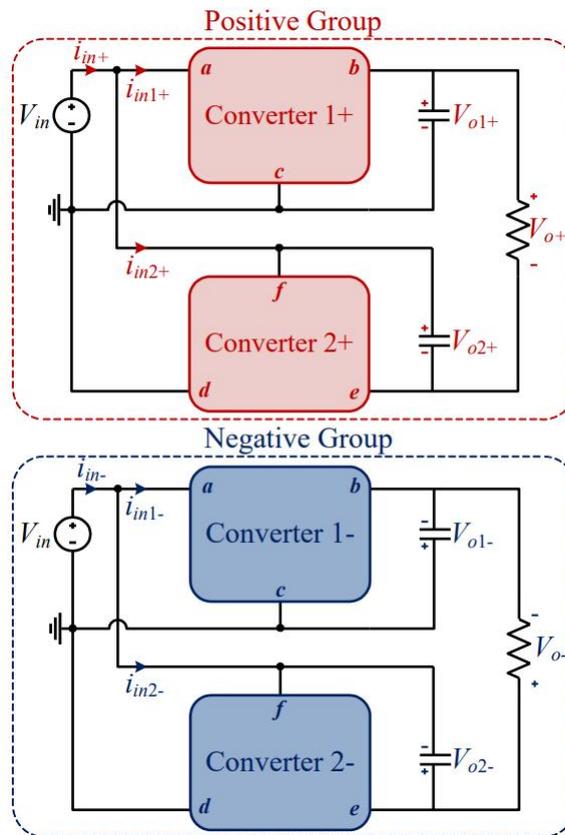
Este trabalho propõe o uso da conexão diferencial para se obter elevadas taxas de conversão nos conversores abaixadores, conforme a Figura 2.13. A tensão resultante de saída é a diferença de tensão entre os conversores 1 e 2, conforme (2.1). No Capítulo 3 serão analisados diferentes conversores como 1 e 2, verificando qual tem maior potencial para aplicação em *data centers*.

$$V_o = V_{o1} - V_{o2} \quad (2.1)$$

2.5 CÉLULAS DE CAPACITOR CHAVEADO

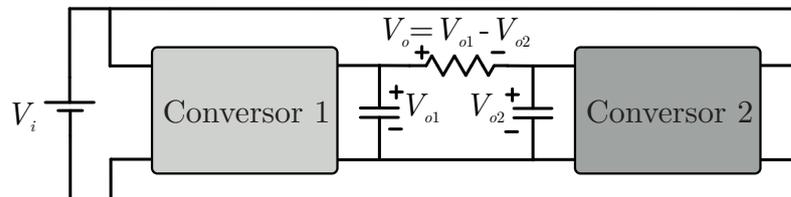
Uma técnica usada com frequência para se obter ganho elevador ou abaixador é o uso de conversores a capacitor chaveado (*SCC*, do inglês *Switched Capacitor Converter*). Os *SCCs* possuem apenas capacitores e interruptores no seu circuito, e tem como característica elevada eficiência e densidade de potência. Como desafio, o controle de tensão é complexo

Figura 2.12 – Conversores diferenciais elevadores dos grupos positivo (*Positive Group*) e negativo (*Negative Group*).



Fonte: [40].

Figura 2.13 – Conversão de tensão diferencial abaixadora.



Fonte: Autor.

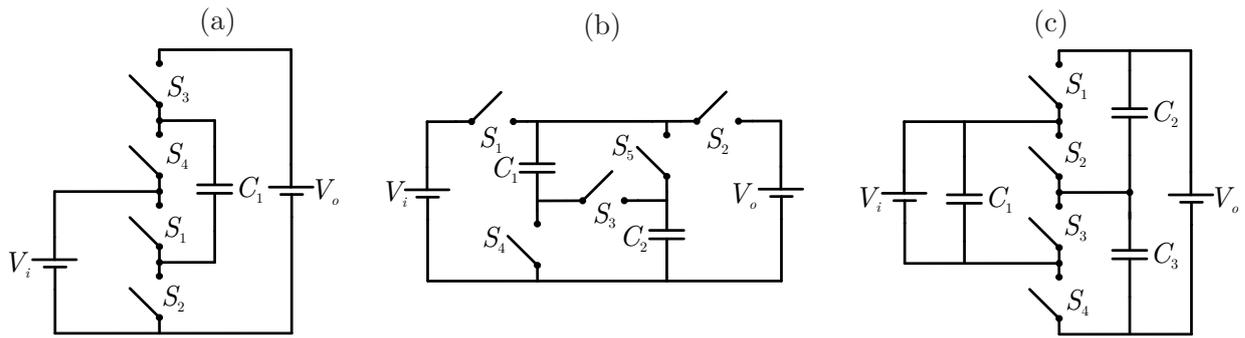
e necessita normalmente de outro conversor, além de ter problemas com picos elevados de corrente durante transitórios [42].

Existem algumas tipos de célula de capacitor chaveado, como a Dickson [43], a série paralelo [42] e a *ladder* [42], apresentadas nas Figuras 2.14(a), (b) e (c) respectivamente.

2.6 CÉLULA LADDER

Dentre as células de capacitor chaveado, a *ladder* é uma das mais usadas em potências maiores, pois ela permite multiplicar ou dividir a tensão com o mesmo esforço de tensão em todos os componentes. Em [44], é mostrado que, para altas taxas de conversão, ela é mais eficiente que estruturas usando magnéticos e outras células de capacitor chaveado.

Figura 2.14 – Exemplos de conversores a capacitor chaveado: (a) Dickson; (b) Série-paralelo; (c) *Ladder*.



Fonte: Autor.

Assim, buscando conversores abaixadores com reduzido ganho de tensão e elevada eficiência, a célula *ladder* será estudada mais a fundo.

Os conversores que usam a célula *ladder* podem ser elevadores ou abaixadores. Além disso, quando todos os interruptores usados são bidirecionais, ela é bidirecional em tensão e corrente e pode operar como conversor CA-CA [45, 46]. Assim como outros *SCCs*, ela não possui forma simples de controle de tensão. Por isso, ela é normalmente usada em cascata ou híbrida com conversores controlados de forma a incrementar o ganho deles.

Existem diversas aplicações para os *ladder SCCs*. Em [47], uma versão híbrida com o conversor *forward* é usada em aplicações CC-CC abaixadoras com alta tensão de entrada. O protótipo construído obteve a conversão de 2000 V para 24 V e potência de até 200 W, com pico de rendimento de 90,66%. Já em [48] são apresentados estudos de conversores híbridos usando os conversores *buck*, *boost* e *buck-boost*. A versão *buck* foi testada numa conversão de 600 V para 150 V e 1 kW de potência, obtendo um pico de rendimento de 95,5%.

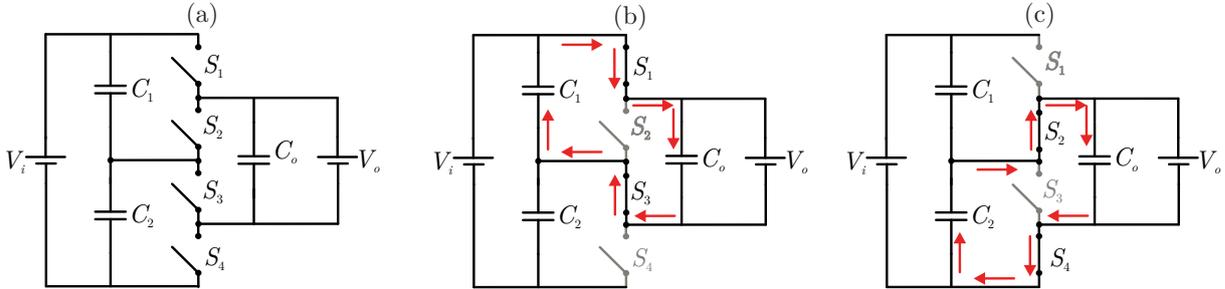
Além dos conversores CC-CC, a célula *ladder* também é usada em outros tipos de conversão. Em [49] um conversor CA-CC é obtido da integração da célula *ladder* com um conversor *boost* com correção do fator de potência, realizando a conversão de 220 V_{rms} para 800 V_{cc} e 1 kW de potência, alcançando um pico de rendimento de 97,9%. Em [46] a versão CA-CA de célula é testada em um protótipo com conversão de 220 V para 110 V e 1 kW de potência, com rendimento de até 97,3%. Por fim, em [45] o conversor apresentado em [46] foi cascadeado com um *VSI*, obtendo um conversor CC-CA com característica elevadora. Ele foi testado com conversão de 300 V_{cc} para 220 V_{rms} e potência de 1 kW, obtendo rendimento de 91 %.

2.6.1 Análise estática

A versão abaixadora da célula *ladder* da Figura 2.14 (c) é apresentada na Figura 2.15 (a). De forma simplificada, este circuito tem duas etapas de operação. Na primeira, mostrada na Figura 2.15 (b), os interruptores S_1 e S_3 entram em condução, colocando o

capacitor de saída C_o em paralelo com C_1 enquanto S_2 e S_4 permanecem bloqueados. Na segunda etapa de operação, apresentada na Figura 2.15 (c), S_1 e S_3 bloqueiam e S_2 e S_4 entram em condução, colocando o capacitor C_o em paralelo com C_2 .

Figura 2.15 – Célula *ladder* de capacitor chaveado: (a) Versão abaixadora; (b) Primeira etapa de operação; (c) Segunda etapa de operação.



Fonte: Autor.

O *ladder SCC (LSCC)* opera em malha aberta e, para razão cíclica de 0,5 e considerando todos os capacitores com a mesma capacitância, é possível obter a tensão de saída do conforme (2.2). Da tensão de saída se obtém o ganho estático, conforme a (2.3).

$$V_{C1} = V_{C2} = V_o = \frac{V_i}{2} \quad (2.2)$$

$$G_L = \frac{V_o}{V_i} = \frac{1}{2} \quad (2.3)$$

A célula *ladder* pode ser conectada na conexão de mesmo nome (conexão *ladder*) de forma a se elevar a taxa de conversão [45]. Na Figura 2.16 (a) é apresentada a célula a ser adicionada ao circuito da Figura 2.15 (a). Na Figura 2.16 (b) o circuito com uma célula adicional é mostrado (três no total) e na Figura 2.16 (c) se tem o circuito generalizado para N células.

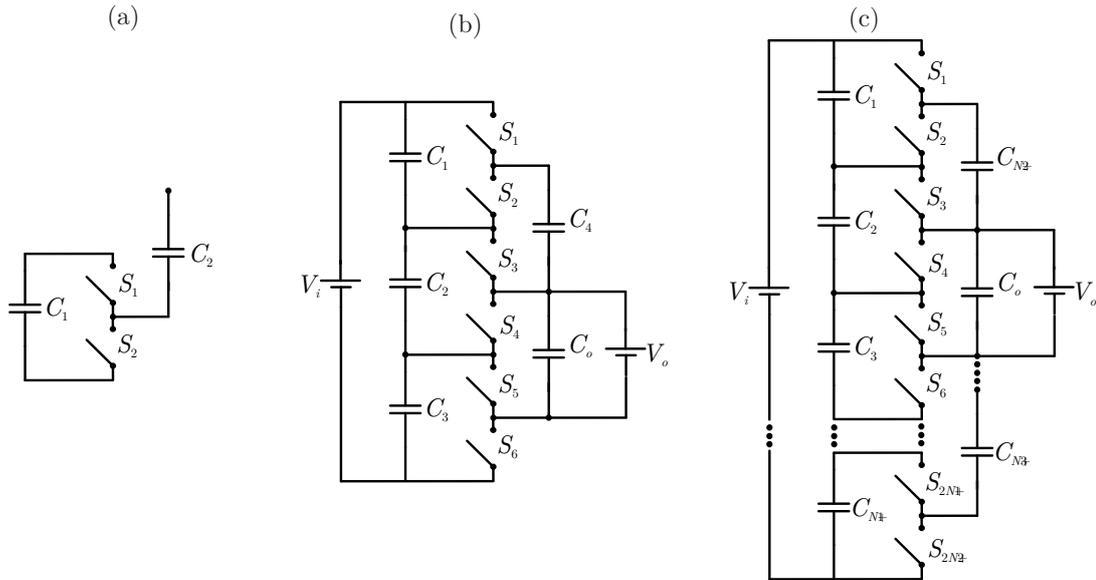
O ganho genérico do conversor da Figura 2.16 (c) é apresentado em (2.4). O número de capacitores nesta configuração é apresentado em (2.5), e o número de interruptores em (2.6).

$$G_{LN} = \frac{1}{N+1} \quad (2.4)$$

$$N_{CL} = 2N + 1 \quad (2.5)$$

$$N_{SL} = 2(N + 1) \quad (2.6)$$

Figura 2.16 – Conexão de células *ladder* de capacitor chaveado: (a) Célula individual; (b) Conexão com duas células; (c) Conexão de N células.



Fonte: Autor.

Uma das vantagens da conexão *ladder* é ter o mesmo esforço de tensão em todos os componentes, que no caso da versão abaixadora fica grampeado pela tensão de saída. O valor genérico do esforço de tensão é apresentado em (2.7).

$$V_{Smax} = V_o = \frac{V_i}{N + 1} \tag{2.7}$$

2.6.2 Projeto

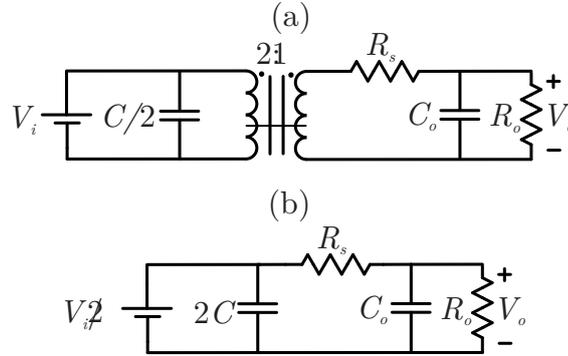
Existe mais de uma forma de se projetar o *LSCC*. Em [44] é feito o projeto e a otimização por meio da análise da carga nos capacitores. Em [45] e [50], o projeto é realizado em relação a quanto o capacitor carrega e descarrega em um período de comutação. Este último foi escolhido neste trabalho e será mais detalhado.

De acordo com [50], um conversor a capacitor chaveado possui três modos de operação de acordo com a corrente no capacitor: Carga completa (MCgC), no qual a corrente atinge zero em meio período de comutação; Carga parcial (MCP), no qual a corrente varia mas não atinge zero; Sem carga (MSC), no qual a corrente praticamente não varia em meio período de comutação. O MCgC apresenta picos de corrente elevados, e conseqüente elevadas perdas de condução. O MSC exige elevados valores de capacitância e/ou frequência, o que torna o projeto caro e volumoso, ou com altas perdas de comutação quando se usam frequências maiores. Assim, é interessante realizar o projeto para o MCP, ou seja, um meio termo entre os outros modos.

Em [46], é mostrado que o circuito tem a menor resistência equivalente para a razão cíclica de 0,5. Como neste estudo não será feita a hibridização deste conversor com outro, ele irá trabalhar com D fixa, logo o valor de 0,5 será considerado ao longo do trabalho.

O circuito equivalente de uma célula *ladder* é apresentado na Figura 2.17 (a), no qual R_s é a resistência série equivalente. Refletindo os componentes para o secundário, o circuito da Figura 2.17 (b) é encontrado.

Figura 2.17 – Circuito equivalente da célula *ladder*



Fonte: Autor.

A resistência série depende da resistência dos capacitores, da resistência dos interruptores e dos picos de corrente no circuito, sendo estes dependentes constante de tempo e da frequência de comutação. Normalmente os capacitores usados são de polipropileno e estes tem resistência série muito baixa, assim a mesma será desconsiderada. Portanto, há uma dominância da resistência dos interruptores no circuito. Das etapas de operação da Figura 2.15, é observado que a corrente passa por dois interruptores em cada etapa. Logo, quando os picos de corrente nos capacitores não são considerados, a resistência dos interruptores é predominante no calculo da resistência equivalente do circuito.

Em (2.8) é apresentada a resistência equivalente normalizada em função da frequência de comutação e da constante de tempo do circuito (τ), definida em (2.9).

$$\overline{R_s(f_s\tau)} = \frac{R_s(f_s\tau)}{2R_{on}} = \frac{1}{f_s\tau} \frac{1 - e^{-\frac{1}{f_s\tau}}}{1 + e^{-\frac{1}{f_s\tau}} - (e^{-\frac{D}{f_s\tau}} + e^{-\frac{D}{f_s\tau}})} \quad (2.8)$$

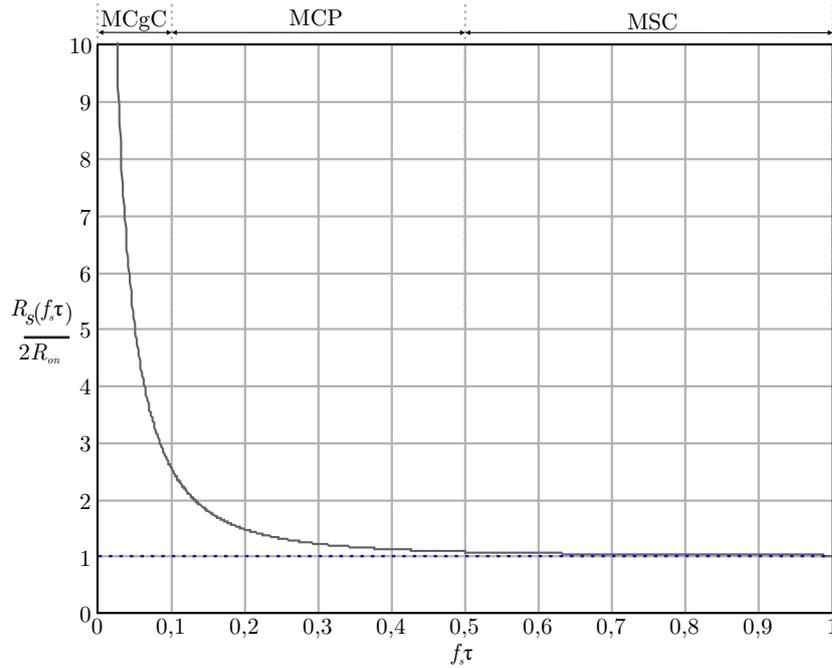
$$\tau = 2R_{on}C \quad (2.9)$$

A Figura 2.18 apresenta o gráfico da resistência série (normalizada por $2R_{on}$) pelo produto $f_s\tau$. São apresentados os limites entre os modos de operação e que a curva tende a 1 conforme $f_s\tau$ aumenta. É observado que, para valores de $f_s\tau$ acima de 0,2, R_s se torna praticamente a soma das resistências do circuito, podendo ser aproximada por (2.10).

$$R_s = 2R_{on} \quad (2.10)$$

Para $D = 0,5$, MCP e das etapas de operação da Figura 2.15, pode-se aproximar a corrente máxima nos interruptores por (2.11), a corrente média por (2.12) e a corrente eficaz por (2.13).

$$I_{Smax} = I_o \quad (2.11)$$

Figura 2.18 – Resistência série em função do produto $f_s\tau$.

Fonte: Autor.

$$I_{Smed} = \frac{1}{2}I_o \quad (2.12)$$

$$I_{Smed} = \frac{1}{\sqrt{2}}I_o \quad (2.13)$$

De (2.9) e (2.10), define-se a equação de projeto (2.14). Da Figura 2.18, nota-se que o conversor trabalha no MCP para valores de $f_s\tau$ entre 0,1 e 0,5. Assim, para realizar a definição dos componentes, inicialmente se escolhe um valor de $f_s\tau$ nesta faixa, como por exemplo 0,2. Assim a escolha do interruptor é baseada em (2.7), (2.11), (2.12) e (2.13). Escolhido o interruptor e tendo seu valor de R_{on} , define-se em seguida uma frequência de comutação e, através de (2.14), define-se um valor mínimo de capacitância para o $f_s\tau$ desejado.

$$f_s\tau = R_s C f_s = 2R_{on} C f_s \quad (2.14)$$

2.7 CONVERSOR *BUCK* SÍNCRONO *INTERLEAVED*

Um dos conversores mais usados em aplicações cc-cc abaixadoras com reduzido ganho de tensão e alto rendimento é o conversor *buck* síncrono *interleaved* [15, 30, 51, 52, 53], definido neste trabalho como *BKSI*. Em [54, 55] é mostrado que os conversores *buck* síncronos apresentam melhor rendimento que os conversores *buck* convencionais, especialmente em cargas elevadas. Já a técnica de *interleaving* [52, 53] permite a divisão da corrente nos componentes, o que eleva a eficiência em conversores com correntes elevadas

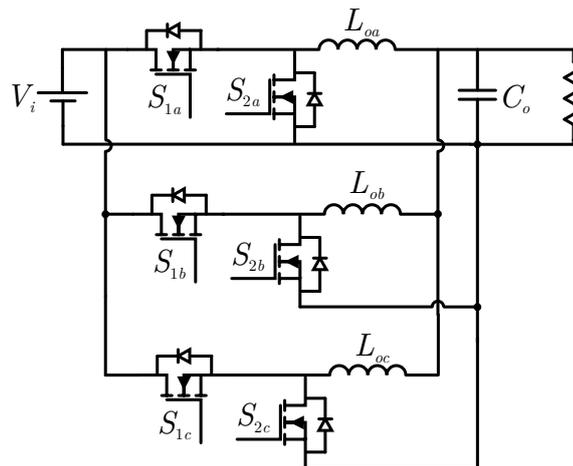
e baixas tensões. Além disso, esses conversores possuem cancelamento das ondulações da corrente de entrada e da tensão de saída, o que reduz consideravelmente o tamanho do filtro de entrada e do capacitor de saída [56, 57].

É interessante salientar que no conversor *buck* convencional e no conversor *buck* síncrono a eficiência é diretamente proporcional a razão cíclica, como mostrado em [58, 59]. Esse é um dos motivos de se buscarem novas topologias com alta taxa de conversão, pois o conversor *buck* possui rendimento muito baixo nessas aplicações.

2.7.1 Análise do conversor

Nesta seção será apresentada a análise de um conversor *buck* síncrono *interleaved* com três fases, mostrado na Figura 2.19, sendo cada fase com o comando defasado de 120° . Os três conversores operam de maneira independente, contudo a corrente de entrada pode apresentar diferentes formas de acordo com o ponto de operação. Neste estudo, a análise será para $0,33 < D < 0,66$, ponto de operação que será usado futuramente neste trabalho.

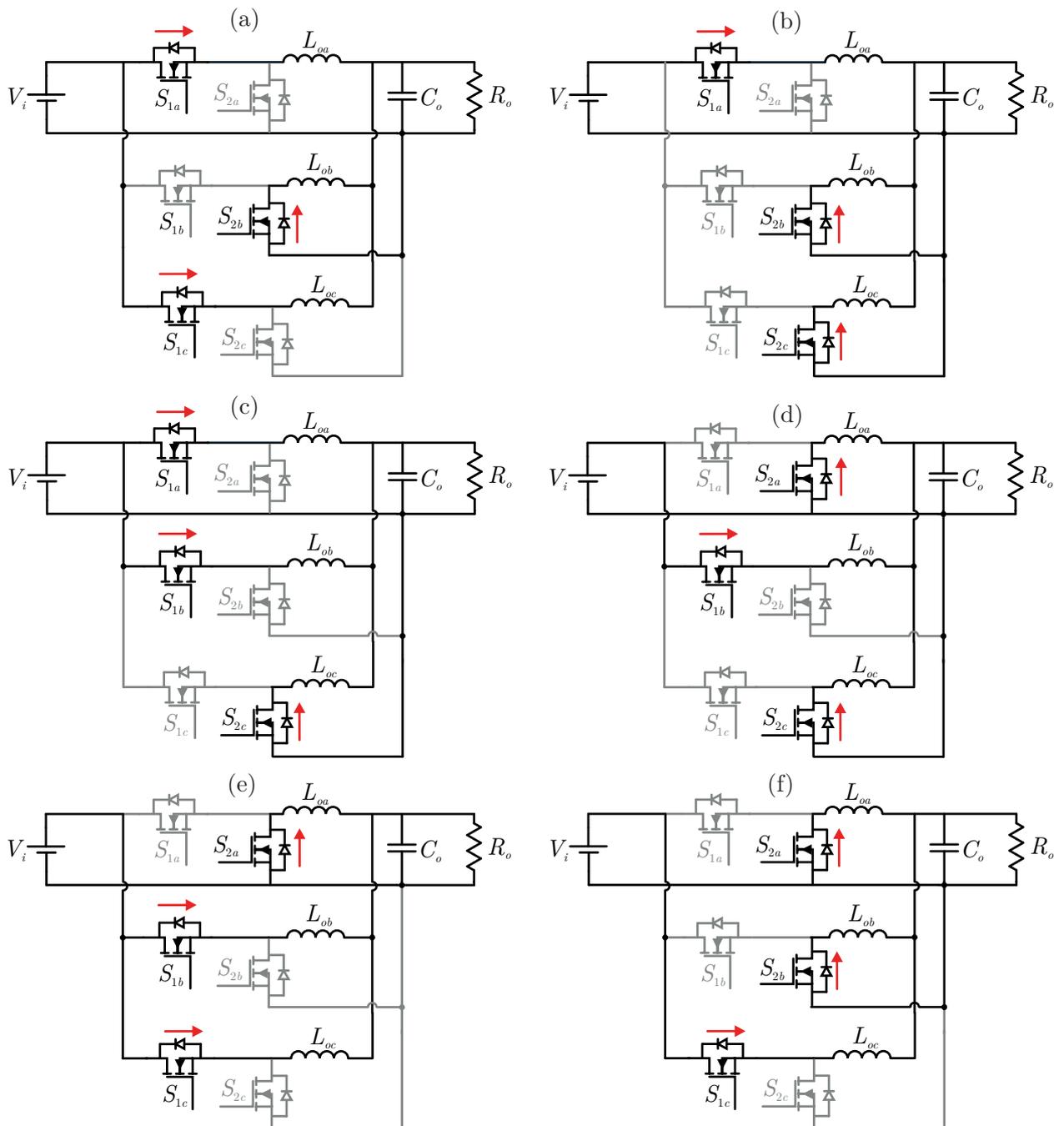
Figura 2.19 – Conversor *buck* síncrono *interleaved* de três fases.



Fonte: Autor.

Nas condições estudadas, o *BKSI* apresenta seis etapas de operação, apresentadas na Figura 2.20. Na primeira etapa, os interruptores S_{1a} , S_{2b} , e S_{1c} estão em condução e seus complementares estão bloqueados, ou seja, os indutores L_{oa} e L_{oc} estão em processo de carga e L_{ob} em descarga. A segunda etapa de operação se inicia com o bloqueio de S_{1c} e entrada em condução de S_{2c} , passando o indutor L_{oc} para uma etapa de descarga. Na terceira etapa de operação S_{2b} bloqueia e S_{1b} entra em condução, e L_{ob} passa para um estado de carga. Já na quarta etapa de operação, S_{1a} bloqueia e S_{2a} entra em condução, passando L_{oa} para um estado de descarga. Na quinta etapa de operação o interruptor S_{1c} passa a conduzir e S_{2c} bloqueia, e L_{oc} passa para um estado de carga. Por fim, na sexta etapa de operação, S_{1b} bloqueia, e S_{2b} entra em condução, colocando L_{ob} em estado de descarga.

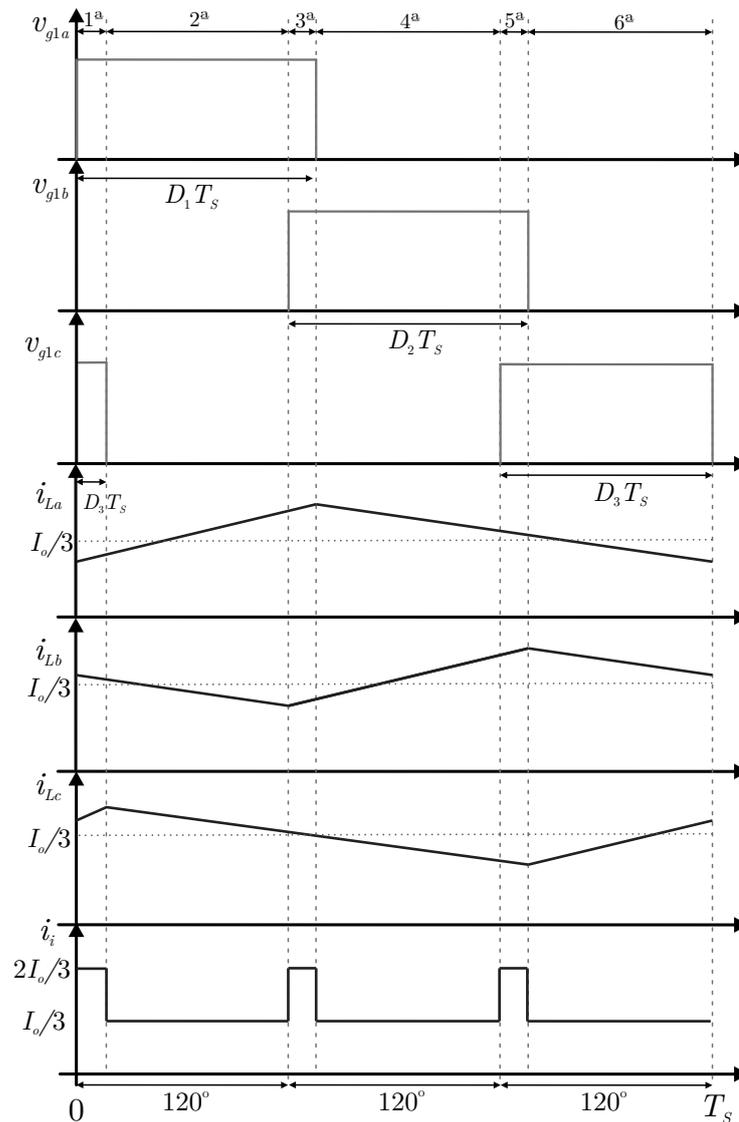
Figura 2.20 – Etapas de operação do conversor *buck* síncrono *interleaved* de três fases: (a) Primeira; (b) Segunda; (c) Terceira; (d) Quarta; (e) Quinta; (f) Sexta.



Fonte: Autor.

Na Figura 2.21 são apresentadas as principais formas de onda do *BKSI*. É observado que a corrente média nos indutores é um terço da corrente de saída, enquanto a corrente de entrada varia entre um terço e dois terços da corrente de saída. No conversor *buck* convencional sem filtragem, a corrente de entrada varia de 0% a 100% da corrente saída, o que pode ser prejudicial para a fonte de entrada.

Figura 2.21 – Principais formas de onda do conversor *buck* síncrono *interleaved* de três fases.



Fonte: Autor.

2.7.2 Projeto

O projeto do *BKSI* é similar ao do conversor *buck* convencional, apresentada em [60, 61]. A equação para o cálculo do indutor (2.15) é a mesma do conversor *buck*, porém a ondulação é dada por um terço da corrente de saída, conforme (2.16), sendo $\Delta I_{L\%}$ uma porcentagem da corrente de saída.

$$L = \frac{V_i D(1 - D)}{\Delta I_L f_s} \quad (2.15)$$

$$\Delta I_L = \frac{\Delta I_{L\%} I_o}{100 \cdot 3} \quad (2.16)$$

O capacitor de saída tem seu valor reduzido em comparação ao *buck* convencional pelo cancelamento do ondulação de corrente causado pelo *interleaving*, e sua equação é

dada por (2.17) [57] para $D = 0,5$, sendo a ondulação de tensão dada por um percentual da tensão de saída (2.18).

$$C_o = \frac{V_i}{96Lf_s^2\Delta V_{Co}} \quad (2.17)$$

$$\Delta V_{Co} = \frac{\Delta V_{Co\%}}{100}V_o \quad (2.18)$$

Já os esforços de tensão e corrente nos componentes em função da razão cíclica para o projeto são apresentados na Tabela 2.2.

Tabela 2.2 – Esforços de tensão e corrente do *BKSI*

Esforço	S_1	S_2
Tensão máxima	V_i	V_i
Tensão média	$V_i(1 - D)$	V_iD
Corrente média	$I_L D$	$I_L(1 - D)$
Corrente eficaz	$I_L\sqrt{D}$	$I_L\sqrt{1 - D}$

Fonte: Autor.

2.8 CONCLUSÕES DO CAPÍTULO

Neste capítulo foram apresentadas as arquiteturas dos sistemas elétricos usados em *data centers* e os desafios de se obter rendimentos elevados nesse sistema, relacionados ao número de estágios de conversão e a necessidade de resfriamento. As *PSUs* e *VRs*, fontes responsáveis por transformar os níveis de tensão de distribuição para níveis de circuitos eletrônicos serão foco deste trabalho, e algumas topologias propostas na literatura para este estágio foram apresentadas. Outra potencial aplicação, que são as fontes de alimentação para *FPGAs* também foram revisadas. Após isso, foi mostrado o conceito dos conversores diferenciais, no qual a tensão de saída é a diferença de tensão entre dois conversores clássicos, sendo assim são capazes de altas taxas de conversão. Depois foram apresentadas os conversores a capacitor chaveado, e, em seguida, uma revisão da célula *ladder*. Por último, foi apresentado o conversor *buck* síncrono *interleaved*, bastante usado em aplicações com alta taxa de conversão devido a divisão da corrente nos indutores.

Foi observado que existem topologias isoladas e não isoladas nestas aplicações. Dentre as isoladas, o conversor meia ponte com retificação síncrona é o mais usado, sendo

em alguns casos ressonante. Já nos não isolados, é comum usar conversores híbridos ou cascadeados com células de ganho, como capacitor chaveado e *STC*. Além disso, se utilizam técnicas para elevar a eficiência, como *ZVS* (quando possível). Também se busca uma divisão na corrente de saída devido a seu elevado valor, usando dobradores de corrente ou *interleaving*. Por isso, em muitos casos, o conversor de saída é o *buck* síncrono com *interleaving*.

No próximo capítulo, serão apresentadas as análises dos conversores diferenciais abaixadores, que serão uma das propostas deste trabalho para o uso em *PSUs*.

CAPÍTULO 3

CONVERSORES CC-CC ABAIXADORES DIFERENCIAIS

3.1 INTRODUÇÃO DO CAPÍTULO

Este capítulo investiga o uso de conversores diferenciais abaixadores como possível solução para as *PSUs* e *VRs*, com intuito de converter a tensão de barramento para os níveis das tensões dos processadores e dos circuitos integrados. Serão apresentadas a análise estática usando diferentes conversores, e depois resultados de simulação e experimentais para o caso de dois conversores do tipo *buck*.

3.2 ANÁLISE DOS CONVERSORES DIFERENCIAIS ABAIXADORES

O conceito dos conversores diferenciais foi apresentado na Figura 2.13. Diferentes conversores podem ser usados como os conversores 1 e 2 da figura, como por exemplo dois conversores *buck* (Figura 3.1 (a)), dois conversores *boost* (Figura 3.1 (b)), dois conversores *buck-boost* (Figura 3.1 (c)), ou mesmo conversores diferentes, como um conversor *buck* e um conversor *boost* (Figura 3.1 (d)).

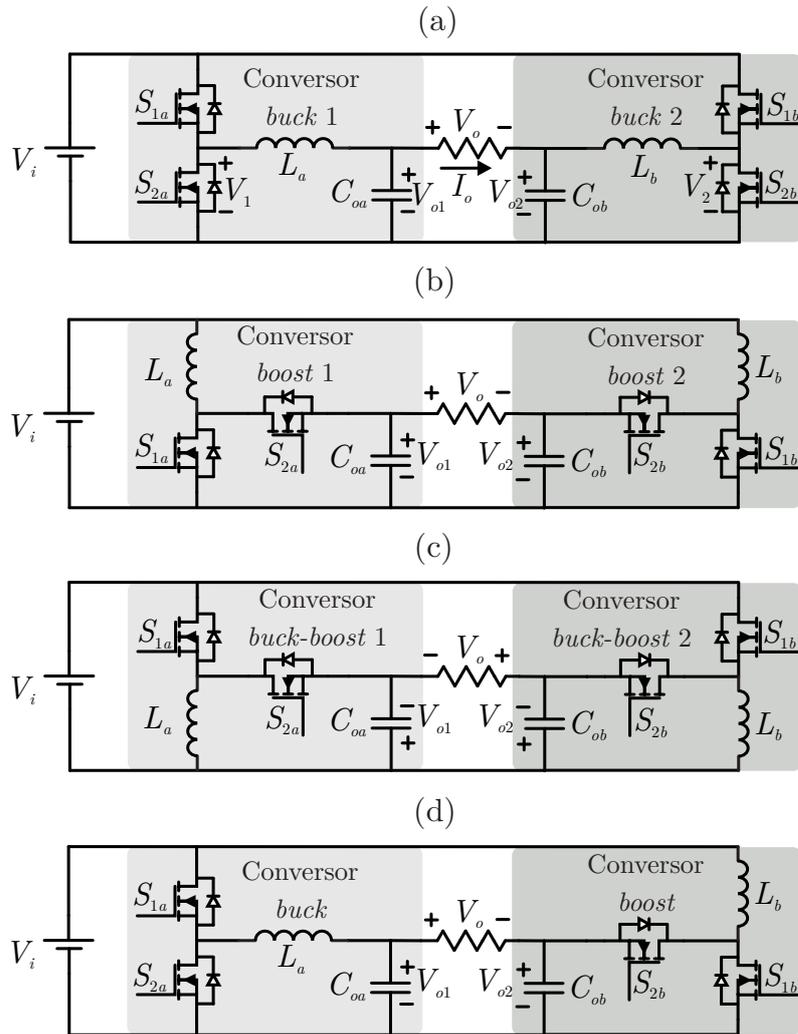
O Conversor *buck-buck* foi brevemente descrito em [41] e estudado em detalhes neste trabalho, enquanto os outros conversores são propostos aqui.

A tensão de saída diferencial pode ser definida por (3.1), no qual G_1 e G_2 são o ganho estático de cada conversor utilizado. A partir de (3.1), o ganho diferencial pode ser obtido conforme (3.2).

$$V_o = V_{o1} - V_{o2} = V_i(G_1 - G_2) \quad (3.1)$$

$$G_{dif} = \frac{V_o}{V_i} = G_1 - G_2 \quad (3.2)$$

Figura 3.1 – Topologias diferenciais abaixadoras: (a) Dois conversores *buck*; (b) Dois conversores *boost*; (c) Dois conversores *buck-boost*; (d) Um conversor *buck* e um conversor *boost*.



Fonte: Autor.

As configurações das Figuras 3.1 (a), (b) e (c) serão foco do estudo das seções seguintes.

3.2.1 Análise do conversor *buck-buck*

Nesta subseção será feita a análise do conversor apresentado na Figura 3.1 (a). Ela é válida para o modo de condução contínua e considerando $V_{o1} > V_{o2}$.

Em (3.3) é mostrada a relação da tensão de saída do conversor *buck* convencional em função da razão cíclica (D). Substituindo (3.3) em (3.1), a equação da tensão de saída diferencial pode ser definida conforme (3.4), e a equação do ganho diferencial conforme (3.5), onde D_1 é a razão cíclica do conversor *buck* 1 e D_2 a razão cíclica do conversor *buck* 2.

$$V_{obk} = V_i D \quad (3.3)$$

$$V_o = V_{o1} - V_{o2} = V_i(D_1 - D_2) \quad (3.4)$$

$$G_{dif} = D_1 - D_2 \quad (3.5)$$

Definindo a razão cíclica diferencial conforme (3.6), pode-se reescrever a tensão de saída conforme (3.7).

$$D_{dif} = D_1 - D_2 \quad (3.6)$$

$$V_o = V_i(D_1 - D_2) = V_i D_{dif} \quad (3.7)$$

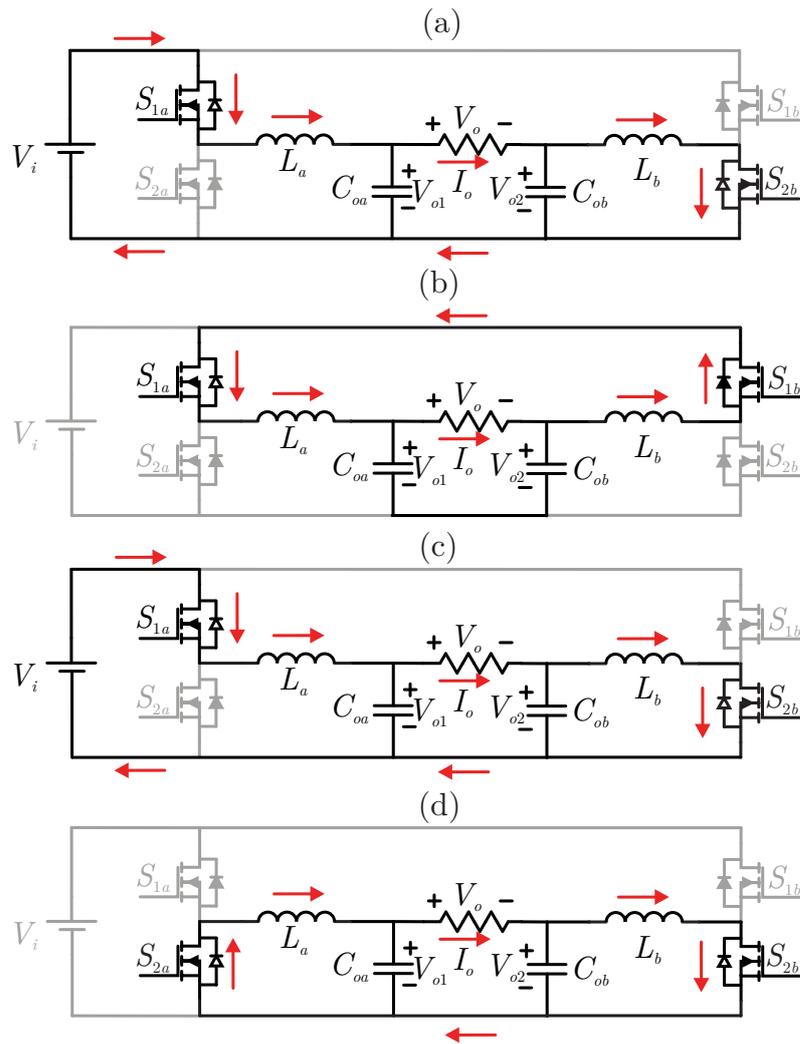
Com base nestas equações, uma razão cíclica ótima D_{sp} onde os conversores tenham melhor eficiência pode ser calculada no projeto, e as razões cíclicas dos conversores *buck* 1 e 2 podem ser definidas conforme as equações (3.8) e (3.9).

$$D_1 = D_{sp} + \frac{D_{dif}}{2} \quad (3.8)$$

$$D_2 = D_{sp} - \frac{D_{dif}}{2} \quad (3.9)$$

Considerando valores elevados de indutância e capacitância nos elementos armazenadores (baixa ondulação), o conversor *buck-buck* apresenta quatro etapas de operação, conforme descrito a seguir:

- Na primeira etapa de operação, apresentada na Figura 3.2 (a), o interruptor S_{1a} entra em condução e o interruptor S_{2a} bloqueia. O interruptor S_{1b} está bloqueado e S_{2b} está em condução. Esta é uma etapa de transferência da fonte para a saída.
- Na segunda etapa de operação, apresentada na Figura 3.2 (b), o interruptor S_{1b} entra em condução e o interruptor S_{2b} bloqueia. O interruptor S_{1a} continua em condução e S_{2a} bloqueado. Nesta etapa não há transferência da fonte para a saída.
- Na terceira etapa de operação, apresentada na Figura 3.2 (c), o interruptor S_{2b} entra em condução e o interruptor S_{1b} bloqueia. O interruptor S_{1a} continua em condução e S_{2a} bloqueado, ou seja, esta etapa de operação é igual a primeira e há transferência de energia da fonte para a saída.
- Na quarta etapa de operação, apresentada na Figura 3.2 (d), o interruptor S_{2a} entra em condução e o interruptor S_{1a} bloqueia. O interruptor S_{2b} continua em condução e S_{1b} bloqueado. Nesta etapa também não há transferência de energia da fonte para a saída.

Figura 3.2 – Etapas de operação do conversor *buck-buck*: (a) Primeira etapa; (b) Segunda etapa; (c) Terceira etapa; (d) Quarta etapa.


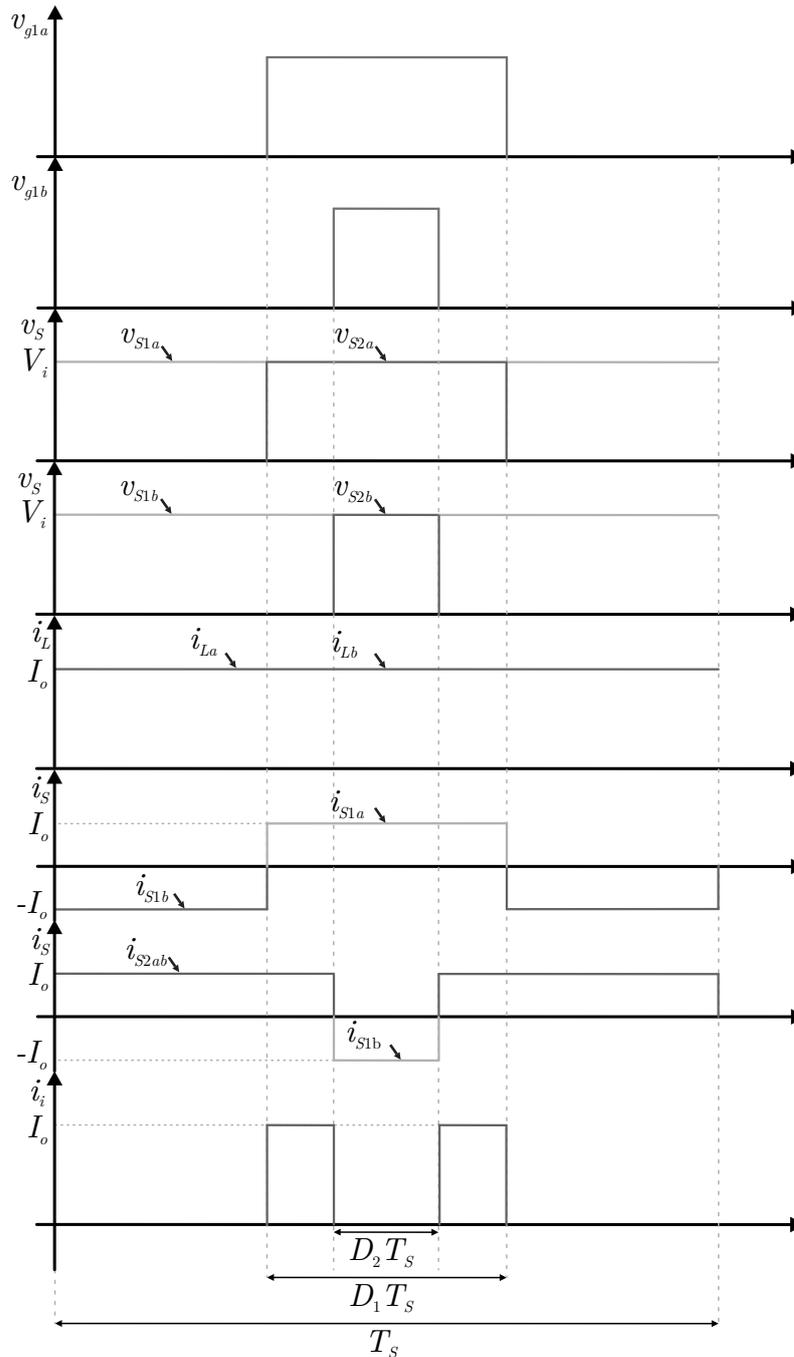
Fonte: Autor.

É observado que, pelo sentido de circulação das correntes, o conversor *buck* 1 opera como conversor *buck* da entrada para a saída, e o conversor *buck* 2 opera como conversor *boost* da saída para a entrada.

Na Figura 3.3 são apresentadas as principais formas de onda do conversor *buck-buck*, sendo que v_{g1a} é o sinal de comando do interruptor S_{1a} e v_{g1b} é o sinal de comando do interruptor S_{1b} . Observa-se que a corrente nos interruptores S_{2a} e S_{1b} é negativa, portanto a corrente circula pelo diodo do interruptor, sendo interessante o uso de interruptores com diodo de boa qualidade. Se a aplicação for unidirecional, S_{2a} e S_{1b} podem ser substituídos por diodos.

Vale salientar que os conversores diferenciais são capazes de altas taxas de conversão. Uma conversão de 400 V para 1 V, por exemplo, levaria a um ganho de $1/400$ e, conseqüentemente, um D_{dif} de 0,0025. Estes valores muito baixos de D_{dif} acabam sendo limitados pela resolução do circuito gerador de pulsos utilizado. Na Figura 3.4 (a) são apresentadas as razões cíclicas D_1 e D_2 em função de D_{dif} para D_{sp} de 0,5, no qual o

Figura 3.3 – Formas de onda do conversor *buck-buck*.

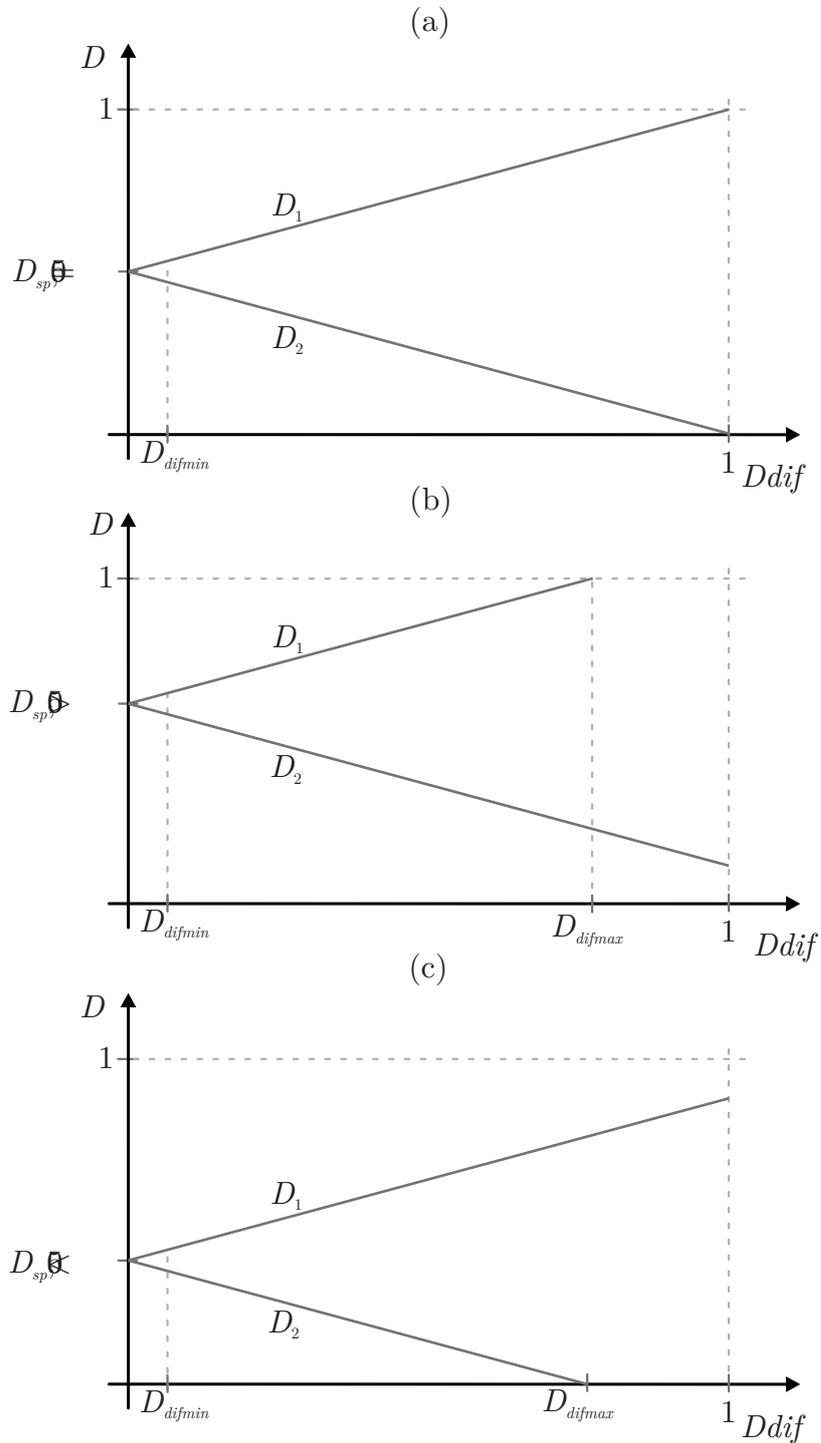


Fonte: Autor.

ganho diferencial mínimo D_{difmin} é definido. Então, quando um ganho muito baixo é necessário, deve-se usar um gerador de pulsos de alta resolução, como por exemplo o modo *PWM* (do inglês *Pulse Width Modulation* de alta resolução de um processador digital de sinais (*DSP*, do inglês *Digital Signal Processor*). Nota-se que para $D_{sp} = 0,5$, o valor máximo de D_{dif} é limitado apenas pela razão cíclica máxima e mínima dos conversores *buck* (1 e 0). Já para valores de D_{sp} maiores ou menores que 0,5, um dos conversores *buck* irá atingir seu limite de ganho antes de 1 ou 0, ou seja, D_{dif} terá um valor máximo,

conforme apresentado nas Figuras 3.4 (b) e (c). O ganho, então, fica limitado por D_{difmin} e D_{difmax} , conforme (3.10).

Figura 3.4 – Razão cíclica em função da razão cíclica diferencial do conversor *buck-buck*:
 (a) $D_{sp} = 0.5$; (b) $D_{sp} > 0.5$; (c) $D_{sp} < 0.5$



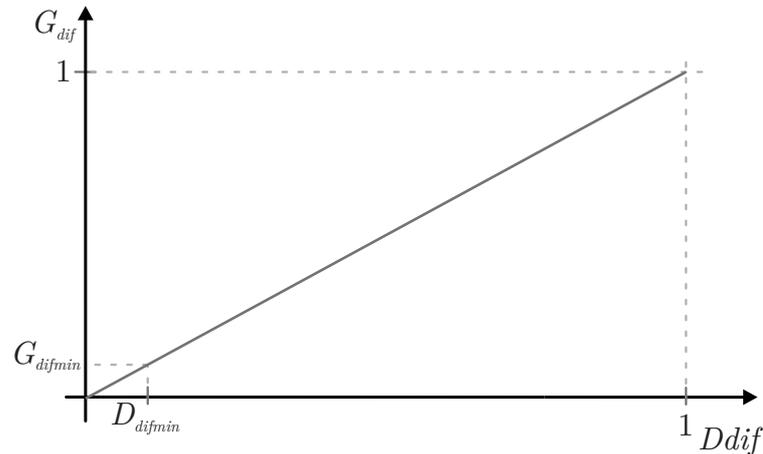
Fonte: Autor.

$$D_{difmin} < D_{dif} = G_{dif} < D_{difmax} \quad (3.10)$$

Uma vantagem do conversor *buck-buck* em relação a outras topologias diferenciais

abaixadoras é que o ganho diferencial tem característica linear em relação a razão cíclica diferencial, conforme apresentado na Figura 3.5, o que facilita o controle do conversor. Isso também pode ser observado nas equações (3.2), (3.8) e (3.9), nas quais D_{dif} incrementa D_1 e decrementa D_2 igualmente. Outra vantagem é o reduzido número de componentes para o ganho proporcionado.

Figura 3.5 – Ganho diferencial em função da razão cíclica diferencial do conversor *buck-buck*.

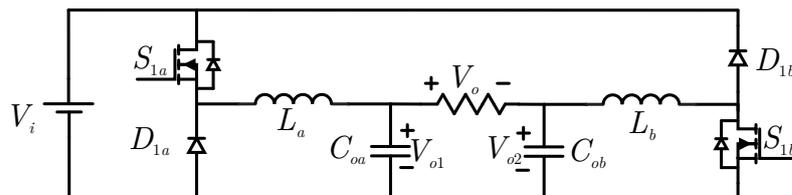


Fonte: Autor.

A desvantagem dos conversores diferenciais é o esforço de tensão e de corrente. Os interruptores são submetidos a tensão de entrada (V_i), que é o lado de maior tensão, e aos esforços de corrente de carga (I_o). Essa característica dificulta a obtenção de rendimentos elevados, sendo necessário um projeto otimizado.

Os conversores diferenciais podem ser unidirecionais ou bidirecionais. A versão aqui apresentada é uma versão bidirecional do conversor *buck-buck*, sendo todos os interruptores são controlados. Porém, observando as etapas de operação da Figura 3.2, nota-se que a corrente nos interruptores S_{2a} e S_{1b} é sempre no sentido do diodo do interruptor, ou seja, estes interruptores podem substituídos por diodos, conforme a Figura 3.6. Novamente, é observado na versão unidirecional, que o conversor *buck* 1 pode ser visto como um conversor *buck* da entrada para a saída, e o conversor *buck* 2 como um conversor *boost* da saída para a entrada.

Figura 3.6 – Versão unidirecional do conversor *buck-buck*.



Fonte: Autor.

3.2.2 Análise do conversor *boost-boost*

Esta subseção analisa o conversor diferencial *boost-boost* apresentado na Figura 3.1 (b). Ela é válida para o modo de condução contínua e considerando $V_{o1} > V_{o2}$.

A análise da topologia é semelhante a da subseção anterior, porém, neste caso, a tensão de saída do conversor *boost* é dada por (3.11). Substituindo (3.11) em (3.1), a equação da tensão de saída diferencial pode ser definida conforme (3.12). Simplificando (3.12), a tensão de saída fica definida como (3.13), e o ganho conforme (3.14).

$$V_{obt} = V_i \frac{1}{1-D} \quad (3.11)$$

$$V_o = V_{o1} - V_{o2} = V_i \left(\frac{1}{1-D_1} - \frac{1}{1-D_2} \right) \quad (3.12)$$

$$V_o = V_i \frac{(1-D_2) - (1-D_1)}{(1-D_1)(1-D_2)} \quad (3.13)$$

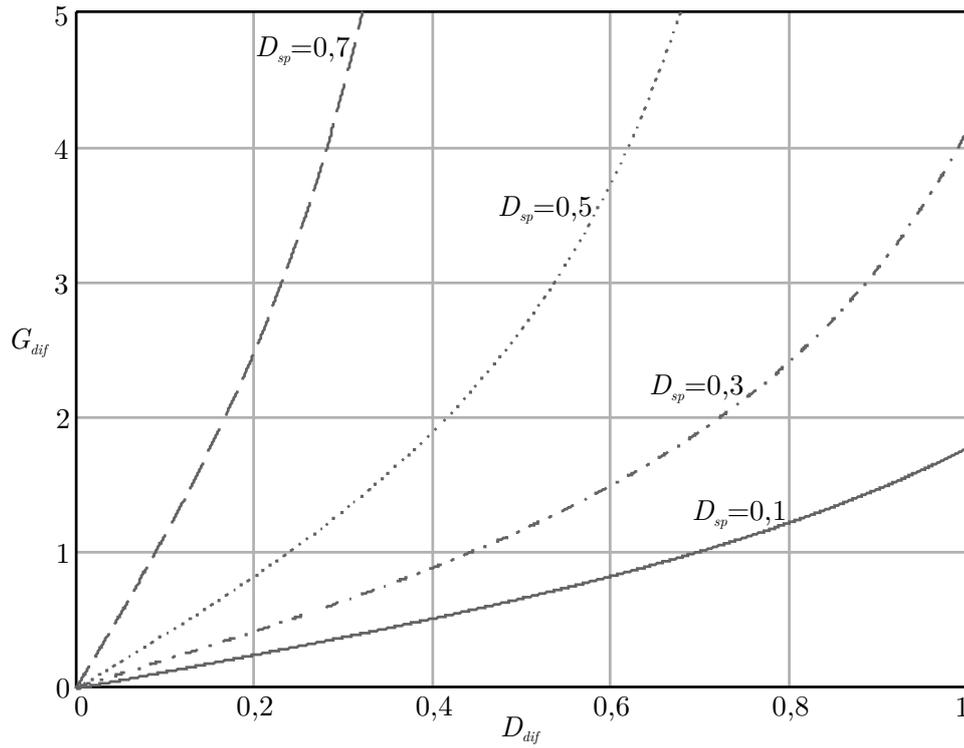
$$G_{dif} = \frac{(1-D_2) - (1-D_1)}{(1-D_1)(1-D_2)} \quad (3.14)$$

Diferentemente do conversor *buck-buck*, no conversor *boost-boost* não é evidente qual a razão cíclica diferencial, já que há uma multiplicação entre D_1 e D_2 em (3.14). Contudo, para uma melhor análise de G_{dif} , serão adotadas as mesmas relações do conversor *buck-buck* ((3.8) e (3.9)), na qual a razão cíclica diferencial incrementa D_1 e decrementa D_2 igualmente em torno de um ponto de operação. Substituindo (3.8) e (3.9) em (3.14), define-se o ganho diferencial como (3.15). A partir de (3.15), foram traçados os gráficos de G_{dif} em função de D_{dif} para diferentes valores de D_{sp} , conforme apresentado na Figura 3.7. Observa-se que a relação de ganho no conversor *boost-boost* é não linear e é bastante afetada por D_{sp} , o que é ruim do ponto de vista de controle. A conexão diferencial *boost-boost* pode inclusive ser elevadora, dependendo do ponto de operação. Também se pode concluir da Figura 3.7 que, caso se use este conversor, deve-se trabalhar com valores baixos de D_{sp} , abaixo de 0,1, no qual os conversores *boost* apresentam uma característica mais linear e o ganho como abaixador tem uma melhor resolução em função de D_{dif} .

$$G_{dif} = \frac{1}{1 - (D_{sp} + \frac{D_{dif}}{2})} - \frac{1}{1 - (D_{sp} - \frac{D_{dif}}{2})} \quad (3.15)$$

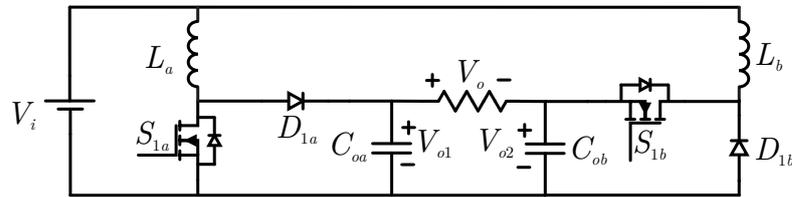
Assim como no conversor *buck-buck*, o conversor *boost-boost* possui uma versão unidirecional, apresentada na Figura 3.8, na qual os interruptores S_{2a} e S_{1b} são substituídos por diodos. O conversor *boost* 1 opera como um conversor *boost* convencional, e o conversor *boost* 2 opera como um conversor *buck* da entrada para a saída.

Figura 3.7 – Ganho diferencial em função da razão cíclica diferencial do conversor *boost-boost*.



Fonte: Autor.

Figura 3.8 – Versão unidirecional do conversor *boost-boost*.



Fonte: Autor.

3.2.3 Análise do conversor *buck-boost* - *buck-boost*

Nesta subseção será feita a análise do conversor apresentado na Figura 3.1 (c). Ela é válida para o modo de condução contínua e considerando $V_{o1} > V_{o2}$.

A análise do conversor *buck-boost* - *buck-boost* é semelhante a das subseções anteriores, e a tensão de saída do conversor *buck-boost* é dada por 3.16. Substituindo (3.16) em (3.1), a equação da tensão de saída diferencial pode ser definida conforme (3.17). Simplificando (3.17), a tensão de saída fica definida como (3.18), e o ganho conforme (3.19).

$$V_{obb} = V_i \frac{D}{1-D} \tag{3.16}$$

$$V_o = V_{o1} - V_{o2} = V_i \left(\frac{D_1}{1-D_1} - \frac{D_2}{1-D_2} \right) \tag{3.17}$$

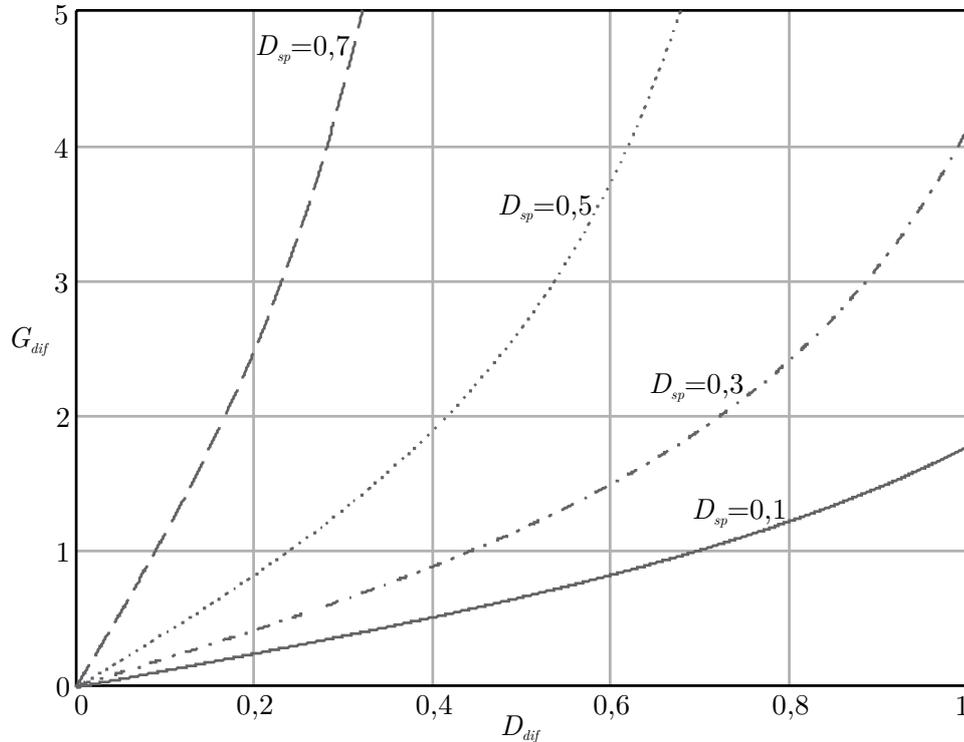
$$V_o = V_i \frac{D_1(1-D_2) - D_2(1-D_1)}{(1-D_1)(1-D_2)} \quad (3.18)$$

$$G_{dif} = \frac{D_1(1-D_2) - D_2(1-D_1)}{(1-D_1)(1-D_2)} \quad (3.19)$$

Assim como no conversor *boost-boost*, no conversor *buck-boost - buck-boost* não é claro qual a razão cíclica diferencial, e serão adotados (3.8) e (3.9). Substituindo estas equações em (3.19), define-se o ganho diferencial conforme (3.20). Através de (3.20) foram traçados os gráficos de G_{dif} em função de D_{dif} para diferentes valores de D_{sp} , conforme a Figura 3.9. Observa-se que as curvas ficaram idênticas as do conversor *boost-boost* pois, apesar dos conversores *buck-boost* individualmente terem ganhos diferentes do conversor *boost*, o ganho diferencial tem a mesma característica. Assim, a operação conversor *buck-boost - buck-boost* também é dependente de D_{sp} e apresenta característica não linear, o que é uma desvantagem em termos de controle ao conversor *buck-buck*.

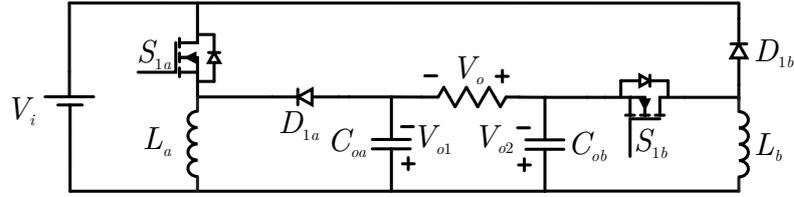
$$G_{dif} = \frac{(D_{sp} + \frac{D_{dif}}{2})}{1 - (D_{sp} + \frac{D_{dif}}{2})} - \frac{(D_{sp} - \frac{D_{dif}}{2})}{1 - (D_{sp} - \frac{D_{dif}}{2})} \quad (3.20)$$

Figura 3.9 – Ganho diferencial em função da razão cíclica diferencial do conversor *buck-boost - buck-boost*.



Fonte: Autor.

O conversor *buck-boost - buck-boost* também possui uma versão unidirecional, apresentada na Figura 3.10, na qual os interruptores S_{2a} e S_{1b} são substituídos por diodos.

Figura 3.10 – Versão unidirecional do conversor *buck-boost* - *buck-boost*.


Fonte: Autor.

3.3 METODOLOGIA DE PROJETO DO CONVERSOR *BUCK-BUCK*

3.3.1 Equacionamento

O projeto do conversor *buck-buck* pode ser realizado para cada conversor *buck* individualmente, considerando como corrente de saída a corrente diferencial I_o e como tensão de saída a tensão de cada conversor V_{o1} ou V_{o2} . No caso em que há uma alta taxa de conversão, D_{dif} terá um valor baixo e, conseqüentemente, os valores de D_1 e D_2 e V_{o1} e V_{o2} serão próximos (observe as equações 3.8 e 3.9), sendo possível realizar o mesmo projeto para os conversores *buck* 1 e 2 usando como valor de razão cíclica D_{sp} . O equacionamento do conversor *buck* é apresentado em [60, 61], como o projeto do indutor com base na ondulação de corrente e do capacitor com base na ondulação de tensão.

Para verificar se D_{dif} é menor que D_{difmax} , pode-se igualar (3.8) a 1 ou (3.9) a 0 e substituir o valor de D_{sp} escolhido, conforme (3.21) e (3.22).

$$D_{difmax} = 2(1 - D_{sp}); D_{sp} > 0,5 \quad (3.21)$$

$$D_{difmax} = 2(D_{sp}); D_{sp} < 0,5 \quad (3.22)$$

O cálculo do indutor é feito através de (3.23), onde ΔI_L pode ser definido como uma porcentagem da corrente de saída, conforme (3.24).

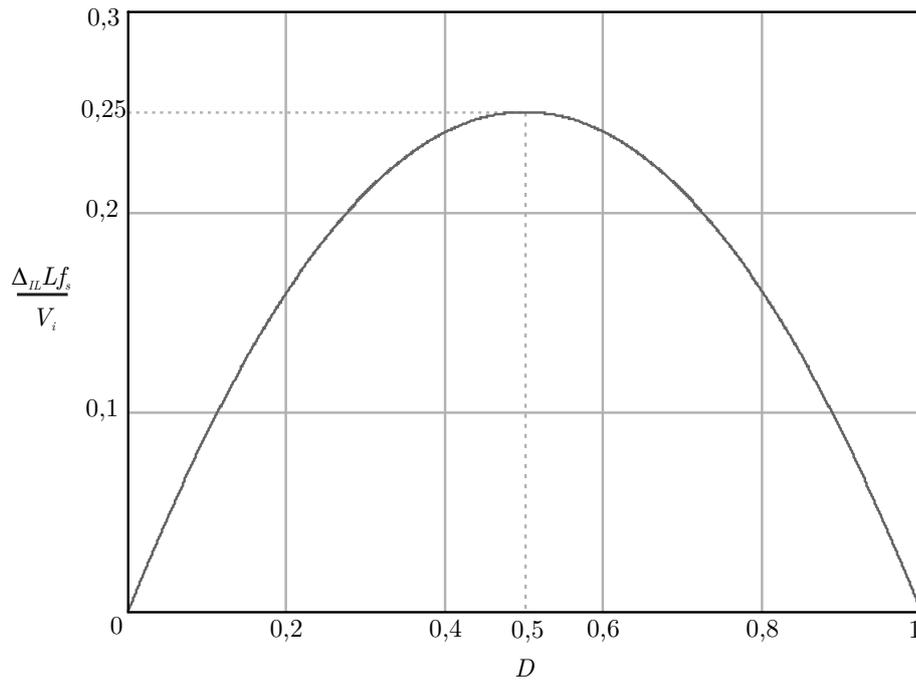
$$L = \frac{V_i D(1 - D)}{\Delta I_L f_s} \quad (3.23)$$

$$\Delta I_L = \frac{\Delta I_L \% I_o}{100} \quad (3.24)$$

O ponto de máxima ondulação de corrente em função da razão cíclica é definido ao descrever (3.23) conforme (3.25), e traçar o gráfico de $\frac{\Delta I_L L f_s}{V_i}$ em função de D , conforme apresentado na Figura 3.11. Observa-se que a máxima ondulação ocorre para $D = 0,5$, ou seja, neste ponto se tem maiores perdas no indutor e maior circulação de potência reativa no circuito. Portanto, é uma boa prática escolher valores de D_{sp} distantes de 0,5.

$$\frac{\Delta I_L L f_s}{V_i} = D(1 - D) \quad (3.25)$$

Figura 3.11 – Ondulação de corrente em função da razão cíclica.



Fonte: Autor.

No caso do uso de diodos como S_{2a} e S_{1b} o conversor pode operar no Modo de Condução Descontínua (MCD), quando a corrente no indutor atinge 0. Este modo de operação não é interessante para este trabalho por apresentar maiores perdas e picos de corrente. Para que o conversor opere no Modo de Condução Contínua, a relação apresentada em (3.26) deve ser respeitada.

$$\Delta I_L \leq 2I_o \quad (3.26)$$

A mínima corrente de saída que permite a operação no MCC é dada por (3.27) (para a versão unidirecional do conversor). Nota-se que o limite entre o MCC e o MDC depende da razão cíclica.

$$I_{ocrt} = \frac{V_i D(1-D)}{2Lf_s} \quad (3.27)$$

Por fim, a equação de projeto do capacitor com base na máxima ondulação de corrente no indutor é dada por (3.28) (considerando $D = 0,5$), na qual a ondulação de tensão no capacitor pode ser definida como uma porcentagem da tensão de saída do conversor *buck* ($\Delta V_{Cobk\%}$) conforme (3.29).

$$C_{obk} = \frac{V_i}{32Lf_s^2 \Delta V_{Cobk}} \quad (3.28)$$

$$\Delta V_{Cobk} = \frac{\Delta V_{Cobk\%}}{100} V_{Cobk} \quad (3.29)$$

A tensão de saída a ser usada no cálculo do capacitor é a tensão de saída de cada conversor *buck*, conforme apresentado nas equações (3.30) e (3.31).

$$V_{o1} = V_i D_1 \quad (3.30)$$

$$V_{o2} = V_i D_2 \quad (3.31)$$

As equações referentes aos esforços de corrente nos componentes do conversor *buck-buck* podem ser definidas com base nas etapas de operação e na ondulação de corrente e são apresentadas na Tabela 3.1.

Tabela 3.1 – Esforços de corrente nos componentes do conversor *buck-buck*.

$I_{S1a,rms}$	$\sqrt{I_o^2 + \frac{\Delta I_L^2}{12}} \sqrt{D_1}$
$I_{S2b,rms}$	$\sqrt{I_o^2 + \frac{\Delta I_L^2}{12}} \sqrt{1 - D_2}$
$I_{S1b,med}$	$I_o(1 - D_1)$
$I_{S2a,med}$	$I_o D_2$
$I_{L,rms}$	$\sqrt{I_o^2 + \frac{\Delta I_L^2}{12}}$
$I_{S,max}$	$I_o + \frac{\Delta I_L}{2}$

Fonte: [62].

3.3.2 Resultados de simulação

A validação da teoria apresentada foi realizada, numa primeira etapa, por simulação usando os parâmetros apresentados na Tabela 3.2. O circuito usado nas simulações é apresentado na Figura 3.12.

Com as tensões de entrada e saída definidas, D_{dif} foi calculado através de (3.6). O valor de D_{sp} foi atribuído em 0,7 e, através dele, as razões cíclicas dos conversores *buck* 1 e 2, D_1 e D_2 , podem ser calculados usando (3.8) e (3.9). Como o valor de D_{dif} é pequeno e os valores de D_1 e D_2 são próximos, serão usados os mesmo componentes nos dois conversores *buck*. Também é verificado se o valor de D_{dif} é menor que $D_{dif,max}$ através de (3.21).

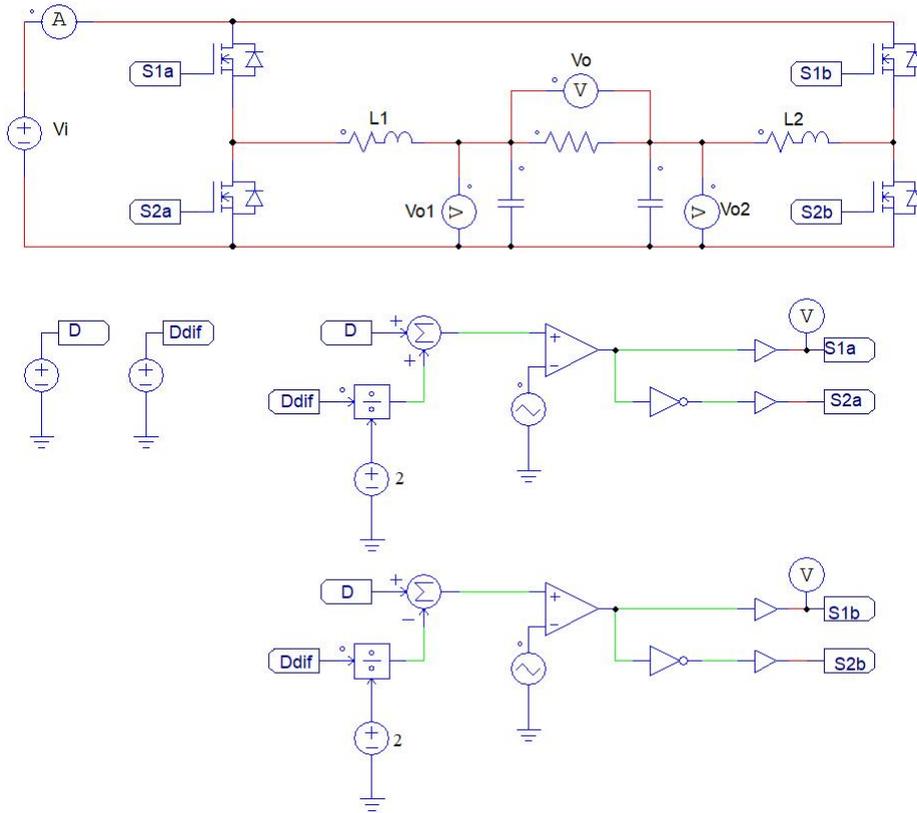
Usando os parâmetros de ondulação de corrente e corrente de saída e as equações (3.23) e (3.24), o indutor calculado foi de 400 μH . Da mesma forma, usando as equações

(3.28), (3.29) e (3.30), o capacitor mínimo calculado para a ondulação especificada foi de $2,3 \mu\text{F}$. No caso do capacitor, porém, optou-se por usar um valor maior de capacitância, de $20 \mu\text{F}$.

Tabela 3.2 – Parâmetros de projeto do conversor *buck-buck*

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	400 V
Tensão de saída	V_o	12 V
Ganho diferencial	G_{dif}	1/33,33
Potência de saída	P_o	100 W
Corrente de saída	I_o	8,33 A
Frequência de comutação	f_s	50 kHz
Razão cíclica de projeto	D_{sp}	0,7
Razão cíclica de diferencial	D_{dif}	1/33,33 = 0,03
Razão cíclica de diferencial máxima	D_{difmax}	0,6
Razão cíclica do conversor <i>buck</i> 1	D_1	0.715
Razão cíclica do conversor <i>buck</i> 2	D_2	0.685
Tensão de saída do conversor <i>buck</i> 1	V_{o1}	286 V
Tensão de saída do conversor <i>buck</i> 2	V_{o2}	274 V
Percentual de ondulação de corrente no indutor	$\Delta I_{L\%}$	50%
Percentual de ondulação de tensão no capacitor	$\Delta V_{C_{obk}\%}$	2%

Fonte: Autor.

Figura 3.12 – Circuito usado nas simulações do conversor *buck-buck*.

Fonte: Autor.

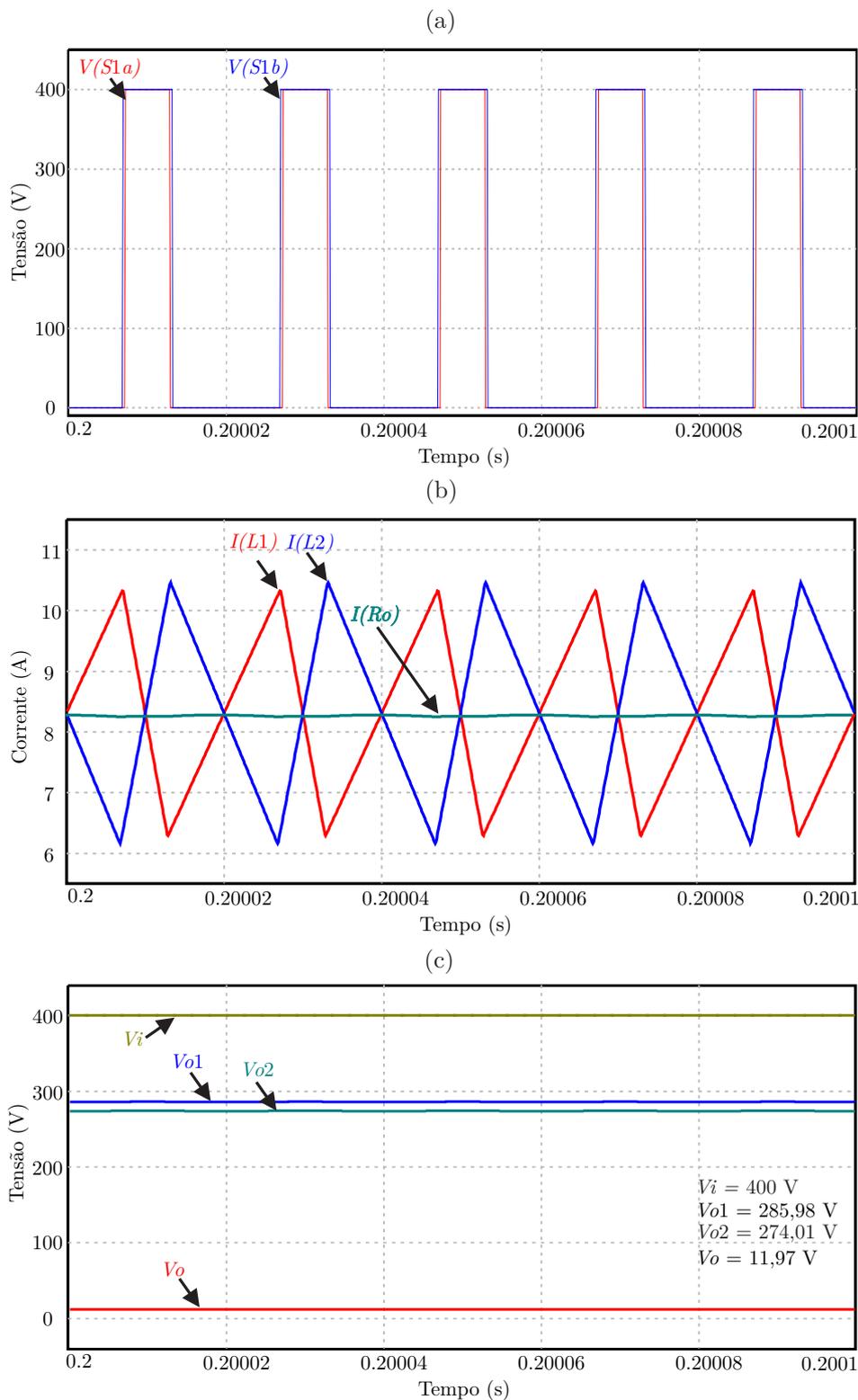
Na Figura 3.13, os principais resultados de simulação em regime permanente são apresentados. Na Figura 3.13 (a), é mostrada a tensão nos interruptores S_{1a} e S_{1b} , na qual é observada a característica de comando diferencial, como na Figura 3.3, e que o valor máximo de tensão em cada interruptor é definido pela tensão de entrada (400 V). A Figura 3.13 (b) mostra as formas de onda de corrente em cada indutor ($I_{(L1)}$ e $I_{(L2)}$) e a corrente da saída diferencial ($I_{(Ro)}$). O valor médio de $I_{(Ro)}$ é igual a corrente média nos indutores, conforme o esperado. A ondulação de corrente está de acordo com o valor apresentado na Tabela 3.2, que é na faixa de 50% do valor médio da corrente de saída (4,16 A). Na Figura 3.13 (c) é apresentada a tensão de entrada (V_i), a tensão de saída do conversor *buck* 1 (V_{o1}), a tensão de saída do conversor *buck* 2 (V_{o2}) e a tensão de saída diferencial (V_o). Observa-se que a tensão de saída diferencial é a diferença entre (V_{o1}) e (V_{o2}), conforme o esperado, e que os valores ficaram de acordo com a Tabela 3.2.

3.3.3 Resultados experimentais

Um protótipo foi construído de acordo com as especificações da Tabela 3.2 para validação do conceito da ligação diferencial. Uma fotografia do protótipo é apresentada na Figura 3.14.

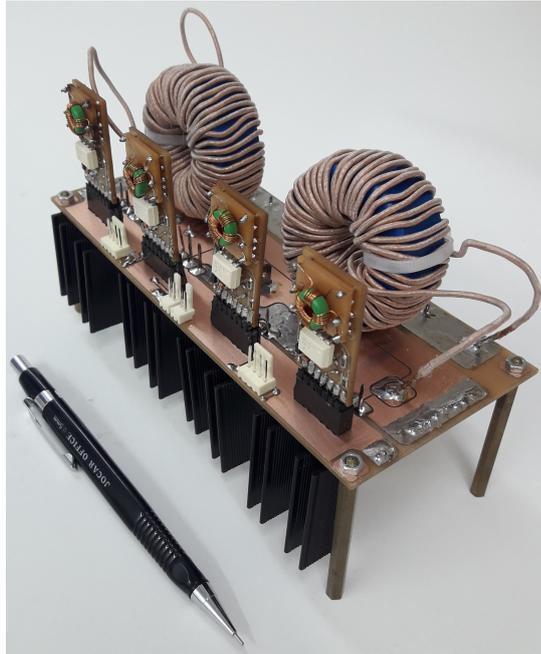
No projeto dos indutores, foi escolhido o núcleo apresentado no Anexo A. Através do valor de A_L do núcleo, determinou-se o número de espiras para a indutância desejada.

Figura 3.13 – Principais resultados de simulação conversor *buck-buck* em regime permanente: (a) Tensão nos interruptores S_{1a} e S_{1b} ; Corrente nos indutores e corrente de saída; (c) Tensão de entrada, tensão de saída de cada *buck* e tensão de saída diferencial.



Fonte: Autor.

Figura 3.14 – Fotografia do protótipo.



Fonte: Autor.

Para os enrolamentos, optou-se pelo uso de fio *Litz*. Os principais dados do indutor são apresentados na Tabela 3.3.

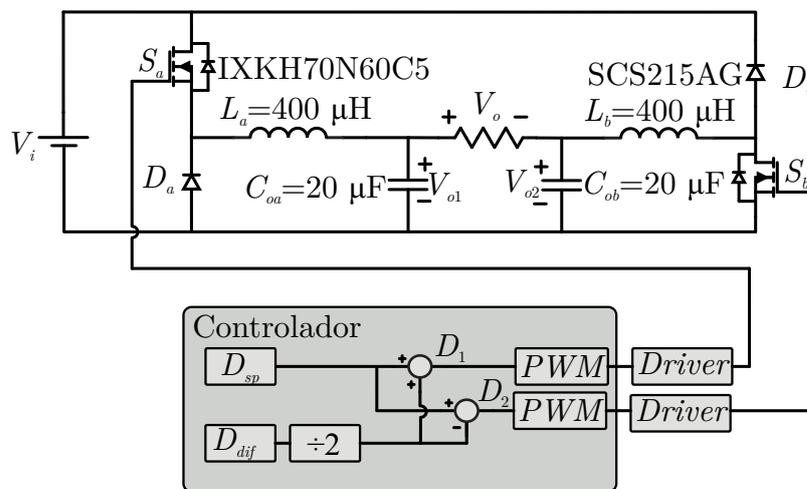
Tabela 3.3 – Principais características dos indutores

Parâmetro	Símbolo	Valor
Indutância	L	400,03 μH
Núcleo		APH46P60
Seção transversão do núcleo	A_e	199 mm^2
Indutância por enrolamento	A_L	135 $\text{nH} / \text{espira}^2$
Número de espiras	N_e	54
Fio <i>Litz</i>		AWG 38
Número de condutores em paralelo	n_p	150

Fonte: Autor.

O circuito usado nos testes é apresentado na Figura 3.15. O interruptor escolhido levando em conta os dados da Tabela 3.14 foi o *MOSFET* IXKH70N60C5, cujas as principais características são descritas na Tabela 3.4. A princípio os testes seriam realizados usando a versão bidirecional do conversor *buck-buck*, porém, durante o tempo morto, o diodo intrínseco do interruptor entra em condução e, sendo este um diodo lento, ele causou elevada sobretensão nos interruptores. Então, optou-se por usar a versão unidirecional do conversor, sendo escolhido o diodo SCS215AG para implementação. Suas principais características são apresentadas na Tabela 3.5. Para geração dos sinais foi usado o *DSP* F28069 da *Texas Instruments*, sendo nele implementada a lógica de comando mostrada na Figura 3.15.

Figura 3.15 – Esquema usado nos testes.



Fonte: Autor.

Na Figura 3.16 são apresentadas as tensões nos interruptores dos dois conversores *buck*. O valor máximo de tensão é na faixa de 400 V, conforme descrito na Figura 3.3.

As formas de onda de tensão de entrada (V_i), tensão de saída do conversor *buck* 1 (V_{o1}), tensão de saída do conversor *buck* 2 (V_{o2}) e tensão de saída diferencial (V_o) com saída de 12 V em potência nominal são apresentadas na Figura 3.17. É observado que, conforme a teoria e as simulações apresentadas, V_o é a diferença entre V_{o1} e V_{o2} . Os valores obtidos experimentalmente são próximos aos da Tabela 3.2, sendo $V_i = 403,6$ V, $V_{o1} = 290,5$ V, $V_{o2} = 272,2$ V e $V_o = 12,12$ V. As pequenas diferenças entre os valores da tabela e os práticos são devido as não idealidades do circuito e erros de medição.

A Figura 3.18 mostra as formas de onda de corrente nos indutores e corrente de saída no ponto de operação nominal. Os valores de corrente média nos indutores ficaram próximos do valor médio de corrente de saída, cerca de 8,6 A, e os valores de ondulação de corrente também foram de acordo com o especificado, cerca de 4 A, que representa 50% de I_o .

Tabela 3.4 – Principais características do *MOSFET IXKH70N60C5*

Parâmetro	Símbolo	Valor
Tecnologia		CoolMOS
Tensão dreno/fonte máxima	V_{DSS}	600 V
Corrente média máxima de dreno a 25°C	I_{D25}	70 A
Corrente média máxima de dreno a 90°C	I_{D90}	48 A
Resistência série máxima	R_{dson}	0.045 Ω
Tempo de subida	t_r	20 ns
Tempo de descida	t_f	10 ns
Temperatura máxima de junção	T_j	150°C

Fonte: Autor.

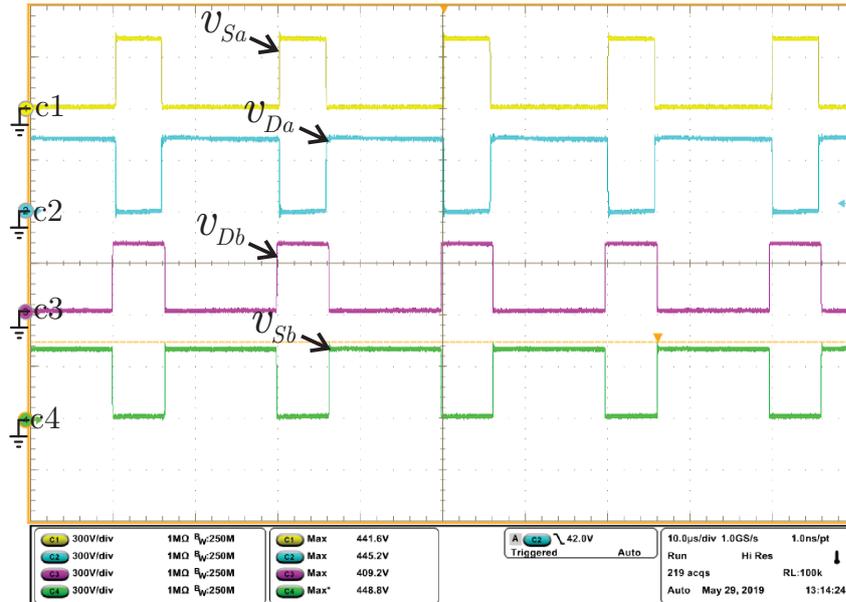
Tabela 3.5 – Principais características do diodo *SCS215AG*

Parâmetro	Símbolo	Valor
Tecnologia		SiC
Tensão direta máxima	V_D	650 V
Corrente média máxima de dreno a 25°C	I_{D25}	15 A
Queda de tensão a 25°C	V_{DC}	1,35 V
Carga capacitiva	Q_C	23 nC

Fonte: Autor.

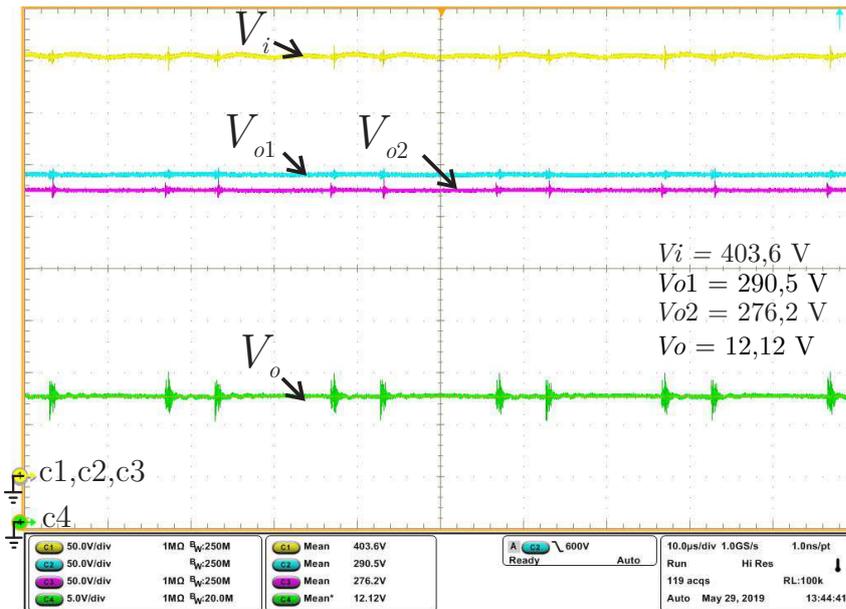
A estrutura foi testada em ganhos maiores (menores valores de tensão de saída)

Figura 3.16 – Tensão nos interruptores do conversor *buck-buck*.



Fonte: Autor.

Figura 3.17 – Tensão de entrada (V_i), tensões de saída dos conversores *buck* (V_{o1}) e (V_{o2}) e tensão de saída (V_o).

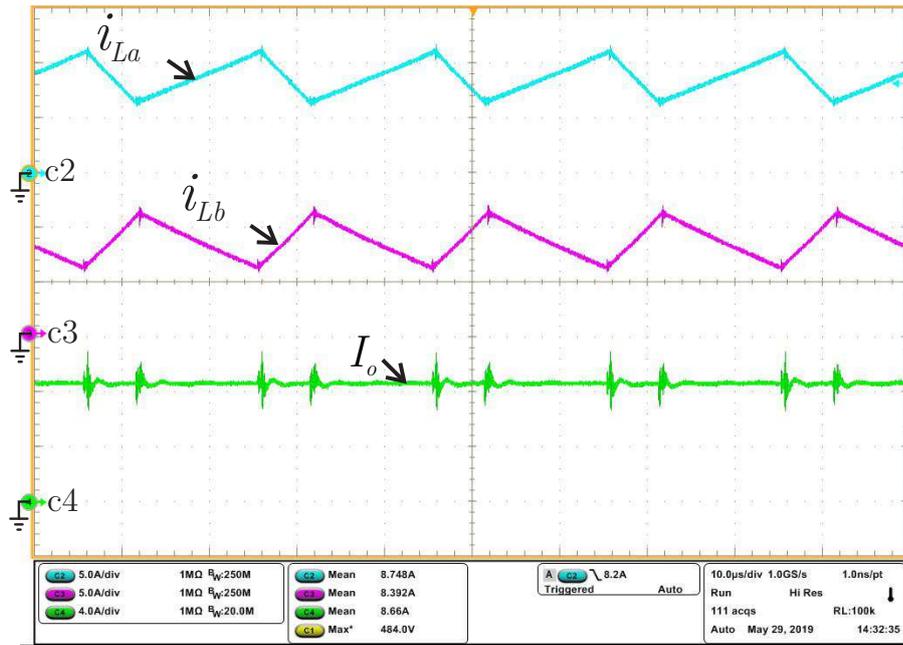


Fonte: Autor.

com intuito de verificar os seu potência e limites operacionais. Um teste foi realizado com tensão de saída de 3,3 V e 12 W de potência. Os resultados obtidos são apresentados na Figura 3.19, sendo que a tensão de 3,3 V na saída foi alcançada, mostrando o potencial do conversor para altas taxas de conversão. Um teste para gerar 1 V de saída também foi realizado, porém com o módulo *PWM* padrão do *DSP* utilizado não foi possível se obter a resolução necessária para $D_{dif} = 0,0025$.

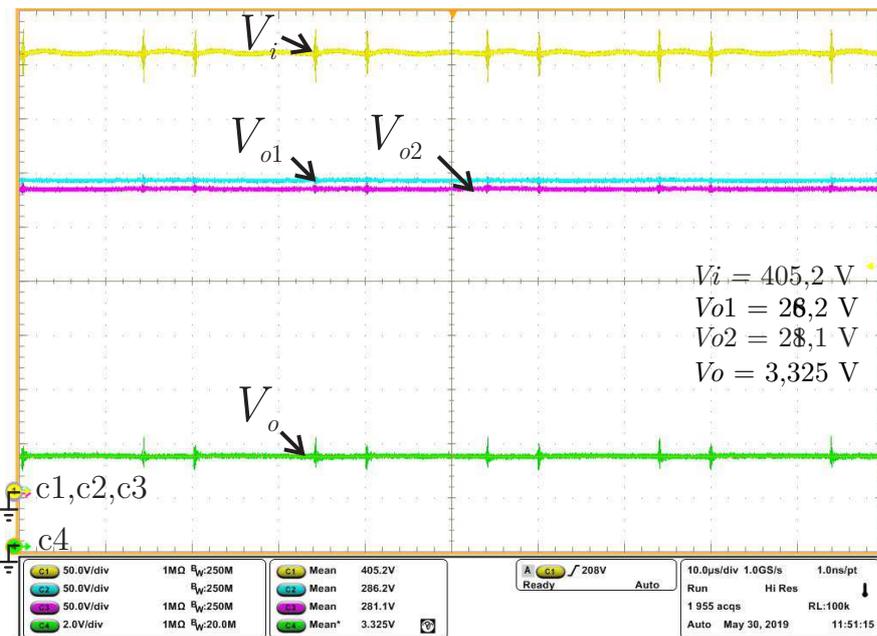
Um ensaio de rendimento foi realizado com diferentes valores de D_{sp} e $V_o = 12$ V,

Figura 3.18 – Corrente nos indutores (I_{La}) e (I_{Lb}) e tensão de saída (V_o).



Fonte: Autor.

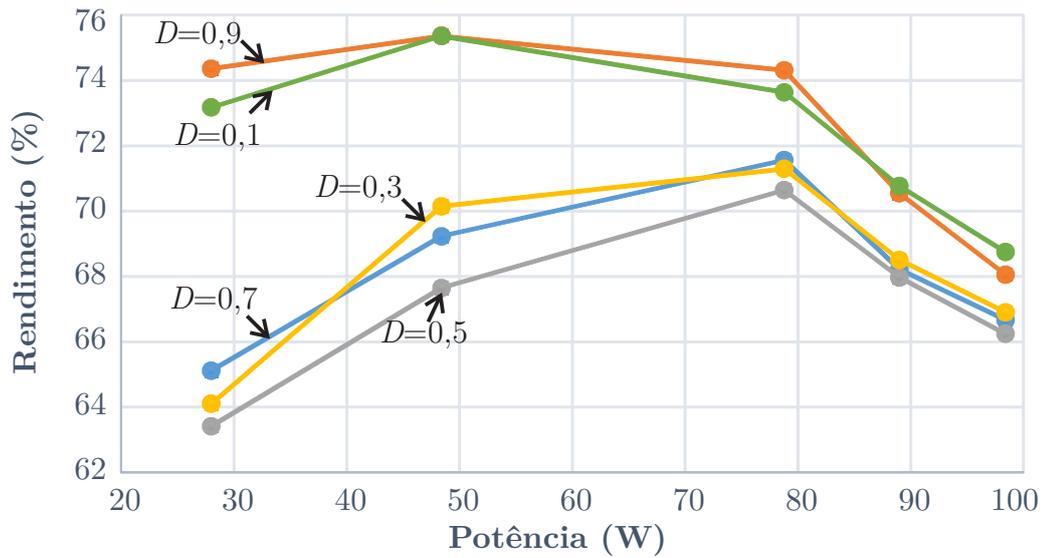
Figura 3.19 – Tensão de entrada (V_i), tensões de saída dos conversores *buck* (V_{o1}) e (V_{o2}) e tensão de saída (V_o) com tensão de saída de 3,3 V.



Fonte: Autor.

conforme a Figura 3.20. Foi verificado que os picos de rendimento ocorreram para $D_{sp} = 0,1$ e $0,9$ e eles foram na ordem de 75,5%. Já a curva com menor eficiência foi para $D_{sp} = 0,5$, que é o ponto de maior ondulação de corrente nos indutores. Das equações da Tabela 3.1, observa-se que a corrente eficaz nos interruptores e nos indutores é diretamente proporcional a ΔI_L , que tem seu valor máximo pra $D = 0,5$. Além disso, as perdas no núcleo dos indutores também aumentam diretamente com ΔI_L .

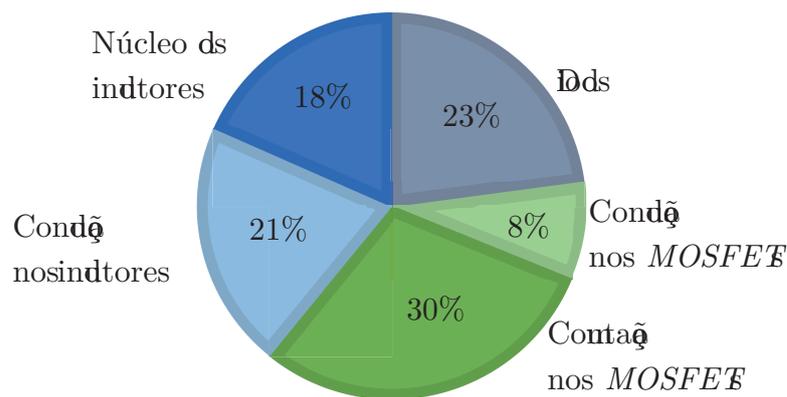
Figura 3.20 – Ensaio de rendimento para diferentes valores de D_{sp} .



Fonte: Autor.

A análise de distribuição de perdas teórica foi desenvolvida, obtendo as perdas teóricas no ponto de operação nominal ($D_{sp} = 0,7$; $P_o = 100$ W; $V_o = 12$ V), conforme apresentado na Tabela 3.6. As perdas no núcleo dos indutores foram determinadas através de ΔB e da tabela de perdas do fabricante na frequência de comutação, apresentada no Anexo A. Através dos dados da Tabela 3.6, foi traçado o gráfico de distribuição de perdas apresentado na Figura 3.21. Observa-se que a perda predominante foi de comutação nos interruptores, pois eles bloqueiam com a tensão de entrada e conduzem com a corrente de saída, e que as perdas predominantes foram nos *MOSFET*s e no indutores.

Figura 3.21 – Distribuição de perdas na potência nominal para $D_{sp} = 0,7$.



Fonte: Autor.

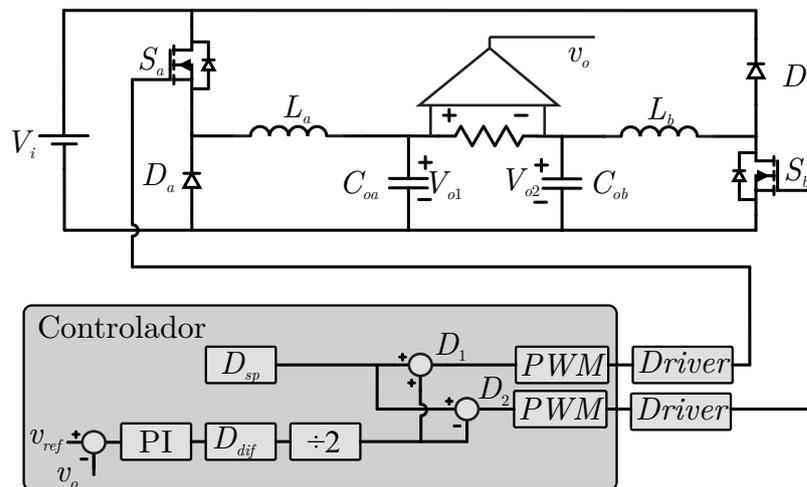
Apesar de não ter sido realizada a modelagem orientada ao controle da tensão de saída do conversor *buck-buck*, um esquema de como ele pode ser realizado é apresentado na Figura 3.22, na qual o compensador atua na razão cíclica diferencial.

Tabela 3.6 – Perdas teóricas do conversor *buck-buck* para $D_{sp} = 0,7$ e 100 W

Perda	Equação	Resultado
Condução nos <i>MOSFET</i> s	$2R_{dson}I_{ef}^2$	3,55 W
Comutação nos <i>MOSFET</i> s	$2V_S I_S f_s \left(\frac{t_r+t_f}{2}\right)$	12,88 W
Condução nos diodos	$2I_{med}V_{DC}$	9,51 W
Comutação nos diodos	$V_i Q_C f_s$	0,46 W
Condução nos indutores	$2R_{DC}I_{rms}^2$	10,07 W
Núcleo dos indutores	$\Delta B = \frac{V_i D(1-D)}{2f_s N_e A_e}$	6,135 W
Totais	P_{tot}	45,60 W
Rendimento	$100 \left(\frac{P_o}{P_o+P_{tot}}\right)$	70,12%

Fonte: Autor.

Figura 3.22 – Esquema de controle do conversor Buck-Buck.



Fonte: Autor.

3.4 CONCLUSÕES DO CAPÍTULO

Neste capítulo foram apresentadas as análises teóricas de conversores abaixadores diferenciais. Também foram apresentados resultados de simulação e experimentais do

conversor *buck-buck*. Através dos conversores diferenciais foi possível alcançar altas taxas de conversão de 400 V para 3,3 V, que significa uma taxa de redução de até 121 vezes, com reduzido número de componentes e análise simples. O rendimento máximo obtido foi de 75,5% para tensão de saída de 12 V, potência de 50 W e razão cíclica de 0,9/0,1. Para melhorar o rendimento, deve-se buscar formas de dividir a tensão e corrente nos componentes, como por exemplo uma célula de capacitor chaveado na entrada para dividir a tensão ou usar braços com *interleaving* para dividir a corrente.

Caso se consiga um rendimento elevado, estes conversores tem potencial para uso em *PSUs*, em conversões como 400 V para 48 V, 12 V, ou até mesmo para 1 V.

No próximo capítulo, será apresentada outra proposta de se obter um alto ganho abaixador, que é a conexão cascata da célula *ladder* de capacitor chaveado.

CAPÍTULO 4

CONVERTOR A CAPACITOR CHAVEADO EM CASCATA

4.1 INTRODUÇÃO DO CAPÍTULO

Este capítulo prossegue com o estudo de metodologias para criar topologias abaixadoras para uso em *PSUs* e *VRs*. A abordagem deste capítulo é direcionada ao uso de capacitores chaveados. Assim, o texto a seguir aborda a célula *ladder* e uma conexão *ladder/cascata* modificada brevemente proposta em [23] e estudada com detalhe neste trabalho. Serão apresentadas as análises teórica, e resultados de simulação e experimentais para validação da teoria.

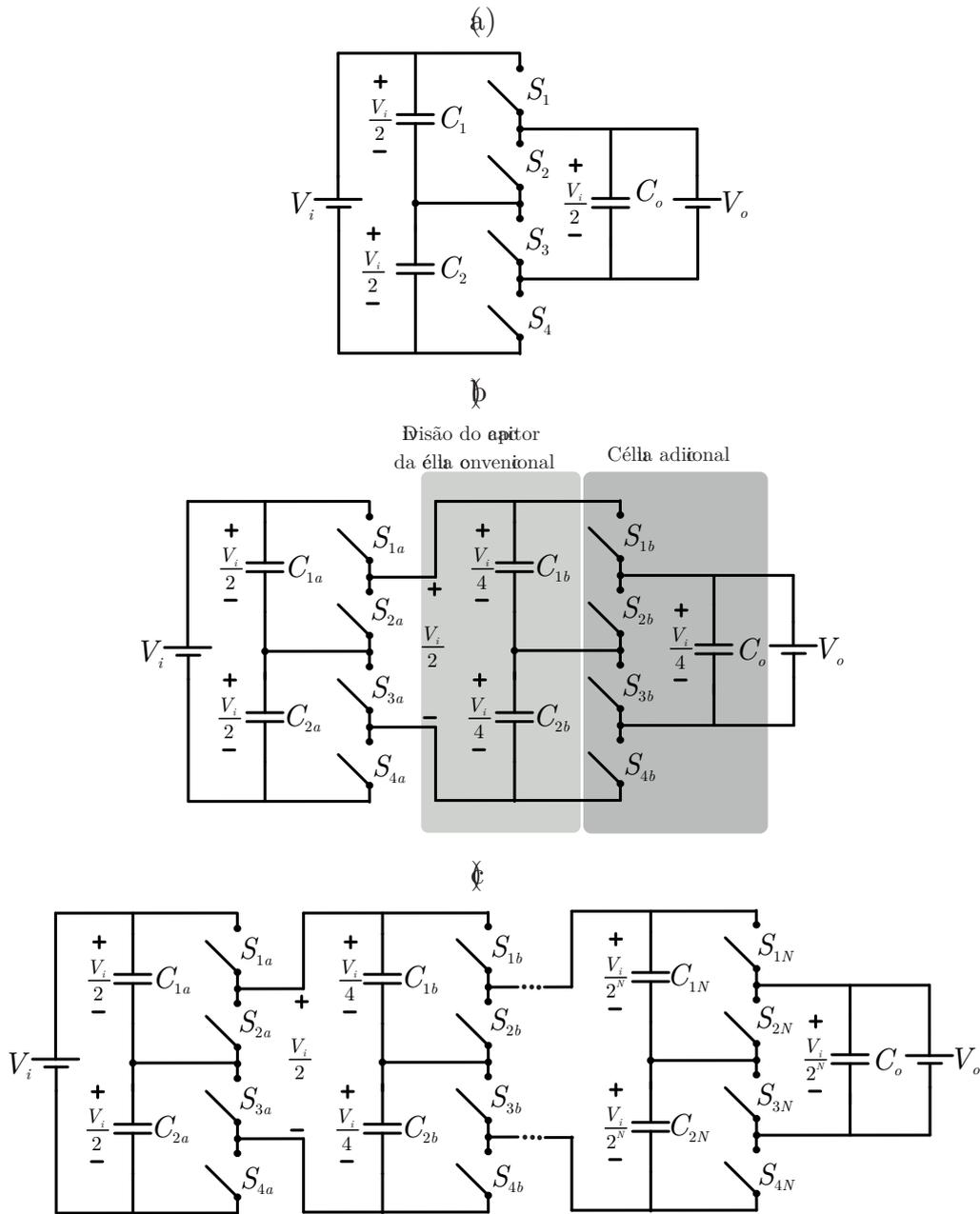
4.2 CONEXÃO CASCATA DA CÉLULA *LADDER*

A célula *ladder* de capacitor chaveado é apresentada novamente na Figura 4.1 (a). Caso se deseje aumentar a taxa de conversão, podem-se conectar mais células na conexão também chamada de *ladder*, que foi mostrada na Figura 2.16, no qual o ganho é uma multiplicação proporcional ao número de células. Neste trabalho, é proposto dividir o capacitor de saída da célula convencional e acrescentar outra célula em cascata com a primeira, conforme apresentado na Figura 4.1 (b). Esta conexão pode ser estendida para um número N de células, conforme a Figura 4.1 (c). Desta forma, a tensão de saída tem uma relação exponencial de base 2 com a tensão de entrada, conforme (4.1), e o ganho estático ideal fica definido conforme (4.2).

$$V_o = \frac{V_i}{2^N} \quad (4.1)$$

$$G_C = \frac{1}{2^N} \quad (4.2)$$

Figura 4.1 – Cascadeamento da célula *ladder*: (a) Célula convencional; (b) Adição de célula em cascata; (c) Generalização para N células.



Fonte: Autor.

4.3 ANÁLISE DA CONEXÃO

A análise da célula *ladder* foi apresentada na Seção 2.6. O estudo da conexão cascata aqui apresentado considera que o projeto é feito para cada célula individual de acordo com aquela seção, sendo aqui apresentada a análise da integração. Serão considerados $D = 0,5$ e MCP ($R_s = 2R_{on}$).

A partir da verificação do circuito da Figura 4.1 (c), se pode deduzir o número capacitores da conexão cascata conforme a (4.3) e o número de interruptores conforme

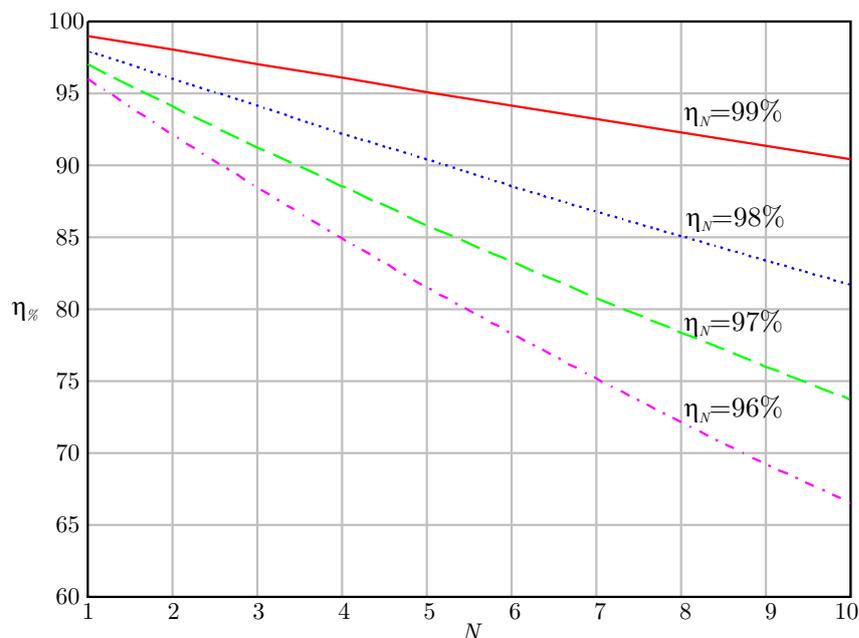
(4.4).

$$N_{CC} = 2N + 1 \quad (4.3)$$

$$N_{SC} = 4N \quad (4.4)$$

A conexão cascata da célula *ladder* de capacitor chaveado apresenta uma elevada taxa de conversão quando se usam vários estágios, circuito de comando simples e pode ter um elevado rendimento se cada célula individual for projetada uma boa eficiência. Isso é ilustrado na Figura 4.2, na qual a eficiência pode ser maior que 90% mesmo com 10 estágios, se a eficiência de cada estágio for 99%. Porém, com apenas três células, a eficiência fica abaixo de 90% se a eficiência de cada estágio for de 96%. Como desvantagem do *CSCC*, pode-se citar o número de componentes e *gate-drivers* elevado, e a ausência do controle de tensão.

Figura 4.2 – Eficiência do *CSCC* em função do número de células para diferentes valores de eficiência da célula individual (η_N).



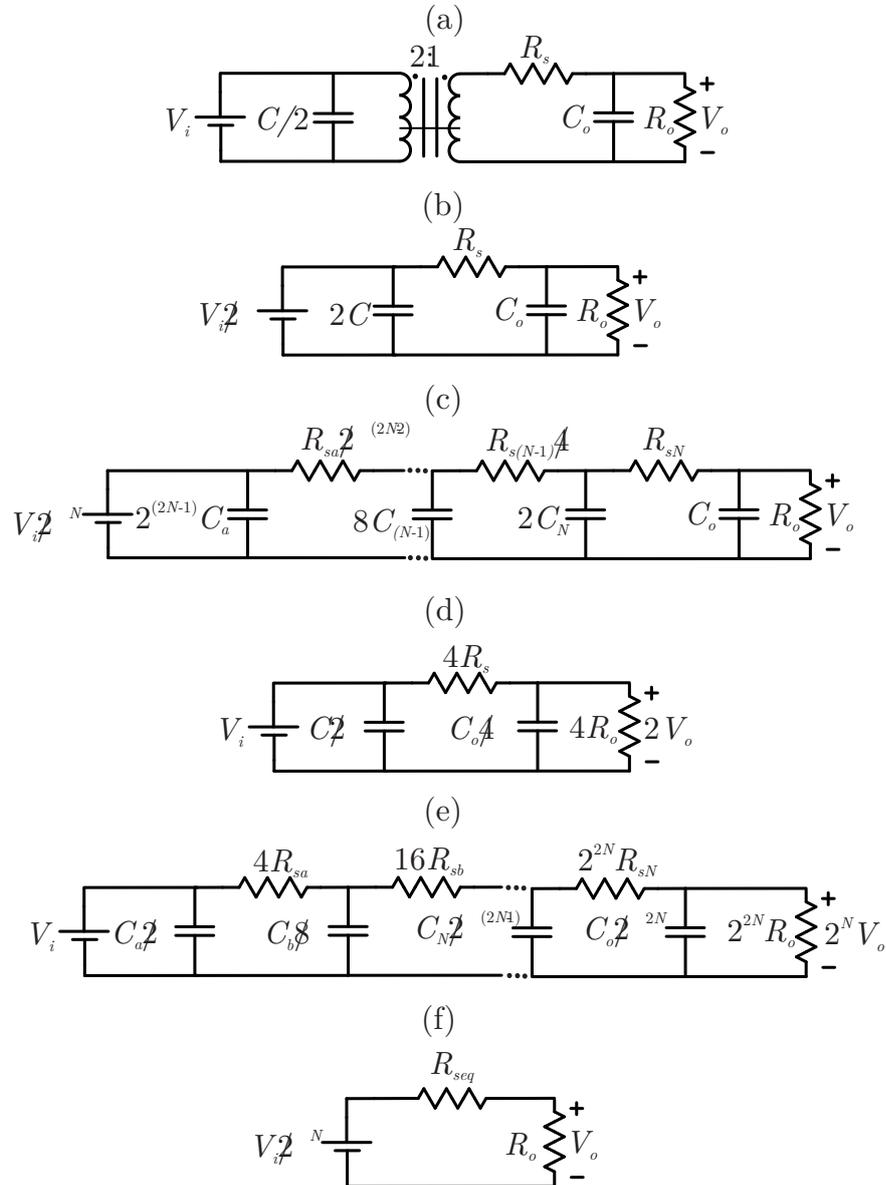
Fonte: Autor.

4.3.1 Circuito Equivalente

O circuito equivalente do *CSCC* é encontrado através do circuito da Figura 2.17 (a), apresentado novamente na Figura 4.3 (a). Refletindo os elementos para o secundário, o circuito equivalente de uma célula visto da saída é encontrado, conforme a Figura 4.3 (b). Adicionando mais células da Figura 4.3 (a), tem-se o circuito genérico visto da saída mostrado na Figura 4.3 (c). A partir dele podem ser extraídas a resistência equivalente, as perdas de condução, a regulação da tensão de saída e a capacitância equivalente. Da mesma

forma, pode ser deduzido o circuito equivalente visto da entrada e o circuito genérico visto da entrada, conforme as Figuras 4.3 (d) e (e).

Figura 4.3 – Cascadeamento da célula *ladder*: (a) Circuito equivalente com transformador CC; (b) Circuito equivalente de uma célula visto da saída; (c) Generalização para N células visto da saída; (d) Circuito equivalente de uma célula visto da entrada; (e) Generalização para N células visto da entrada; (f) Circuito simplificado visto da saída.



Fonte: Autor.

A resistência equivalente da conexão cascata pode ser definida conforme (4.5), baseado na análise do circuito da Figura 4.3 (c). Caso todas as células usem os mesmo componentes (mesmo R_{on}), R_{seq} pode ser descrita conforme (4.6).

$$R_{seq} = R_{sN} + \frac{R_{s(N-1)}}{4} + \dots + \frac{R_{sa}}{2^{(2N-2)}} \quad (4.5)$$

$$R_{seq} = R_s \sum_{x=1}^N \frac{1}{2^{(2x-2)}} \quad (4.6)$$

Caso o CSCC esteja acoplado ao estágio de entrada ou saída de outro conversor, ele irá interferir na dinâmica do mesmo. Se for realizado controle no conversor acoplado, o CSCC pode ser modelado como uma capacitância equivalente e um ganho [45], desprezando a resistência equivalente. A análise do circuito da Figura 4.3 (c) permite definir a capacitância equivalente vista da saída conforme (4.7). Caso todos os capacitores sejam iguais, pode-se reescrever esta a capacitância equivalente conforme (4.8). Já vista pela entrada, a capacitância equivalente pode ser definida por (4.9) caso os estágios sejam diferentes, e por (4.10) caso os estágios sejam iguais.

$$C_{eql} = C_o + 2C_N + 8C_{(N-1)} + \dots + 2^{(2N-1)}C_a \quad (4.7)$$

$$C_{eql} = C_o + C \sum_{x=1}^N 2^{(2x-1)} \quad (4.8)$$

$$C_{eqh} = \frac{C_a}{2} + \frac{C_b}{8} + \dots + \frac{C_N}{2^{(2N-1)}} + \frac{C_o}{2^{2N}} \quad (4.9)$$

$$C_{eqh} = C \sum_{x=1}^N \frac{1}{2^{(2x-1)}} + \frac{C_o}{2^{2N}} \quad (4.10)$$

A partir das equações (4.5) e (4.6), o circuito equivalente pode ser resumido ao circuito apresentado na Figura 4.3 (f). Da análise deste circuito são deduzidas as equações da tensão de saída real (4.11), do ganho real (4.12).

$$V_o = \frac{V_i}{2^N} \frac{R_o}{R_{seq} + R_o} \quad (4.11)$$

$$G_C = \frac{1}{2^N} \frac{R_o}{R_{seq} + R_o} \quad (4.12)$$

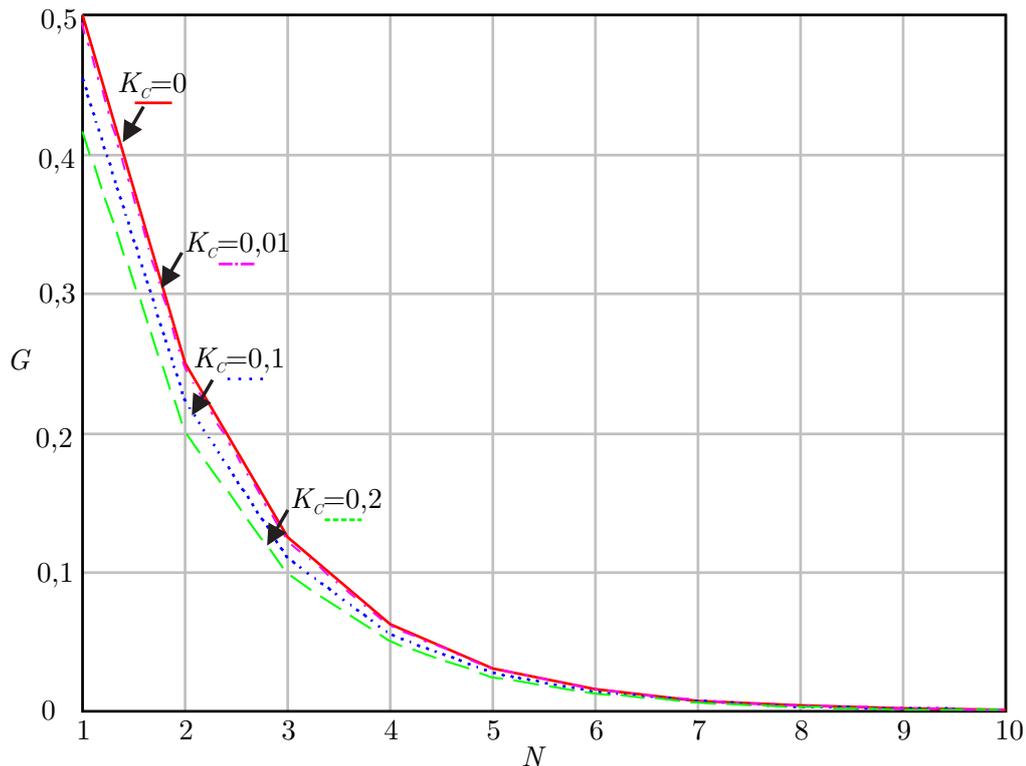
A análise da influência da resistência série no ganho estático é feita através da constante definida em (4.13), que representa uma proporção entre a resistência série e a resistência de carga, ou seja, quando maior o valor de K_C , maiores as perdas de condução. Já para $K_C = 0$, tem-se o ganho ideal. Considerando o conversor com as células iguais e substituindo (4.6) e (4.13) em (4.12), o ganho real fica definido conforme (4.14).

$$K_C = \frac{R_s}{R_o} \quad (4.13)$$

$$G_C = \frac{1}{2^N} \frac{1}{1 + K_C \sum_{x=1}^N \frac{1}{2^{(2x-2)}}} \quad (4.14)$$

O gráfico do ganho ideal e do ganho real foi traçado em função do número de células para diferentes valores de K_C , conforme apresentado na Figura 4.4. Assim como esperado, o ganho ideal ($K_C = 0$) é sempre maior que o ganho real devido as quedas de tensão nas resistências série. Para valores baixos de K_C , como 0,01, as curvas do ganho ideal e do ganho real ficam bem próximas, ou seja, o conversor apresenta baixas perdas de condução e uma boa regulação da tensão de saída. Já para valores maiores de K_C , como 0,2, as perdas são elevadas e há uma diferença maior entre o ganho ideal e o ganho real, portanto o conversor irá apresentar uma baixa regulação da tensão de saída.

Figura 4.4 – Ganho em função do número de células para diferentes valores de K_C .

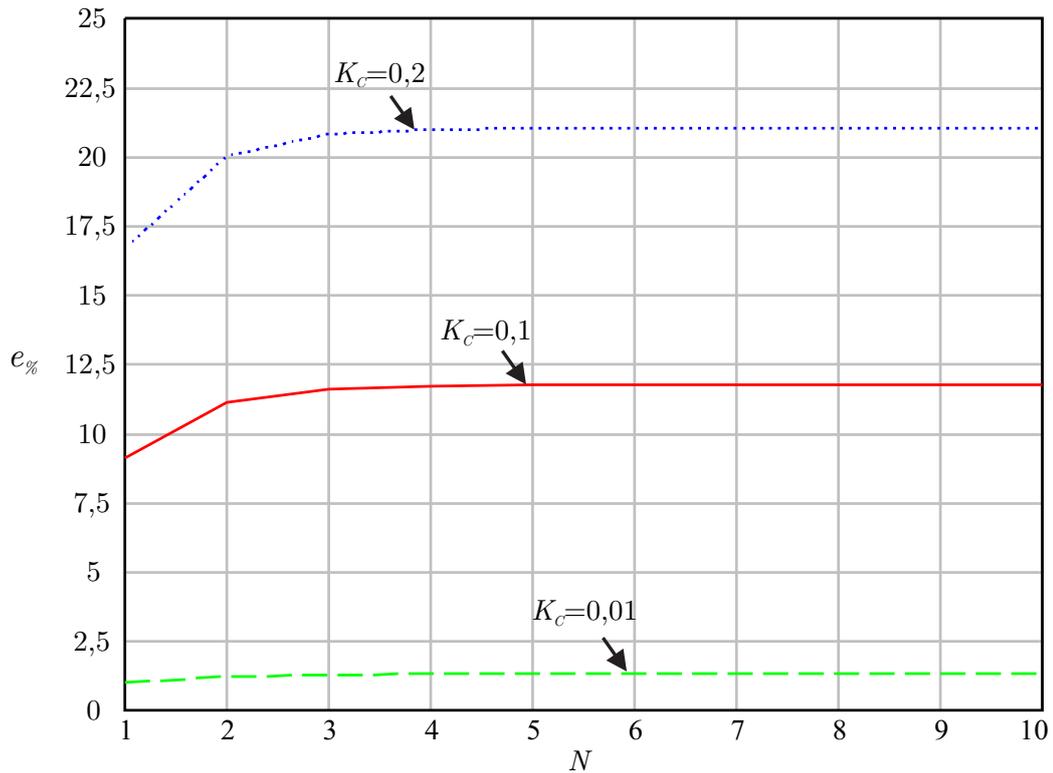


Fonte: Autor.

Na Figura 4.5 é apresentado do gráfico do erro percentual entre o ganho ideal e o ganho real, definido em (4.15). Reforçando a análise da Figura 4.4, o erro entre o ganho ideal e o ganho real é maior para valores maiores de K_C e aumenta com o número de células devido ao acréscimo de elementos série no circuito. Contudo, observando o termo somatório em (4.14), nota-se que um termo cada vez menor é adicionado, chegando a um ponto que se torna desprezível e o erro satura num valor fixo. Para entender isto melhor, pode-se analisar a Figura 4.3 (c), no qual o elemento referente a ultima célula é constante, e as células adicionais são colocadas na direção da entrada, que possui corrente e quedas de tensão menores.

$$e_{\%} = \frac{|G - G_C|}{G} 100 \quad (4.15)$$

Figura 4.5 – Erro percentual entre o ganho ideal e o ganho real em função do número de células para diferentes valores de K_C .



Fonte: Autor.

4.3.2 Análise de perdas

Os interruptores usados nesta análise serão do tipo *MOSFET*, que são os mais usados nas aplicações de capacitor chaveado.

A análise do circuito da Figura 4.3 (f), podem-se definir as perdas de condução conforme (4.16).

$$P_{cd} = R_{seq} I_o^2 \quad (4.16)$$

Segundo [63], as perdas de comutação em um *MOSFET* podem ser definidas conforme (4.17), onde V_S é a tensão quando o interruptor está bloqueado, I_S é a corrente quando o interruptor está em condução, t_r é o tempo de subida e t_f o tempo de descida.

$$P_{sw} = V_S I_S f_s \left(\frac{t_r + t_f}{2} \right) \quad (4.17)$$

A tensão de bloqueio e a corrente de condução dos interruptores da célula *ladder* estão relacionados a tensão e a corrente de saída. Na conexão cascata, a tensão da célula de entrada para a célula saída diminui pela metade de uma célula para outra dentro da conexão serial das células, enquanto a corrente dobra. Assim, pode-se considerar que o produto $V_S I_S$ nos interruptores é constante, e as perdas de comutação podem ser definidas por (4.18). Se os interruptores forem iguais em todos os estágios, desconsiderando as não

idealidades, as perdas de comutação podem ser reescritas conforme (4.19).

$$P_{sw} = 4V_o I_o \left[f_{sa} \left(\frac{t_{ra} + t_{fa}}{2} \right) + f_{sb} \left(\frac{t_{rb} + t_{fb}}{2} \right) + \dots + f_{sN} \left(\frac{t_{rN} + t_{fN}}{2} \right) \right] \quad (4.18)$$

$$P_{sw} = 4NV_o I_o f_s \left(\frac{t_r + t_f}{2} \right) \quad (4.19)$$

Nos *MOSFETs* também há perdas de comutação devido a descarga da capacitância intrínseca de saída (C_{oss}) durante a entrada em condução. Segundo [46], essa perda é dada por (4.20).

$$P_{cap} = f_s C_{oss} V_S^2 \quad (4.20)$$

Esta "perda capacitiva" pode ser escrita genericamente para o CSCC conforme (4.21) de acordo com os parâmetros de cada estágio. Caso todos os estágios tenham os mesmos parâmetros, as perdas capacitivas podem ser definidas conforme (4.22).

$$P_{cap} = 4f_{sa} C_{ossa} \left(\frac{V_i}{2} \right)^2 + 4f_{sb} C_{ossb} \left(\frac{V_i}{4} \right)^2 + \dots + 4f_{sN} C_{ossN} \left(\frac{V_i}{2^N} \right)^2 \quad (4.21)$$

$$P_{cap} = 4f_s C_{oss} V_i^2 \sum_{x=1}^N \left(\frac{1}{2^x} \right)^2 \quad (4.22)$$

Por fim, as perdas totais podem ser definidas conforme (4.23) e o rendimento como (4.24).

$$P_{tot} = P_{cd} + P_{sw} + P_{cap} \quad (4.23)$$

$$\eta = \frac{P_o}{P_o + P_{tot}} \quad (4.24)$$

4.4 ESFORÇOS DE TENSÃO E CORRENTE

Na Tabela 4.1 são apresentados os esforços de tensão e corrente do *CSCC* para $D=0,5$. É observado que os esforços de tensão são maiores na primeira célula, definidos por metade da tensão entrada, enquanto os esforços de corrente são maiores na última célula, sendo o valor médio definido por metade da tensão de saída.

4.5 COMPARAÇÃO COM A CONEXÃO *LADDER*

Uma comparação entre a conexão *ladder* clássica e a configuração proposta neste trabalho é discutida nesta seção. Das Figuras 2.16 (a) e 4.1 (b), nota-se que a célula individual da conexão *ladder* possui menos componentes, assim, para uma comparação

Tabela 4.1 – Esforços de tensão e corrente do *CSSC* para $D=0,5$.

Célula	Tensão	Corrente Média	Corrente Eficaz
1	$\frac{V_i}{2}$	$\frac{I_o}{2^N}$	$\frac{I_o}{2^{(N-1)}\sqrt{2}}$
2	$\frac{V_i}{4}$	$\frac{I_o}{2^{(N-1)}}$	$\frac{I_o}{2^{(N-2)}\sqrt{2}}$
3	$\frac{V_i}{8}$	$\frac{I_o}{2^{(N-2)}}$	$\frac{I_o}{2^{(N-3)}\sqrt{2}}$
4	$\frac{V_i}{16}$	$\frac{I_o}{2^{(N-3)}}$	$\frac{I_o}{2^{(N-4)}\sqrt{2}}$
N	$\frac{V_i}{2^N}$	$\frac{I_o}{2}$	$\frac{I_o}{\sqrt{2}}$

Fonte: Autor.

mais justas em termos do número de interruptores, na conexão *ladder* N irá representar duas células e o ganho será definido por (4.25).

$$G_L = \frac{1}{2N} \quad (4.25)$$

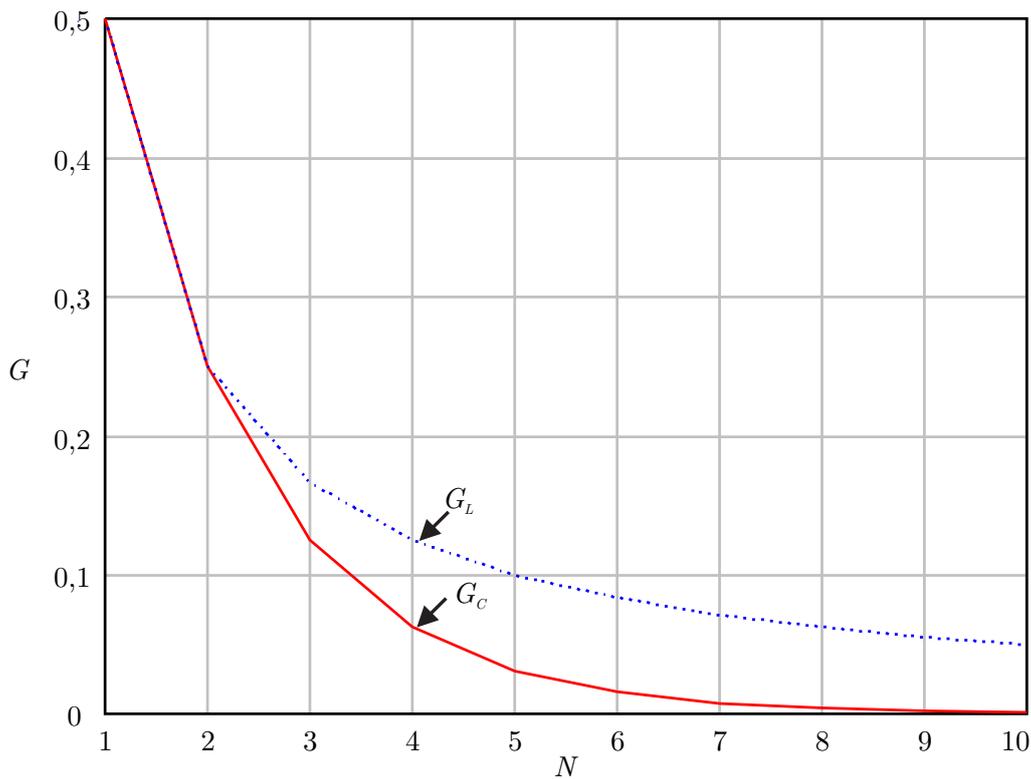
Na Figura 4.6 são apresentados o ganho ideal da conexão cascata (4.2) e da conexão *ladder* em função do número de células. Observa-se que para até duas células as duas conexões possuem o mesmo ganho, porém, a partir de três células, a conexão cascata possui um ganho abaixador maior, sendo $1/6$ na conexão *ladder* e $1/8$ na cascata para $N=3$.

Já em relação aos esforços de tensão, conforme a Tabela 4.2, a conexão *ladder* tem vantagem por dividir igualmente os esforços de tensão em todos os componentes. Na cascata há um esforço de tensão maior nos componentes dos estágios de entrada e menor nos estágios de saída, o que em alguns casos faz com que seja necessário um projeto individual para cada estágio.

4.6 CONEXÃO MISTA DA CÉLULA LADDER

Na Seção 4.5 foi mostrado que, para até duas células (usando a convenção de células usada na seção) as conexões *ladder* e cascata possuem o mesmo ganho e mesmo número de interruptores. Na Tabela 4.2, é mostrado que a conexão *ladder*, para até duas células, tem um menor esforço de tensão nos componentes, definido pela tensão de saída do conversor. Assim, é interessante em aplicações de alto ganho, usar os dois primeiros estágios em conexão *ladder* para uma melhor divisão de tensão nos componentes, e o restante dos estágios em cascata para incrementar o ganho.

Figura 4.6 – Ganho ideal da conexão cascata (G_C) e da conexão (G_L) em função do número de células.



Fonte: Autor.

Tabela 4.2 – Esforços de tensão em cada célula nos capacitores e interruptores das conexões cascata e ladder

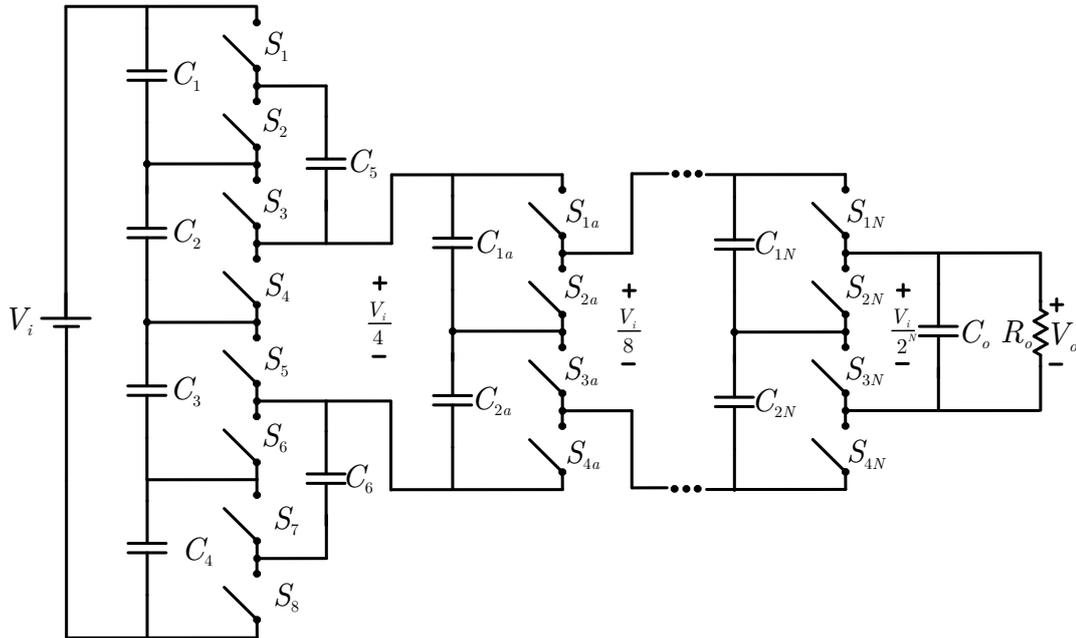
Célula	Cascata	Ladder
1	$\frac{V_i}{2}$	$\frac{V_i}{2N}$
2	$\frac{V_i}{4}$	$\frac{V_i}{2N}$
3	$\frac{V_i}{8}$	$\frac{V_i}{2N}$
4	$\frac{V_i}{16}$	$\frac{V_i}{2N}$
N	$\frac{V_i}{2^N}$	$\frac{V_i}{2N}$

Fonte: Autor.

Baseado nisso é proposta uma conexão mista da célula ladder de capacitor chaveado, chamada neste de trabalho de MSCC (do inglês *Mixed Switched Capacitor Converter*),

apresentada na Figura 4.7.

Figura 4.7 – Conexão mista da célula *ladder*.



Fonte: Autor.

O ganho do *MSCC* é dado pela multiplicação do ganho do estágio *ladder* pelo ganho dos estágios em cascata, conforme (4.26), sendo N o número de estágios em cascata.

$$G_M = \frac{1}{4} \frac{1}{2^N} \quad (4.26)$$

Já o número de capacitores e o número de interruptores em função do número de estágios em cascata podem ser definidos por (4.27) e (4.28) respectivamente.

$$N_{CM} = 2N + 7 \quad (4.27)$$

$$N_{SM} = 4N + 8 \quad (4.28)$$

Os esforços de tensão e corrente na conexão mista são apresentados na Tabela 4.3. Como esforços são diferentes em cada estágio, nesta tabela L_d representa os esforços nos interruptores do estágio *ladder*, L_{do} os esforços nos interruptores de saída (S_4 e S_5 da Figura 4.7) do estágio *ladder*, e C_s os esforços de cada estágio em cascata. A corrente I_{oL} é a corrente de saída do estágio *ladder*, definida em (4.29).

$$I_{oL} = \frac{P_o}{V_{oL}} = \frac{4P_o}{V_i} \quad (4.29)$$

Tabela 4.3 – Esforços de tensão e corrente do *MSSC* para $D=0,5$.

Célula	Tensão	Corrente Média	Corrente Eficaz
Ld	$\frac{V_i}{4}$	$\frac{I_o L}{4}$	$\frac{I_o L}{2\sqrt{2}}$
Ldo	$\frac{V_i}{4}$	$\frac{3I_o L}{4}$	$\frac{3I_o}{2\sqrt{2}}$
Cs1	$\frac{V_i}{8}$	$\frac{I_o}{2^N}$	$\frac{I_o}{2^{(N-1)}\sqrt{2}}$
Cs2	$\frac{V_i}{16}$	$\frac{I_o}{2^{(N-1)}}$	$\frac{I_o}{2^{(N-2)}\sqrt{2}}$
CsN	$\frac{V_i}{2^{(N+2)}}$	$\frac{I_o}{2}$	$\frac{I_o}{\sqrt{2}}$

Fonte: Autor.

4.7 EXEMPLO DE PROJETO

Um exemplo de projeto será feito com os dados da Tabela 4.4. Há duas formas de se projetar o *CSSC* cascata: com um projeto individual para cada estágio ou com todos os estágios iguais. Um projeto para cada estágio tem a vantagem de otimizar cada célula individualmente de acordo com suas características, enquanto usar células iguais tem a vantagem da modularidade. Neste exemplo, todos os estágio serão considerados iguais, e será feito o projeto de uma célula conforme apresentado na seção 2.6. Assim, os esforços nos interruptores deverão ser: metade da tensão de entrada, que é a tensão máxima nos interruptores do primeiro estágio; e a corrente de saída, que é a máxima corrente nos interruptores do último estágio.

Tabela 4.4 – Especificações de projeto

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	200 V
Tensão de saída	V_o	50 V
Potência de saída	P_o	200 W
Corrente de saída	I_o	4 A
Frequência de comutação	f_s	36 kHz
Número de estágios	N	2

Fonte: Autor.

Baseado nas especificações o *MOSFET* IXFY26N30X3, apresentado na Tabela 4.5, foi escolhido.

Tabela 4.5 – Principais características do *MOSFET* IXFY26N30X3

Parâmetro	Símbolo	Valor
Tecnologia		HiPERFET
Tensão dreno/fonte máxima	V_{DSS}	300 V
Corrente média máxima de dreno a 25°C	I_{D25}	26 A
Resistência série máxima	R_{dson}	0.066 Ω
Tempo de subida	t_r	25 ns
Tempo de descida	t_f	19 ns
Capacitância de saída	C_{oss}	225 pF
Temperatura máxima de junção	T_j	150°C

Fonte: Autor.

Com os interruptores escolhidos, tem-se dois parâmetros de projeto: a frequência de comutação, que foi pré estabelecida; e a resistência série, de acordo com a resistência dos interruptores. Assim, pode-se estabelecer um produto $f_s\tau$ mínimo, neste caso escolhido como 0,2, e calcular uma capacitância mínima de usando (2.14). Neste caso, a capacitância mínima calculada é apresentada em (4.30). Baseado no valor encontrado, e na tensão máxima sobre os capacitores ($V_i/2$), o capacitor FE52N6J0506KB foi escolhido com as características: 50 μF ; 550V; filme de polipropileno. Com este capacitor, tem-se $f_s\tau = 0,24$.

$$C_{min} = \frac{2R_{on}f_s}{f_s\tau} = \frac{2 \cdot 0.066 \cdot 36000}{0,2} = 42,1 \mu\text{F} \quad (4.30)$$

Por fim, usando as equações das subseções anteriores, os principais parâmetros do circuito e as análises de perdas são apresentadas na Tabela 4.6.

Tabela 4.6 – Parâmetros do circuito e análise de perdas

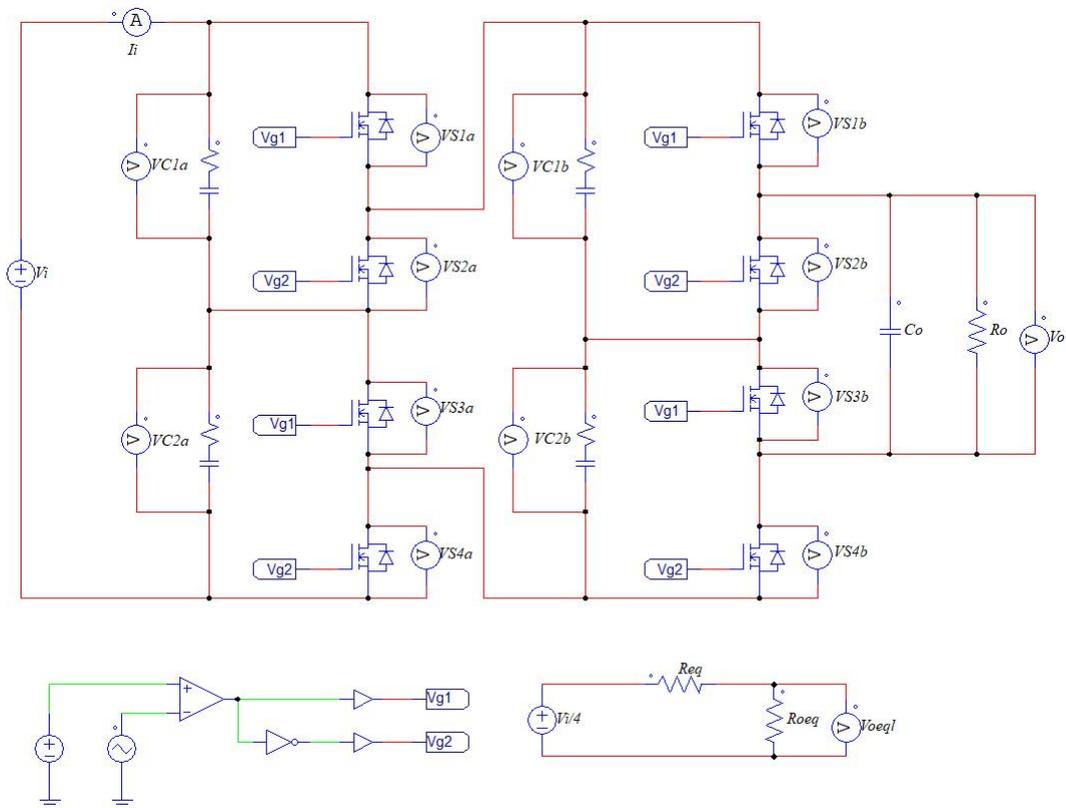
Parâmetro	Cálculo
Resistência série	$R_s = 2 \cdot 0.066 = 0,132 \Omega$
Resistência equivalente	$R_{eq} = 0,132 \left(1 + \frac{1}{4}\right) = 0,165 \Omega$
Tensão de saída	$V_o = \frac{12.5}{12.5+0,165} \frac{200}{4} = 49,35 \text{ V}$
Perdas de condução	$P_{cd} = 0,165 \cdot 4^2 = 2,64 \text{ W}$
Perdas de comutação	$P_{sw} = 2 \cdot 4 \cdot 50 \cdot 4 \frac{(25n+19n)}{2} 36k = 1,27 \text{ W}$
Perdas capacitivas	$P_{cap} = 4 \cdot 225p \cdot 36k \cdot (200^2) \cdot \left(\frac{1}{4} + \frac{1}{16}\right) = 0,40 \text{ W}$
Perdas totais	$P_{tot} = 2,64 + 1,27 + 0,40 = 4.31 \text{ W}$
Eficiência	$\eta = \frac{200}{200+4,31} = 97,9\%$

Fonte: Autor.

4.8 RESULTADOS DE SIMULAÇÃO

Uma simulação foi montada pra validar as análises apresentadas neste capítulo. O circuito usado nas simulações é apresentado na Figura 4.8 e os dados na tabela 4.4. A resistência dos capacitores é desprezível em relação a resistência dos interruptores (<1%).

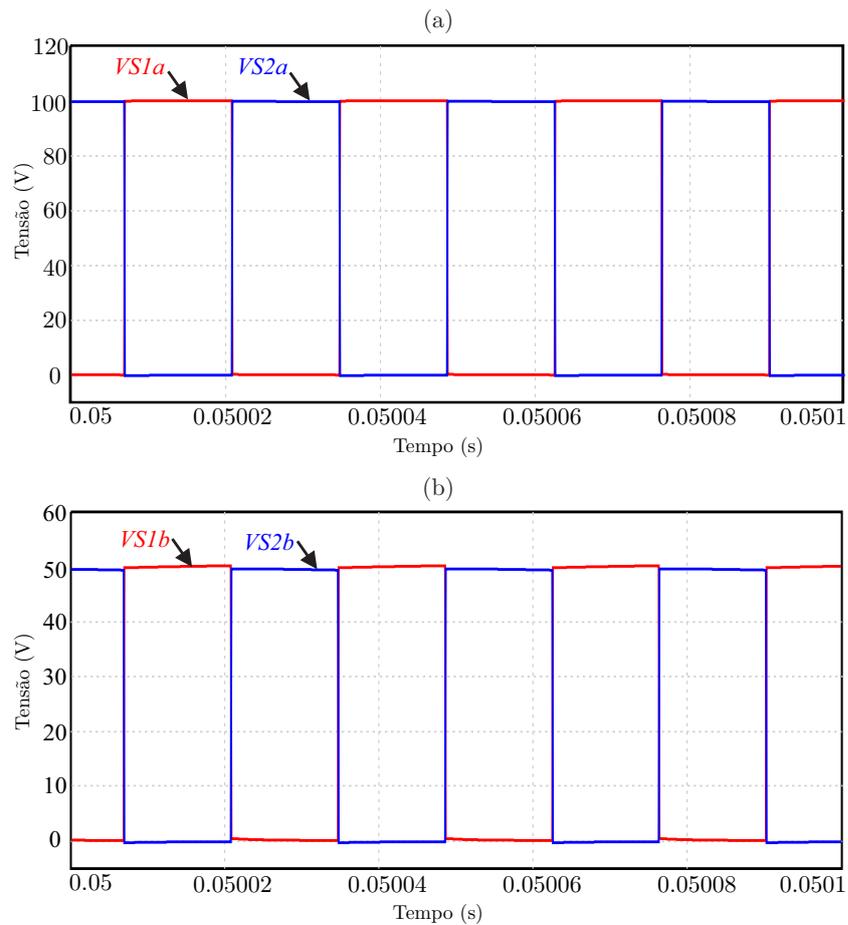
Figura 4.8 – Circuito usado nas simulações do CSCC.



Fonte: Autor.

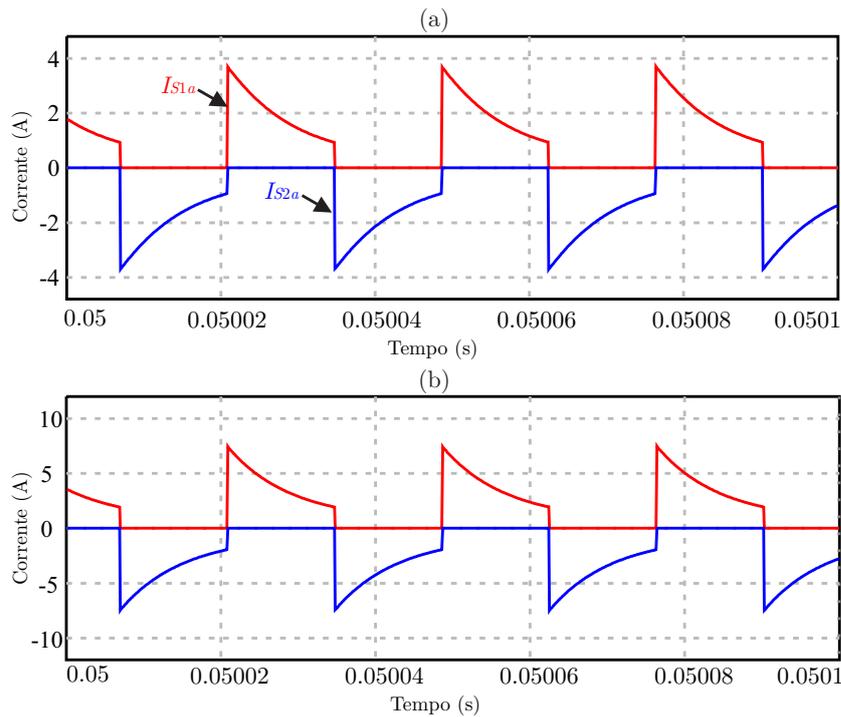
A tensão nos interruptores do primeiro estágio são apresentadas na Figura 4.9 (a) e do segundo estágio na Figura 4.9 (b). É observado que a máxima tensão está no primeiro estágio e tem seu valor igual metade da tensão de entrada, e no segundo estágio um quarto da tensão de entrada, conforme foi apresentado na teoria. Já as correntes nos interruptores superiores são apresentadas na Figura 4.10 (a) e do segundo estágio na Figura 4.10 (b). As correntes nos interruptores S_{2a} e S_{2b} são negativas pelo sentido das correntes nas etapas de operação da célula *ladder* (ver Figura 2.15).

Figura 4.9 – Resultados de simulação da tensão nos interruptores: (a) Primeiro estágio; (b) Segundo estágio.



Fonte: Autor.

Figura 4.10 – Resultados de simulação da corrente nos interruptores: (a) Primeiro estágio; (b) Segundo estágio.



Fonte: Autor.

Para validação dos esforços teóricos apresentados na Tabela 4.1, foi realizada uma comparação com os valores de simulação, conforme a Tabela 4.7. É observado que os valores da tensão máxima e da corrente média ficaram bem próximos na teoria e na simulação. Já no valor eficaz houve alguma diferença devido aos picos de corrente, que são desconsiderados na metodologia de cálculo de corrente eficaz, porém, para efeito de projeto no MPC e MCgC, o valor é suficiente. Caso o conversor opere no MCP, equações com resultados mais precisos devem ser usadas [47].

A tensão nos capacitores e de saída do primeiro estágio em potência nominal é apresentada na Figura 4.11, na qual a tensão de saída é a soma da tensão dos capacitores do segundo estágio. Conforme esperado numa célula *ladder*, estas tensões ficaram equilibradas. O mesmo ocorre nas tensões do segundo estágio, apresentadas na Figura 4.12.

As correntes nos capacitores do primeiro estágio em potência nominal são apresentadas na Figura 4.13 (a) e do segundo estágio na Figura 4.13 (b). Em ambos os casos é observada a característica de carga parcial, com variação da corrente, porém sem atingir zero em meio período de comutação.

Na Figura 4.14 são apresentadas as tensões de entrada (V_i), de saída do primeiro estágio ($V_{C1b} + V_{C2b}$) e de saída (V_o) em potência nominal. Conforme o esperado, a tensão diminuiu pela metade em cada estágio.

As formas de onda da tensão comutada e do circuito equivalente em potência nominal são visualizadas na Figura 4.15. A tensão equivalente obtida foi igual ao calculado na Tabela 4.6, 49,35V, enquanto que o valor médio da tensão comutada foi bem próximo

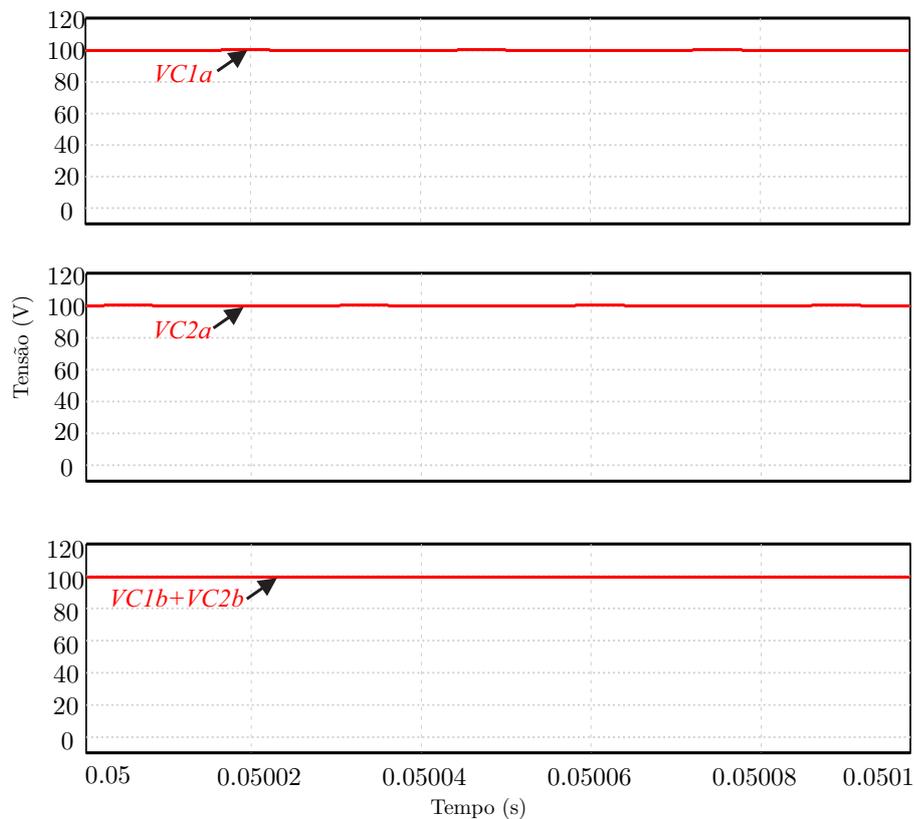
Tabela 4.7 – Esforços de tensão e corrente teóricos e de simulação do *CSCC*.

Teórico	Tensão	Corrente Média	Corrente Eficaz
1	100 V	1 A	1,41 A
2	50 V	2 A	2,83 A
Simulação	Tensão	Corrente Média	Corrente Eficaz
1	100,1 V	0,99 A	1,51 A
2	50,1 V	1,98 A	3,01 A

Fonte: Autor.

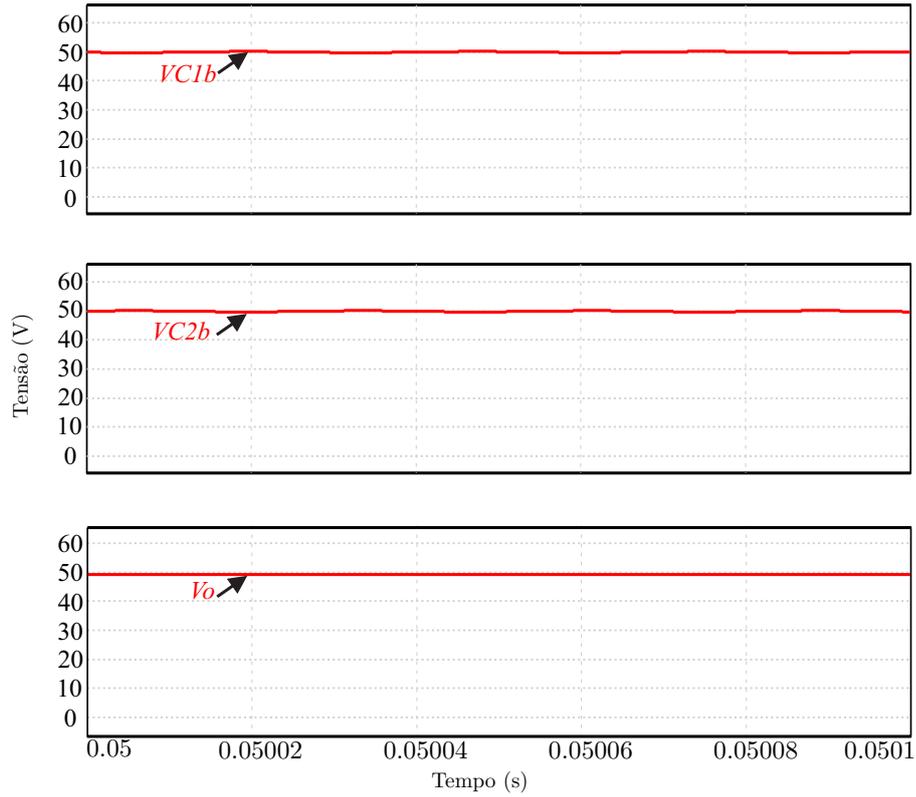
a este, 49,44 V, com um erro de 0,18%.

Figura 4.11 – Tensão nos capacitores e tensão de saída do primeiro estágio.



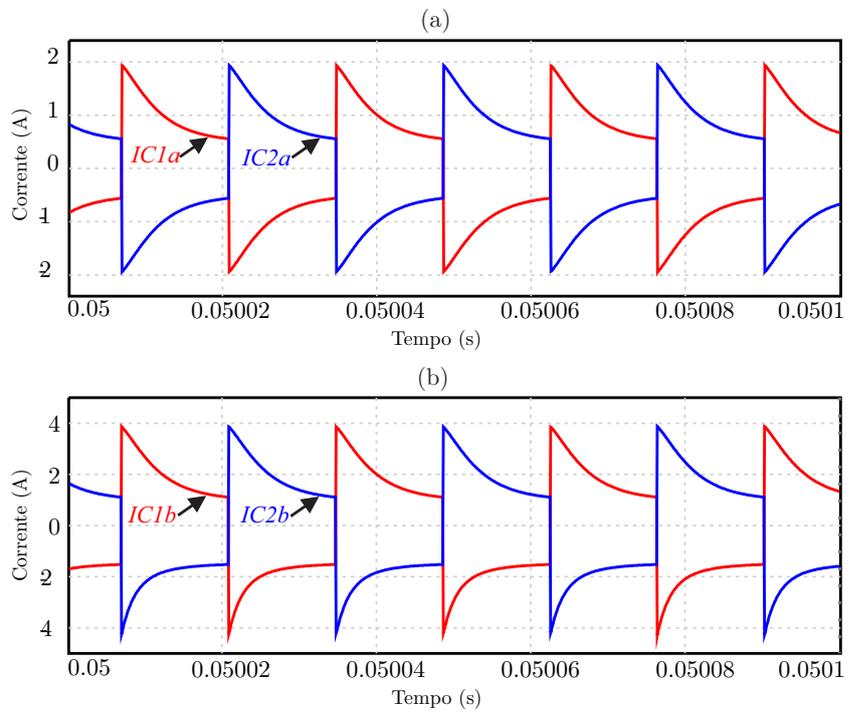
Fonte: Autor.

Figura 4.12 – Tensão nos capacitores e tensão de saída do segundo estágio.



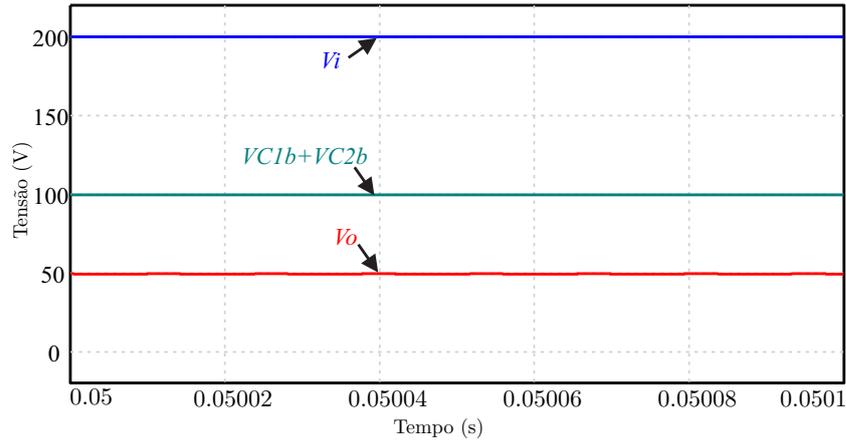
Fonte: Autor.

Figura 4.13 – Corrente nos capacitores: (a) Primeiro estágio; (b) Segundo estágio.



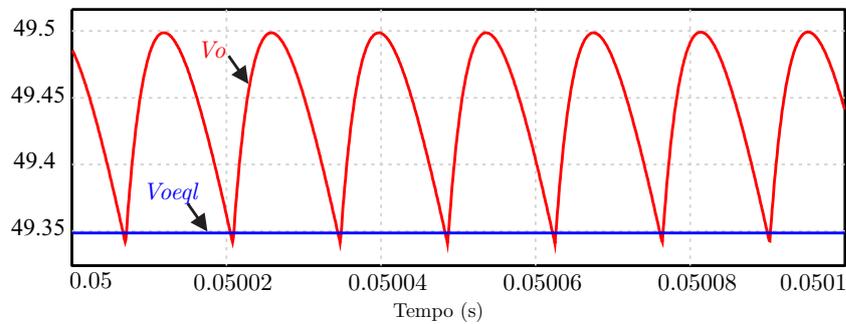
Fonte: Autor.

Figura 4.14 – Tensões de entrada, de saída do primeiro estágio e de saída do CSCC.



Fonte: Autor.

Figura 4.15 – Tensão de saída do circuito comutado e do circuito equivalente.



Fonte: Autor.

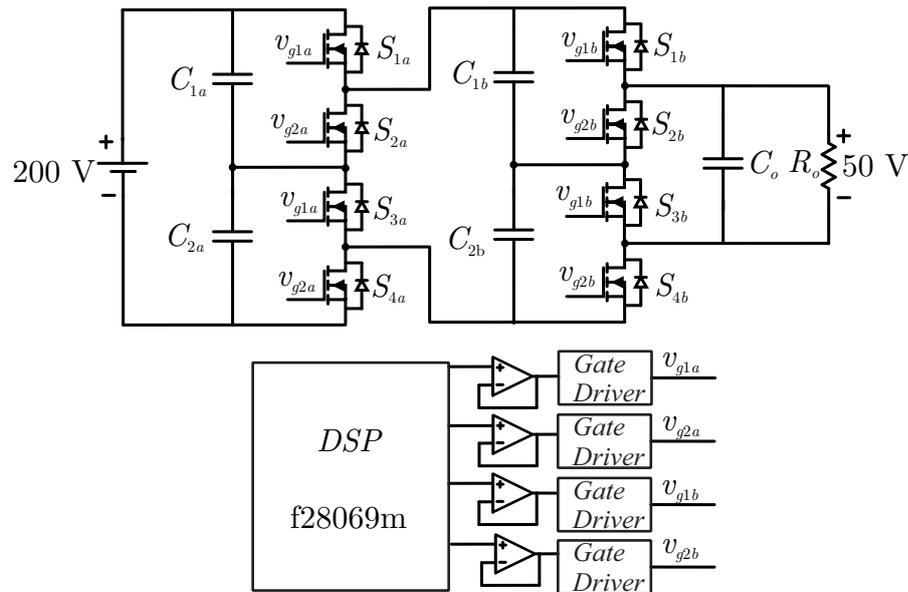
4.9 RESULTADOS EXPERIMENTAIS

Um protótipo foi construído com os dados da Tabela 4.4 e o projeto da seção 4.7 para validação das análises. O esquemático usado nos testes é apresentado na Figura 4.16, onde o comando foi realizado através do *DSP* f28069. A fotografia do protótipo é apresentada na Figura 4.17.

As formas de onda de tensão em interruptores complementares do primeiro estágio (v_{S1a} , v_{S2a}) e do segundo estágio (v_{S1b} , v_{S2b}) são apresentadas na Figura 4.18. Conforme o esperado, a tensão no primeiro estágio fica grampeada na metade da tensão de entrada (100 V), e a tensão do segundo estágio em 1/4 da tensão de entrada (50 V).

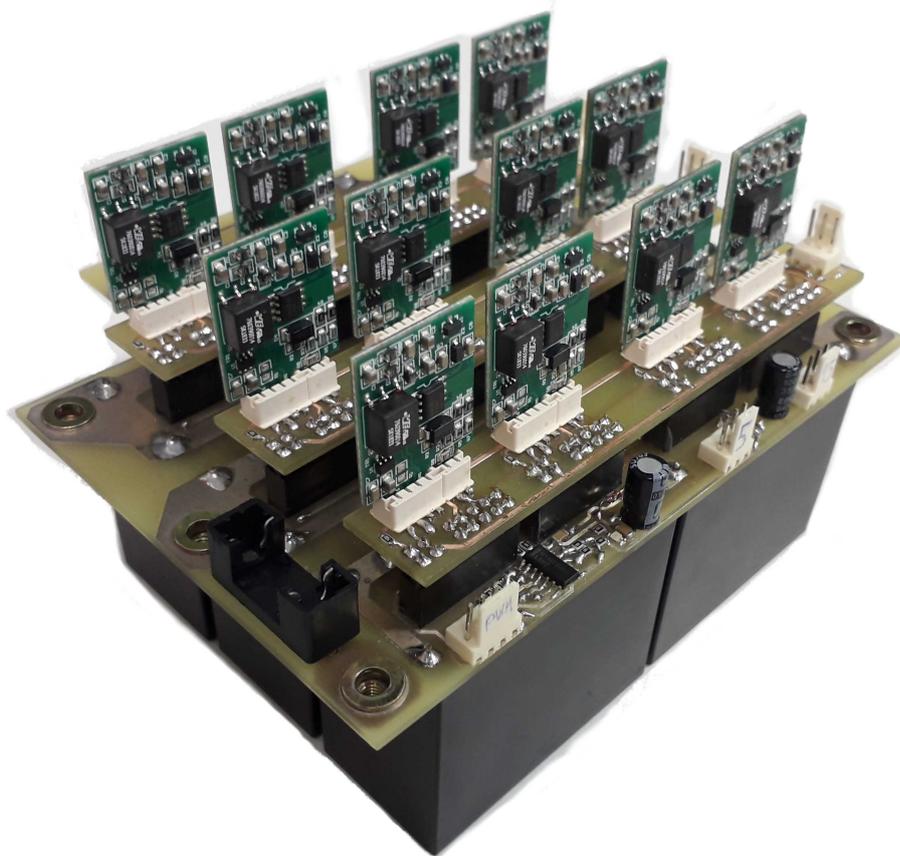
Na Figura 4.19 (a) são apresentadas as formas de onda de tensão nos capacitores (V_{C1a} , V_{C2a}) e de saída ($V_{C1b} + V_{C2b}$) do primeiro estágio com carga nominal, na qual a saída corresponde a soma dos capacitores de entrada do estágio seguinte. Observa-se que estas tensões ficaram equilibradas em 100 V, a qual é a metade da tensão de entrada. Na Figura 4.19 (b) são mostradas as tensões nos capacitores do segundo estágio (V_{C1b} , V_{C2b}) e a tensão de saída (V_o) com carga nominal, que estão equilibradas em 1/4 da tensão de entrada (50 V).

Figura 4.16 – Esquema do circuito usado nos testes.



Fonte: Autor.

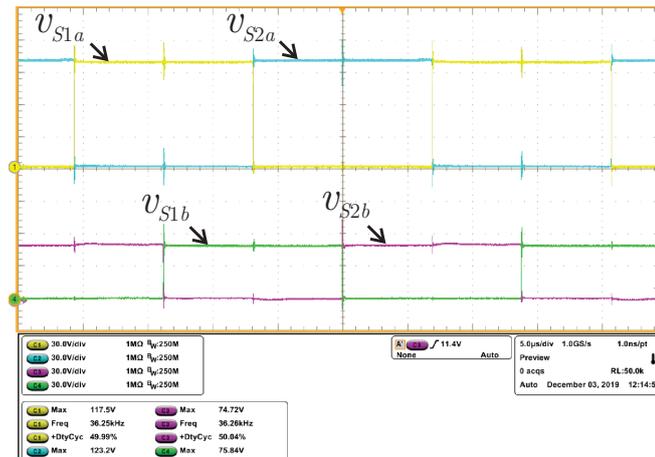
Figura 4.17 – Fotografia do protótipo.



Fonte: Autor.

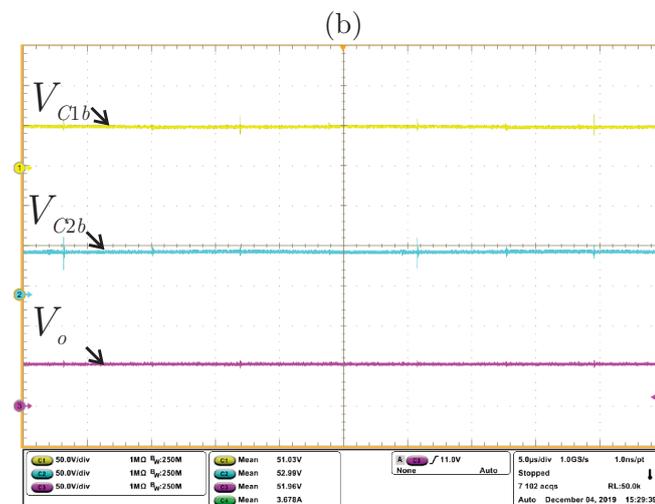
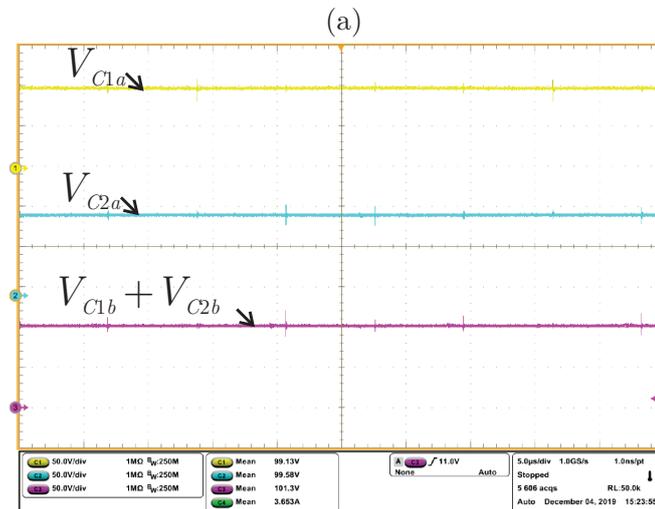
As formas de onda de tensão de entrada, tensão de saída do primeiro estágio e tensão de saída sem carga (a vazio) são mostradas na Figura 4.20 (a) . Conforme apresentado na teoria, a tensão de saída diminui pela metade a cada estágio. Já na Figura 4.20 (b)

Figura 4.18 – Tensão em interruptores complementares do primeiro estágio (v_{S1a} , v_{S2a}) e do segundo estágio (v_{S1b} , v_{S2b}) com carga nominal. Escalas: $V=30\text{ V}$; $t=5\text{ }\mu\text{s}$.



Fonte: Autor.

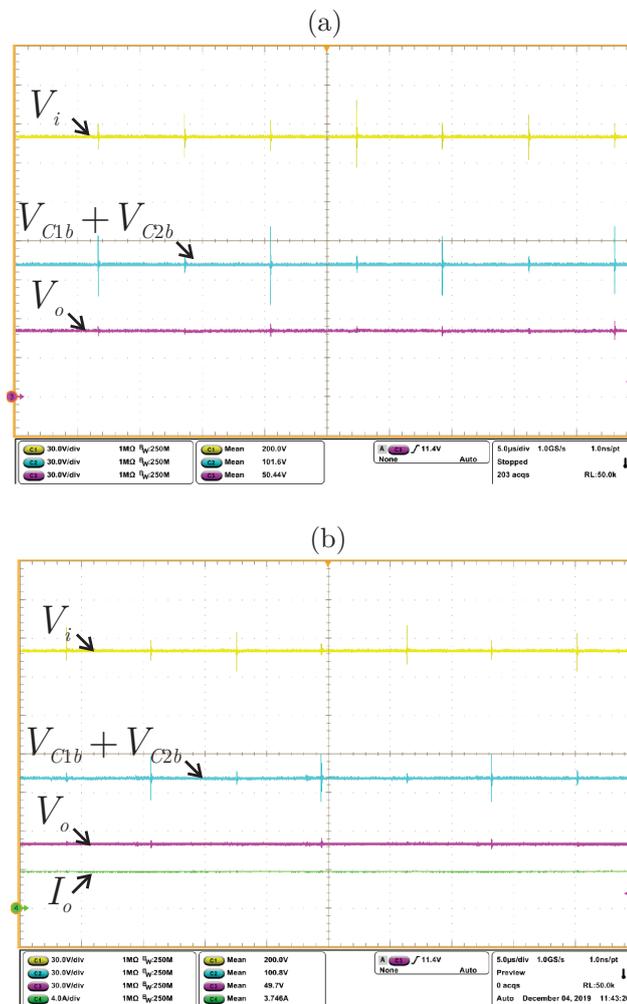
Figura 4.19 – Tensões nos capacitores e de saída com carga nominal: (a) Estágio 1; (b) Estágio 2. Escala $V=50\text{ V}$; $t=5\text{ }\mu\text{s}$.



Fonte: Autor.

são apresentadas as formas de onda de tensão de entrada, tensão de saída do primeiro estágio, tensão de saída e corrente de saída com carga nominal. Novamente as tensões diminuem pela metade a cada estágio. A tensão de saída apresentou uma regulação de 0,6% operando em malha aberta.

Figura 4.20 – Tensões de entrada (V_i), de saída do primeiro estágio ($V_{C1b} + V_{C2b}$) e de saída (V_o) e corrente de saída (I_o): (a) A vazio; (b) Carga nominal. Escalas: $V=30$ V; $I=4$ A $t=5$ μ s.

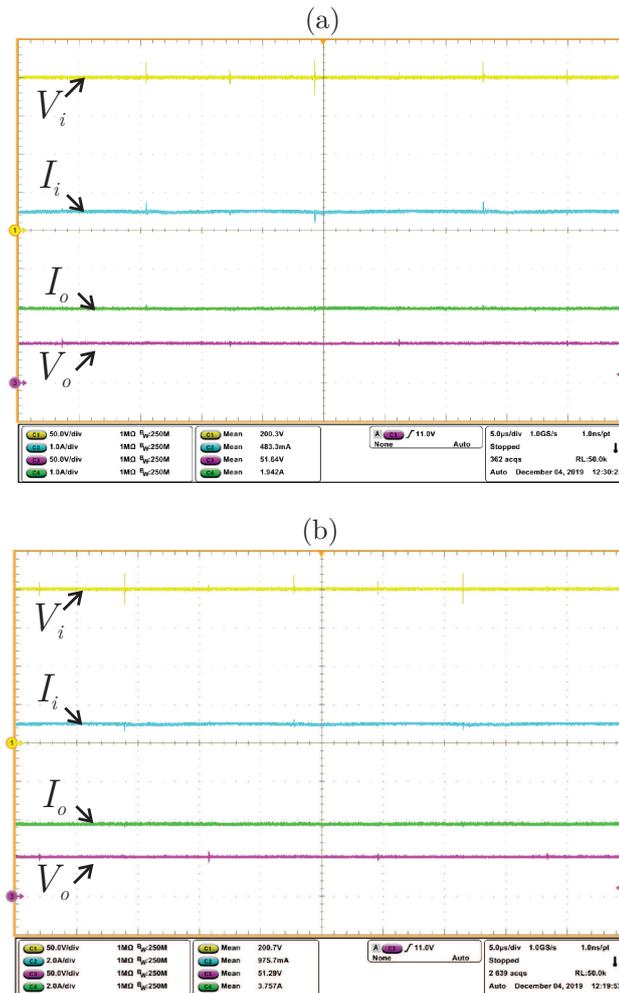


Fonte: Autor.

As tensões e correntes de entrada e saída com meia carga (100 W) e com carga nominal (200 W) são demonstradas nas Figuras 4.21 (a) e (b), respectivamente. É observado que a corrente de entrada é constante e igual a 1/4 da corrente de saída, conforme esperado para manter o balanço de potência.

O pico de eficiência obtido foi de 93,82% para uma carga de 150 W. Esse valor foi abaixo do esperado na Tabela 4.6 (97,9%). Isso ocorreu porque o conversor apresentou problemas na comutação (*crosstalk* [64]), atribuídos a problemas de layout. Para a correção desses problemas foram colocados filtros RC que tornaram a comutação mais lenta, na casa dos 200 ns. Substituindo este tempo de comutação nas equações da Tabela 4.6, se obteve uma eficiência de 93,33%, que é um valor próximo do obtido experimentalmente.

Figura 4.21 – Tensões de entrada (V_i) e de saída (V_o) e correntes de entrada (I_i) e de saída (I_o): (a) Meia carga; (b) Carga nominal. Escalas $V=50$ V; $I=1$ A (a) $I=2$ A (b); $t=5$ μ s.



Fonte: Autor.

4.10 CONCLUSÕES DO CAPÍTULO

Este capítulo abordou as análises da conexão cascata da célula *ladder* de capacitor chaveado, mostrando a análise da conexão, circuito equivalente e análise de perdas, e uma comparação com a conexão *ladder* clássica.

Também foi realizada uma breve análise da conexão mista, que é uma combinação da conexão cascata proposta e da conexão *ladder* clássica.

Posteriormente, foi apresentado um exemplo de projeto, e validações através de simulações e resultados experimentais. O protótipo foi testado numa conversão de 200 V para 50 V, com potência máxima de 100 W e pico de eficiência de 93,33%.

O conversor se mostrou promissor como estágio intermediário de conversão para uso em *PSUs* ou *VRs*.

CAPÍTULO 5

SOLUÇÃO PROPOSTA PARA CONVERSÃO DE 48 V PARA 1 V

5.1 INTRODUÇÃO DO CAPÍTULO

Este capítulo aborda a solução proposta nesta tese para a conversão de 48 V para 1 V. Essa faixa de tensão foi escolhida por ser bastante usada nos *VRs* atuais. A solução é composta por uma conversão em dois estágios. Como o conversor *buck* não possui uma boa eficiência em razões cíclicas muito baixas, o primeiro estágio é de ganho. Será apresentada uma comparação entre estruturas a capacitor chaveado, na qual a conexão mista da célula *ladder* foi escolhida para o estágio de ganho, realizando a conversão de 48 V para 3 V. O segundo estágio é um conversor *BKSI* de três fases, que realiza a conversão de 3 V para 1 V, além da regulação da tensão de saída.

5.2 CONVERSÃO DE 48 V PARA 3 V

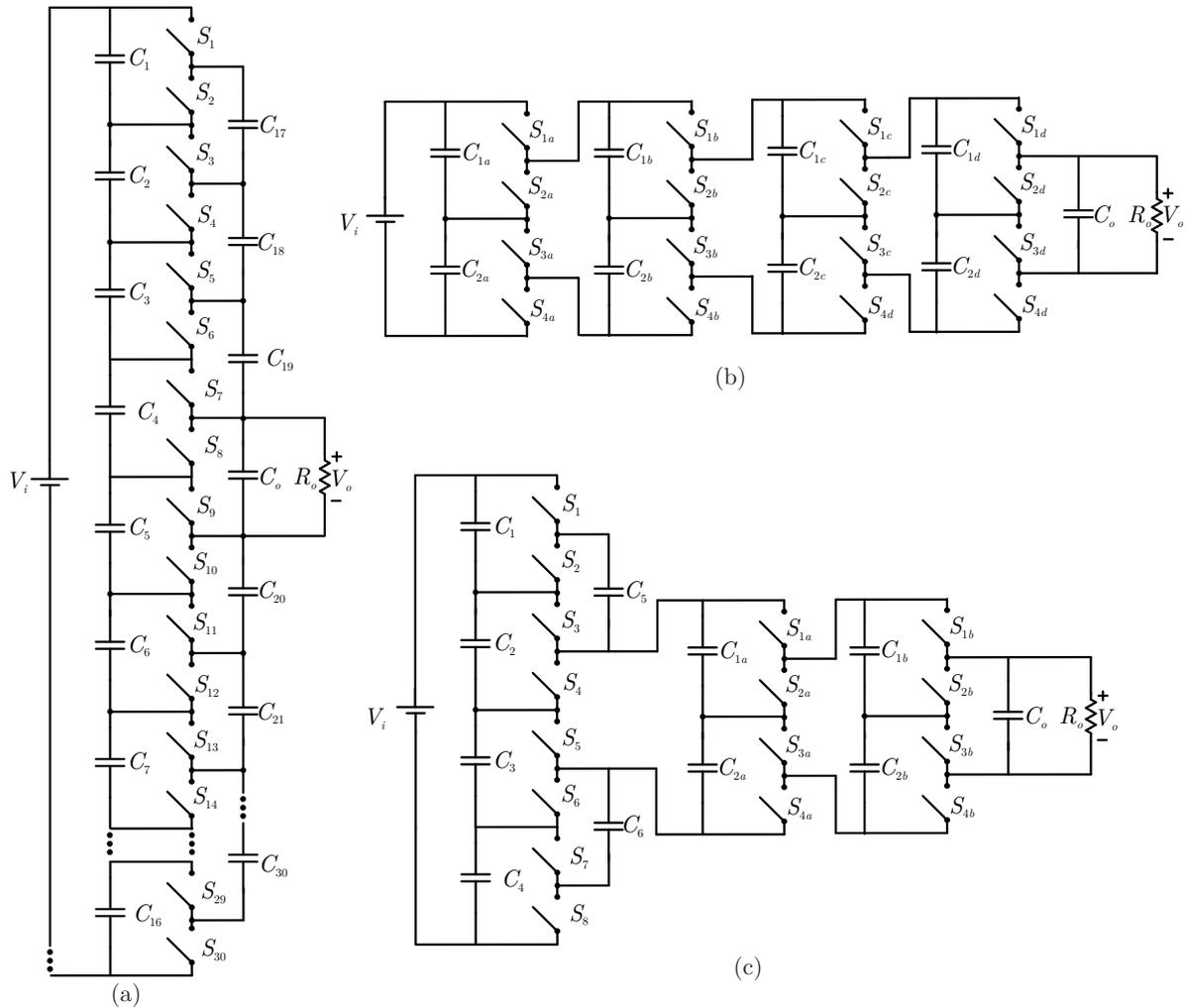
O primeiro estágio faz a conversão de 48 V para 3 V, para que o conversor *buck* de saída opere com um ganho e uma razão cíclica de cerca de 1/3. Foram comparadas três estruturas de capacitor chaveado, e uma delas foi escolhida para dar prosseguimento ao projeto.

5.2.1 Critério de Escolha da Topologia

De acordo com o que foi apresentado neste trabalho, três topologias foram testadas para a conversão de 48 V para 3 V em termos de número de componentes, eficiência e esforços de tensão. A primeira delas, apresentada na Figura 5.1(a), é baseada na conexão *ladder* e, de acordo com (2.4), é composto por 15 células e nomeado de conversor 15L. A segunda, apresentada na Figura 5.1(b), é baseada na conexão cascata e, de acordo com

(4.2), usa 4 células, o qual é nomeado de de conversor 4C. Por último é comparada uma estrutura baseada na conexão mista, definida de conversor 3L+2C, e de acordo com (4.26), usa 3 células em *ladder* na entrada e 2 células em cascata na saída, conforme a Figura 5.1(c).

Figura 5.1 – Conversores comparados para conversão de 48 V para 3 V: (a) 15L; (b) 4C; (c) 3L+2C.



Fonte: Autor.

As especificações de projeto usadas nessa comparação são apresentadas na Tabela 5.1. Baseado nos níveis de tensão e corrente foi escolhido o *MOSFET* BSC016N06NST, cujas principais características são apresentadas na Tabela 5.2. Também foi escolhida uma frequência de comutação de 160 kHz, e um $f_s \tau$ de 0,3. De acordo com (2.14), foi calculada uma capacitância mínima de 585 μF , e utilizada uma de 600 μF .

Na Tabela 5.3 são apresentadas as comparações entre as topologias do número de componentes, sendo NC o número de capacitores e NS o de interruptores, e do esforço máximo de tensão (V_s) nos componentes. É observado que o conversor 15L possui o menor esforço de tensão, que é definido pela tensão de saída, porém com um número muito maior de interruptores e capacitores em relação aos outros conversores. Já o conversor 3L+2C,

Tabela 5.1 – Especificações de projeto.

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	48 V
Tensão de saída	V_o	3 V
Ganho	G	1/16
Potência de saída	P_o	30 W
Corrente de entrada	I_o	0,625 A
Corrente de saída	I_o	10 A
Frequência de comutação	f_s	160 kHz

Fonte: Autor.

Tabela 5.2 – Principais características do *MOSFET* BSC016N06NST

Parâmetro	Símbolo	Valor
Tecnologia		OptiMOS
Tensão dreno/fonte máxima	V_{DSS}	60 V
Corrente média máxima de dreno a 25°C	I_{D25}	234 A
Resistência série máxima	R_{dson}	0.0016 Ω
Tempo de subida	t_r	9 ns
Tempo de descida	t_f	9 ns
Capacitância de saída	C_{oss}	1500 pF
Temperatura máxima de junção	T_j	175°C

Fonte: Autor.

com apenas dois capacitores a mais, tem metade do esforço de tensão que o conversor 4C. O conversor 4C apresenta o maior esforço de tensão entre eles no primeiro estágio, cujo valor é metade da tensão de entrada.

Também foi realizada uma comparação em termos de perdas e eficiência de cada

Tabela 5.3 – Comparação entre as topologias.

Conversor	NC	NS	V_s
15L	31	32	3 V
4C	9	16	24 V
3L+2C	11	16	12 V

Fonte: Autor.

conversor no ponto de operação nominal, conforme apresentado na Tabela 5.4, sendo P_{cd} as perdas de condução, P_{sw} as perdas por comutação e P_{cap} as perdas na carga e descarga das capacitâncias intrínsecas. Os esforços de corrente foram obtidos por simulação, e a planilha com os cálculos e esforços pode ser encontrada no Apêndice A. É observado que o conversor 15L possui as maiores perdas de condução e a menor eficiência devido ao maior número de interruptores, porém as menores perdas de comutação devido aos menores esforços de tensão. O conversor 4C possui valor menor de eficiência em relação ao conversor 15L devido as maiores perdas de comutação, em especial as perdas relativas as descargas das capacitâncias intrínsecas que são proporcionais ao quadrado do esforço de tensão. Já o conversor 3L+2C possui um melhor rendimento pois é um meio termo entre os dois, tendo menores perdas de condução que o conversor 15L e menores perdas de comutação que o conversor 4C.

Tabela 5.4 – Perdas e eficiência dos conversores.

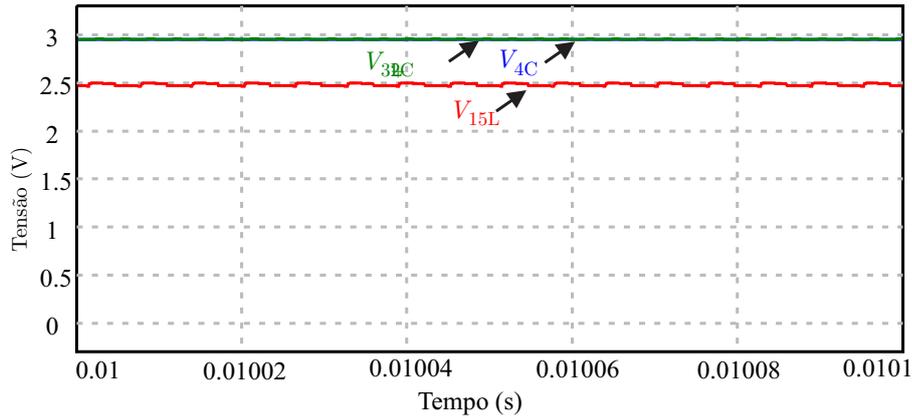
	P_{cd}	P_{sw}	P_{cap}	P_{tot}	η
17L	0,93W	0,12W	0,03W	1,08W	96,52%
4C	0,44W	0,34W	0,29W	1,07W	96,54%
3L+2C	0,45W	0,30W	0,13W	0,88W	97,13%

Fonte: Autor.

Na Figura 5.2 são mostradas as tensões de saídas de cada conversor no ponto de operação nominal obtidas por simulação. As tensões de saída dos conversores 4C e 3L+2C ficaram no mesmo valor, de 2,95 V, enquanto o conversor 14L apresentou uma regulação pior devidos as maiores perdas de condução, com tensão de 2,48 V.

Ao analisar os dados da Tabela 5.4 e da Figura 5.2, é observado que as conexões cascata e mista possuem valores próximos de perdas de condução e regulação de tensão. A partir desta análise, conclui-se que as conexões possuem valores próximos de resistência série equivalente e as equações (4.5) e (4.6) e o circuito equivalente da Figura 4.3 (f) pode ser usado nas análises da conexão mista.

Figura 5.2 – Tensões de saída dos conversores propostos.

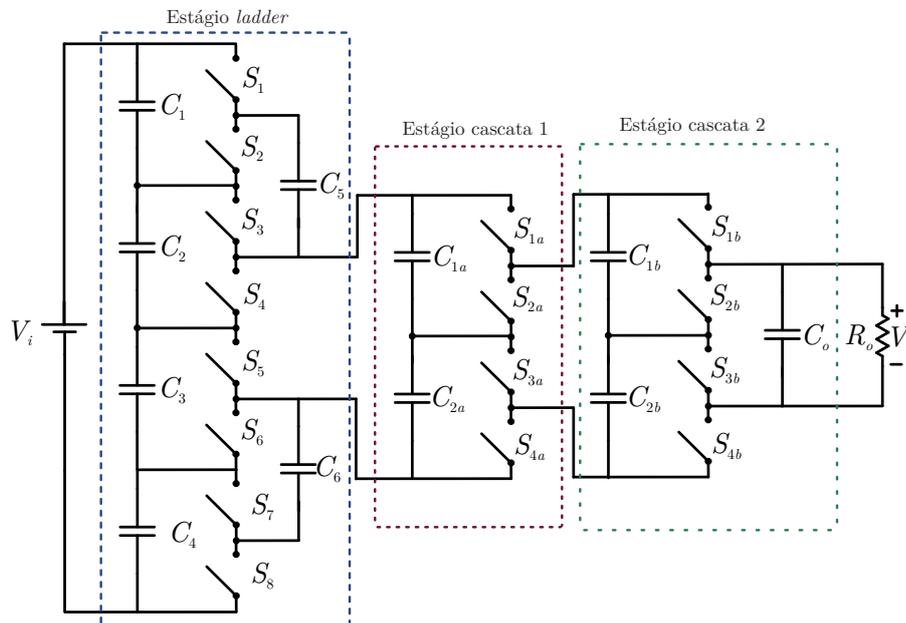


Fonte: Autor.

5.2.2 Projeto

Baseado na subseção anterior, foi escolhida a topologia mista 3L+2C para a conversão de 48 V para 3 V, que será chamada de *MSCC*, destacada na Figura 5.3. O motivo da escolha foi o maior rendimento, menor número de componentes e melhor regulação que o conversor 15L e menores esforços de tensão que o conversor 4C.

Figura 5.3 – Conexão mista da célula *ladder* para conversão de 48 V para 3 V.



Fonte: Autor.

O projeto realizado foi o mesmo da subseção anterior, resumido nas Tabelas 5.1 e 5.2, para um $f_s\tau$ de 0,3. Restou então a definição dos capacitores, sendo escolhido o modelo CKG57NX7S1C107M500JH de 100 μF e 16 V do tipo cerâmico, usando 6 em paralelo. As principais características do capacitor são apresentadas no Anexo B. Os valores dos esforços de tensão e de corrente teóricos são apresentados na Tabela 5.5.

Tabela 5.5 – Esforços de tensão e corrente do *MSSC* para $D=0,5$.

Célula	Tensão	Corrente Média	Corrente Eficaz
Ld	12 V	0,65 A	0,88 A
Ldo	12 V	1,875 A	2,65 A
Cs1	6 V	2,5 A	3,53 A
Cs2	3 V	5 A	7,07 A

Fonte: Autor.

Para reduzir os ruídos de comutação, os pulsos de comando dos estágios *ladder*, cascata 1 e cascata 2 foram defasados de 45° entre eles.

5.2.3 Resultados de Simulação

A validação das análises teóricas do *MSSC* foram realizadas inicialmente por simulações e depois experimentalmente com o protótipo projetado. O circuito usado nas simulações é apresentado na Figura 5.4.

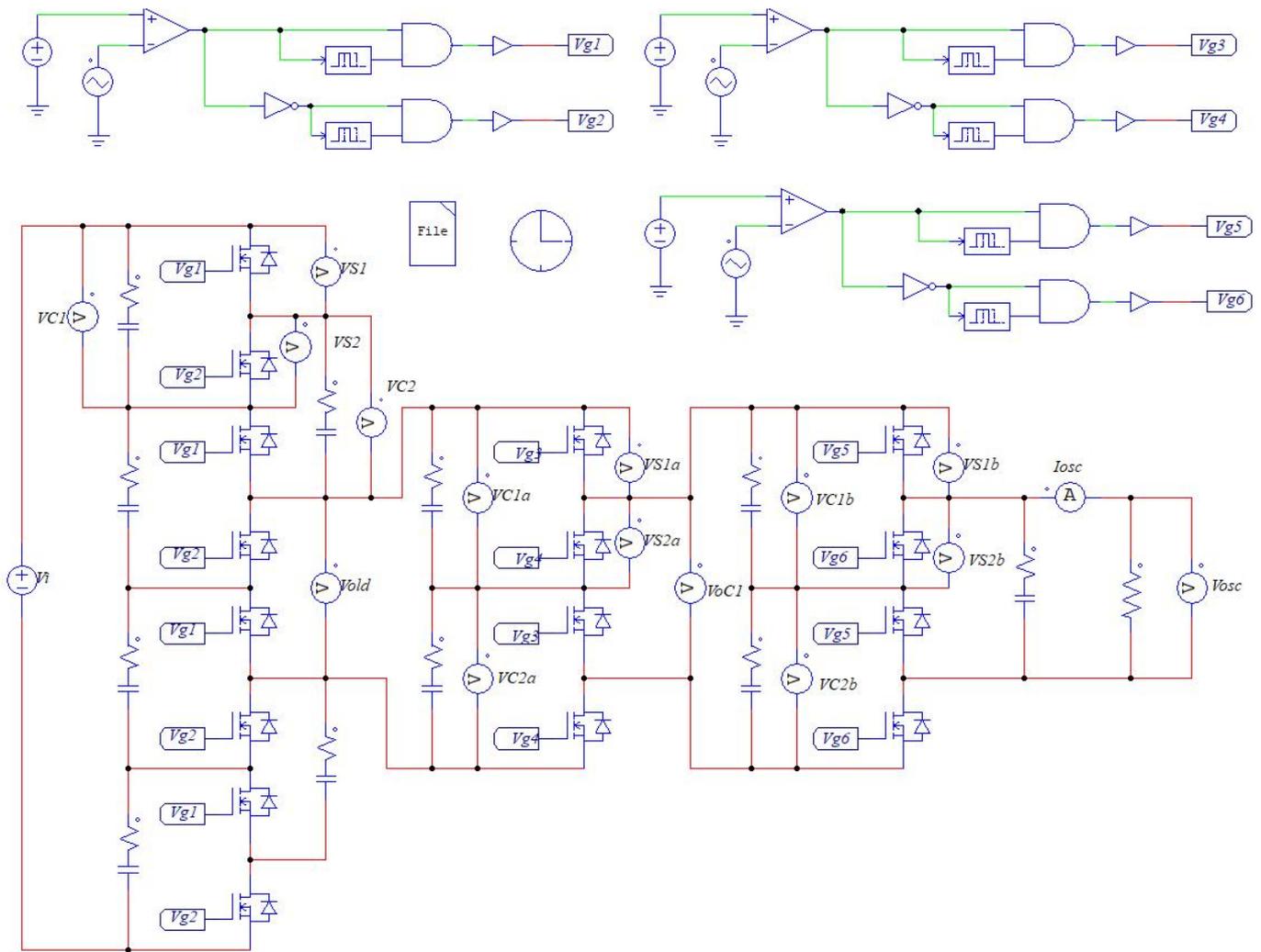
Na Figura 5.5 são apresentadas as tensões nos interruptores superiores de cada estágio. É observado que há uma defasagem entre as tensões e, além disso, a tensão o estágio *ladder* (V_{S1}) é $1/4$ da tensão de entrada (12 V), e nos estágios em cascata a tensão é metade do estágio anterior (6 V em V_{S1a} e 3 V em V_{S1b}).

As correntes nos interruptores superiores do estágio *ladder* (I_{S1} e I_{S2}) são apresentadas na Figura 5.6 (a), e as correntes nos interruptores de saída deste estágio (I_{S4} e I_{S5}) são mostradas na Figura 5.6 (b). É observado a característica típica das correntes nos conversores a capacitor chaveado, de acordo com a carga e descarga dos capacitores. Além disso, as correntes nos interruptores de saída são maiores por conduzirem a corrente da carga. O valor de pico atingiu 2 A nos interruptores superiores e 5,8 A nos de saída

Já na Figura 5.6 (a) são apresentadas as correntes nos interruptores superiores do estágio cascata 1 (I_{S1a} e I_{S2a}), e na Figura 5.6 (b) as correntes nos interruptores do estágio cascata 2 (I_{S1b} e I_{S2b}). Elas também apresentam a característica típica de correntes dos *SCCs*, além disto, tem pequenos ruídos nos pontos que ocorrem a comutação dos outros estágios. O valor de pico da corrente foi de 6 A nos interruptores do primeiro estágio 1 e 12 A no segundo estágio.

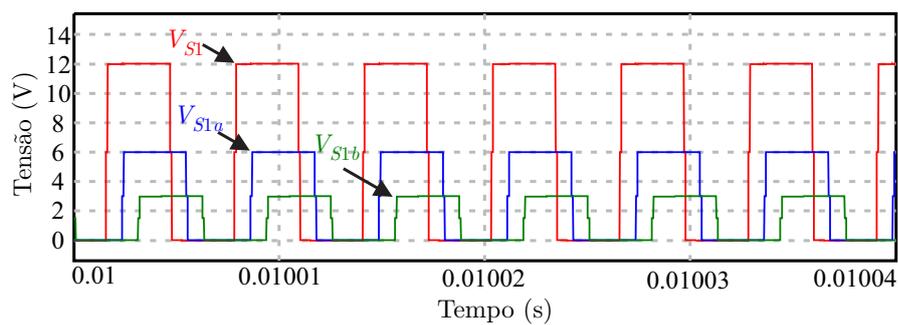
Para validar os resultados da Tabela 4.3, são apresentados na Tabela 5.6 os valores das tensões e correntes nos componentes obtidos por simulação, na qual observa-se que os

Figura 5.4 – Circuito usado nas simulações do *MSCC*.



Fonte: Autor.

Figura 5.5 – Tensões nos interruptores dos estágios *ladder* e cascata.

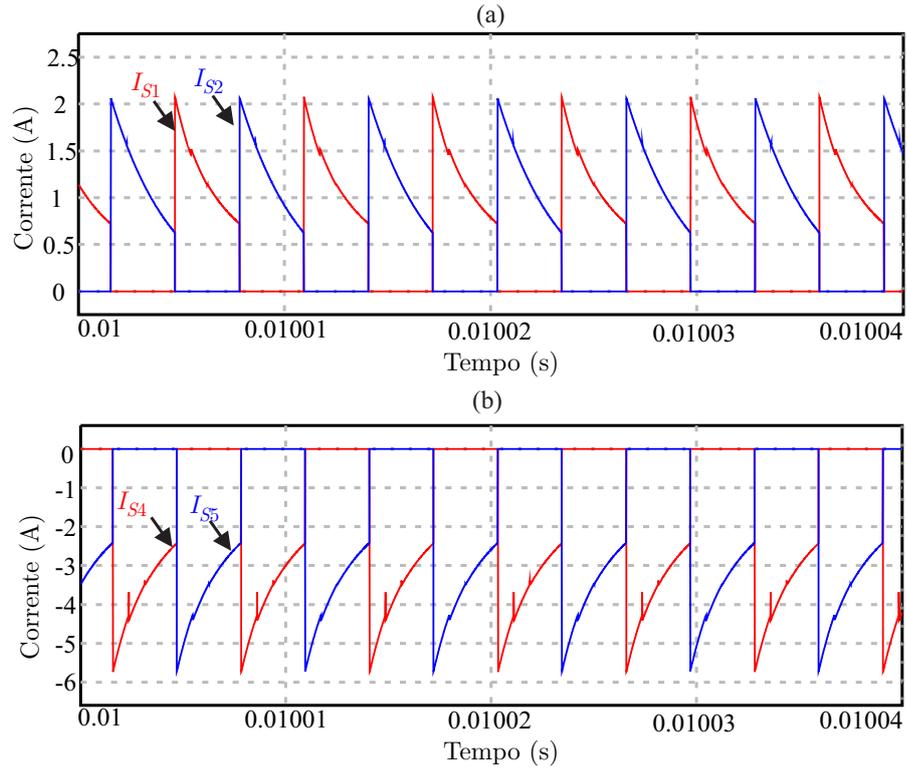


Fonte: Autor.

valores foram próximos aos teóricos. As diferenças existentes ocorrem porque os picos de corrente existem no modo CP, mas não são considerados nos cálculos teóricos, em especial nos valores eficazes. O máximo erro foi na corrente eficaz do estágio *ladder*, com valor de teórico de 0,88 A e de 0,99 A na simulação, um erro de 11,1%.

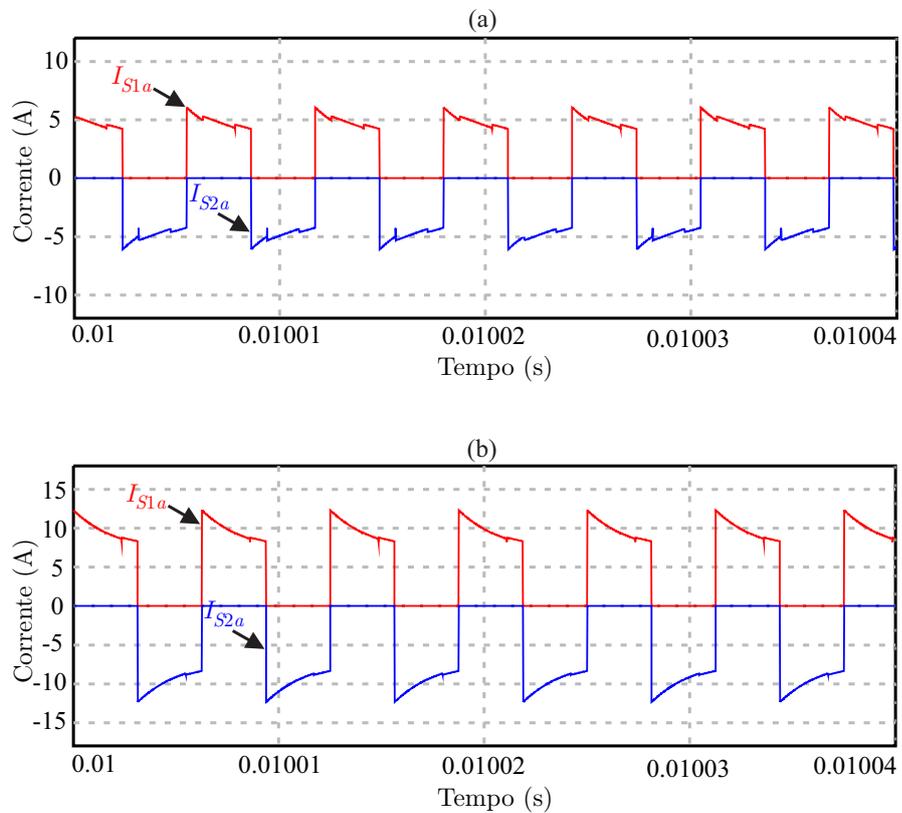
As tensões nos capacitores C_1 , C_2 e a tensão de saída V_{oL} do estágio *ladder* são

Figura 5.6 – Correntes nos interruptores do estágio *ladder*: (a) Superiores; (b) Saída.



Fonte: Autor.

Figura 5.7 – Correntes nos interruptores dos estágios cascata: (a) Primeiro estágio; (b) Segundo estágio.



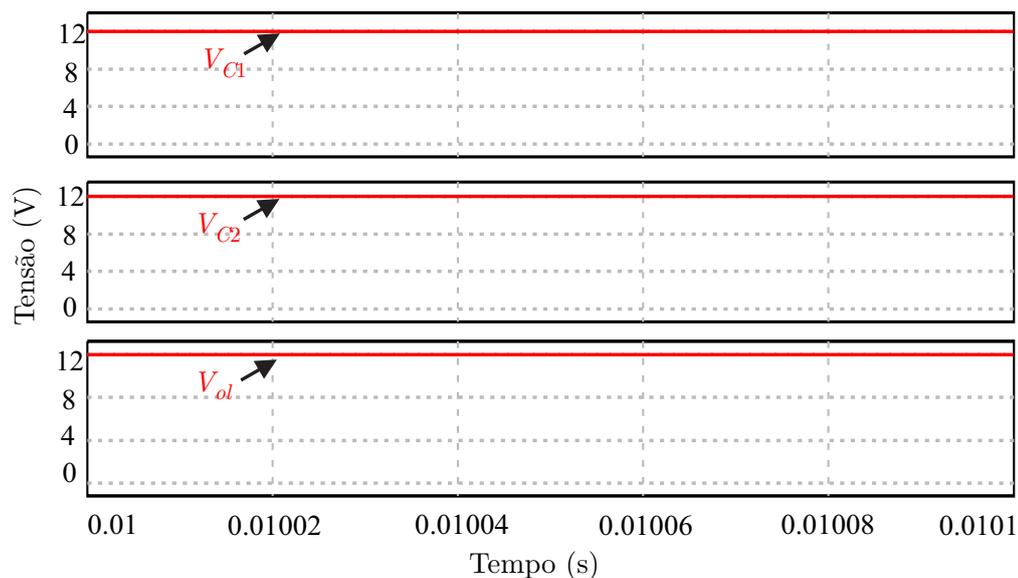
Fonte: Autor.

Tabela 5.6 – Esforços de tensão e corrente de simulação do *MSCC*.

Célula	Tensão	Corrente Média	Corrente Eficaz
Ld	12 V	0,61 A	0,99 A
Ldo	12 V	1,83 A	2,79 A
Cs1	5,99 V	2,44 A	3,47 A
Cs2	2,98 V	4,87 A	6,95 A

Fonte: Autor.

apresentadas na Figura 5.8. É observado que a tensão de saída, que é a entrada dos estágios em cascata, está equilibrada com as tensões nos capacitores, e seu valor médio é de 12 V.

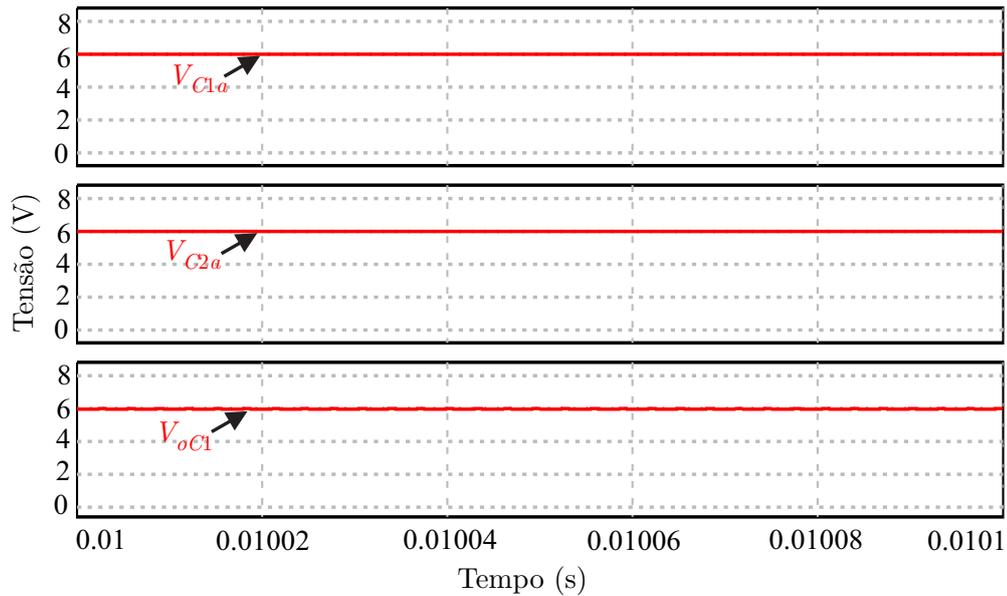
Figura 5.8 – Tensões nos capacitores do estágio *ladder*.

Fonte: Autor.

As tensões nos capacitores C_{1a} , C_{2a} e a tensão de saída V_{oC1} do estágio cascata 1 são apresentadas na Figura 5.9. Assim como no estágio *ladder*, as tensões nos capacitores e na saída estão equilibradas em 6 V. Já as tensões nos capacitores C_{1b} , C_{2b} e a tensão de saída V_{oSC} do estágio cascata 2 são apresentadas na Figura 5.9 e, assim, como nos estágios anteriores, as tensões nos capacitores e na saída estão equilibradas, e seu valor é de 3 V.

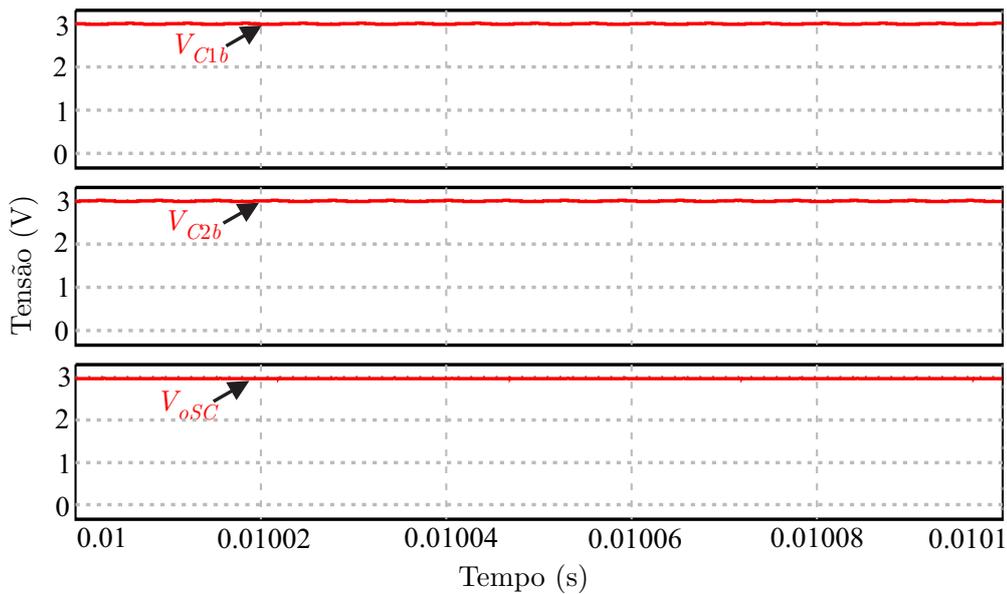
A Figura 5.11 (a) apresenta a tensão e corrente de entrada e na Figura 5.11 (b) a tensão e corrente de saída. É observado os níveis elevados de tensão de entrada (V_i), de 48 V, e corrente de saída (I_{oSC}), de 10 A, o que causa desafios de projeto nesses conversores.

Figura 5.9 – Tensões nos capacitores do estágio cascata 1.



Fonte: Autor.

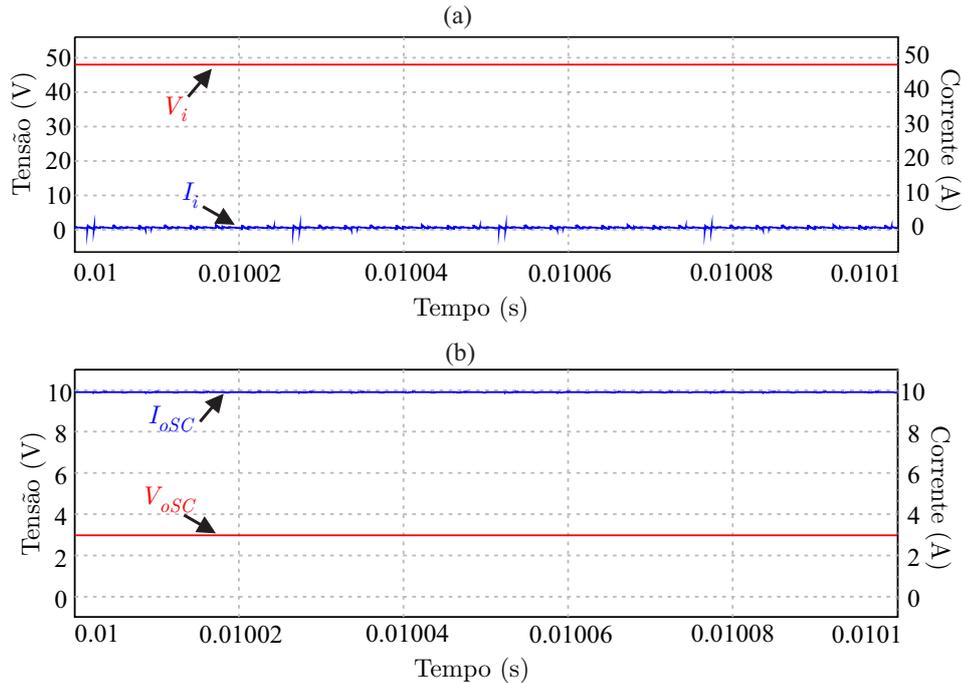
Figura 5.10 – Tensões nos capacitores do estágio cascata 2.



Fonte: Autor.

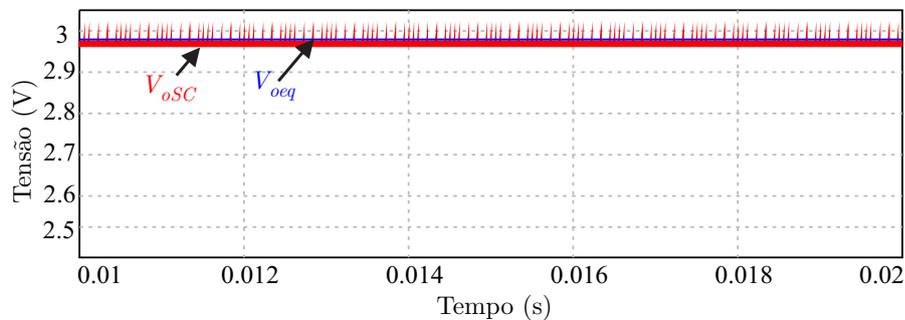
Já a corrente de entrada é baixa, com valor médio 0,62 A, assim como a tensão de saída, de 3 V.

Na Seção 4.3 foi apresentado um circuito equivalente para a conexão cascata da célula *ladder*. Aquele mesmo circuito, do ponto de vista da resistência série pode ser usado para a conexão mista, conforme mostrado na comparação entre as topologias, pois as conexões cascata e mista possuem valores próximos de regulação de tensão e perdas de condução. Para reforçar isso, foi realizada uma simulação comparando a tensão de saída comutada e usando o circuito equivalente da Figura 4.3 (f). A resistência série calculada usando (4.6) foi de 2,125 m Ω . O resultado é apresentado na Figura 5.12, na qual o valor

Figura 5.11 – Tensões e correntes do *MSCC*: (a) Entrada; (b) Saída.

Fonte: Autor.

médio da tensão comutada foi de 2,97 V, e da tensão equivalente foi de 2,98 V, tendo assim um erro de apenas 0,3%.

Figura 5.12 – Tensão comutada (V_{oSC}) e do circuito equivalente (V_{oeq}) do *MSCC*.

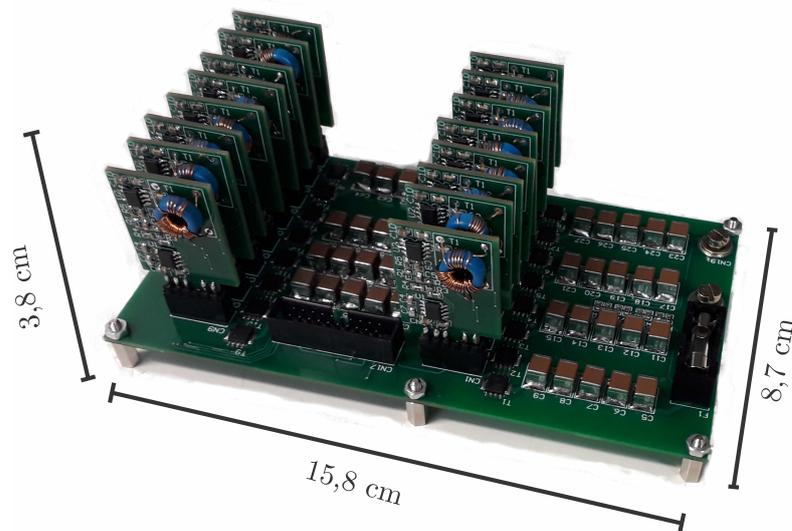
Fonte: Autor.

5.2.4 Resultados Experimentais

A fotografia do protótipo usado na obtenção dos resultados experimentais é mostrada na Figura 5.13. O esquemático da placa de circuito impresso é apresentado no Apêndice E. Para gerar os sinais de comando defasados e fazer ajustes de frequência, foi usado uma placa de condicionamento com o *DSP* F28069m, cujo esquemático é apresentado no Apêndice D. Já o esquemático das placas dos *gate drivers* é mostrado no Apêndice C. Para melhor visualizar o protótipo e os testes, um esquemático é apresentado na Figura 5.14. Nele é mostrado que o *DSP* gera os pulsos de comando com razão cíclica de 0,5 e

defasados entre os estágios. Do *DSP* os sinais passam por *buffers* e vão, juntamente com as tensões de alimentação do comando, via cabo *flat* para a placa de potência.

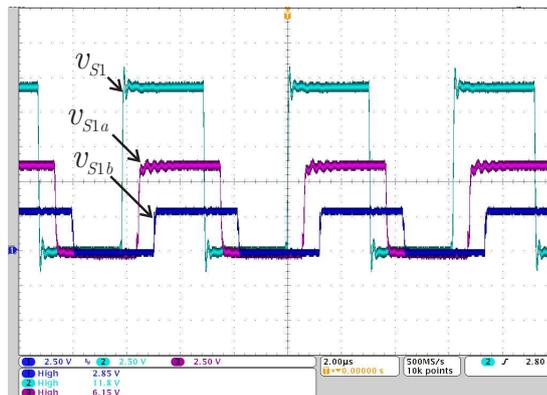
Figura 5.13 – Fotografia do protótipo do *MSCC*.



Fonte: Autor.

As tensões nos interruptores de cada estágio são apresentadas na Figura 5.15. É observado que, assim como na Figura 5.5, há uma defasagem entre as tensões, e que o maior esforço ocorre no estágio *ladder*, sendo próximo de 12 V, e cai pela metade em cada estágio em cascata, sendo de 3 V na saída do estágio cascata 2.

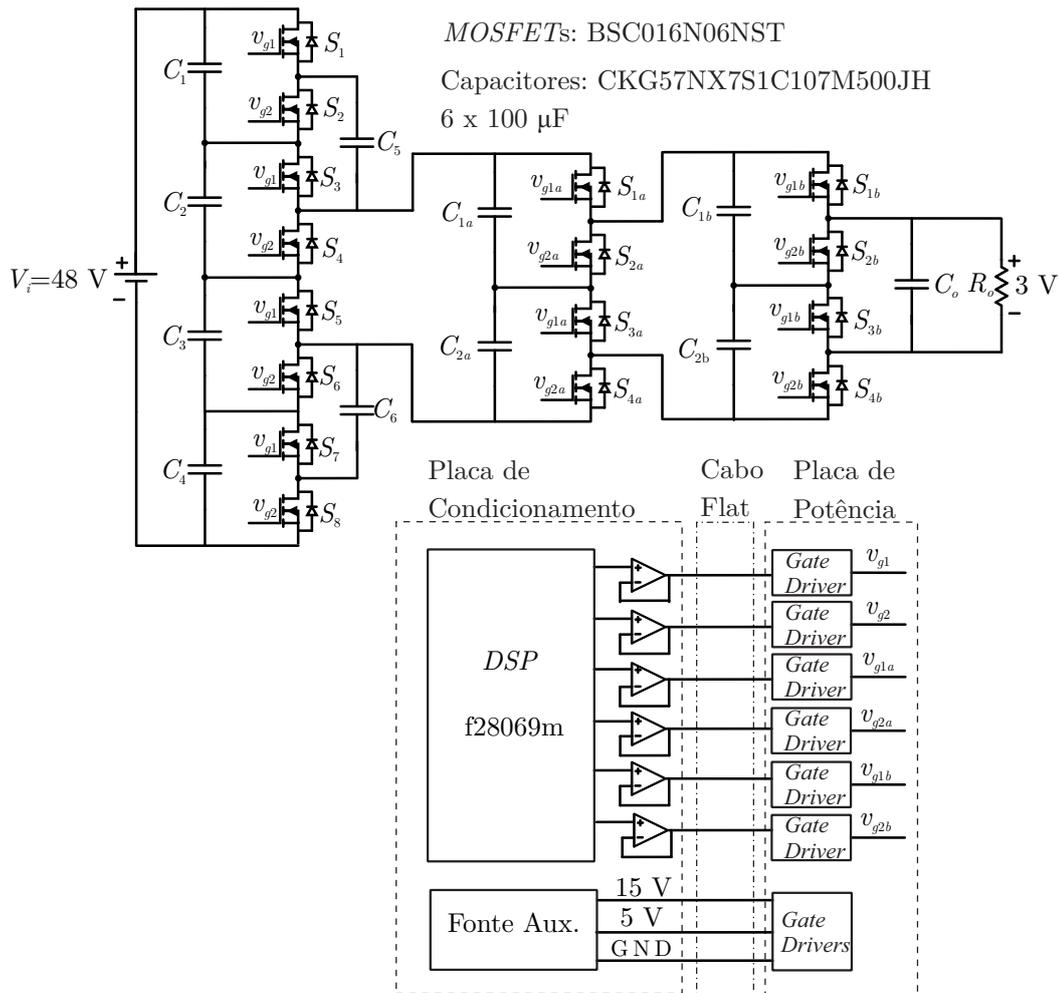
Figura 5.15 – Tensões nos interruptores superiores dos estágios *ladder* (v_{S1}), cascata 1 (v_{S1a}) e cascata 2 (v_{S1b}) com meia carga (15 W). Escalas: $V=2,5$ V; $t=2$ μ s.



Fonte: Autor.

As tensões nos capacitores C_1 , C_2 e na saída do estágio *ladder* ($V_{C1a} + V_{C2a}$) são mostradas na Figura 5.16 (a). Observa-se um equilíbrio nessas tensões em um valor próximo de 12 V, assim como na Figura 5.8. Já na Figura 5.16 (b) são apresentadas as tensões nos capacitores e na saída ($V_{C1b} + V_{C2b}$) do estágio cascata 1, no qual também há um equilíbrio das tensões em um valor próximo a 6 V, semelhante a Figura 5.9. Por fim, na Figura 5.16 (c) são apresentadas as tensões nos capacitores e na saída (V_{Co}) do estágio cascata 2 no qual há um equilíbrio na faixa de 3 V, similar a Figura 5.10.

Figura 5.14 – Esquema do protótipo do BKSI.

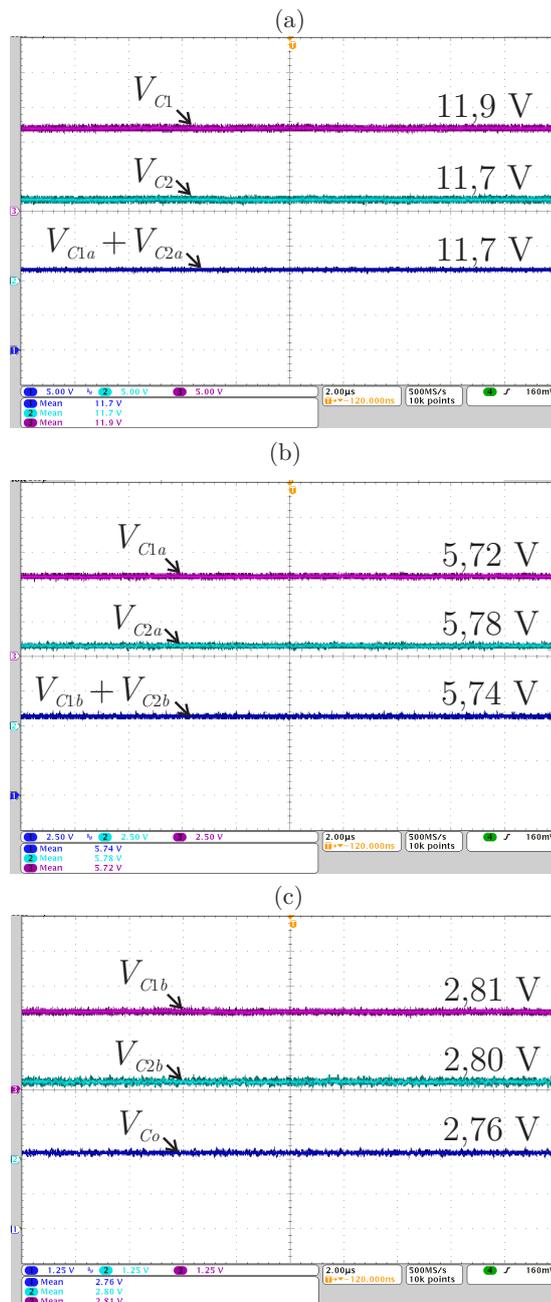


Fonte: Autor.

As tensões de saída de cada estágio (V_{oL} , V_{oC1} e V_o) e a corrente de saída (I_o) são apresentadas nas Figuras 5.17 (a) a vazio, (b) em meia carga (15 W) e (c) com carga nominal (30 W). Conforme a teoria apresentada, a tensão de saída do estágio *ladder* é de 12 V, do estágio cascata 1 é de 6 V e do estágio cascata 2 é de 3 V. Além disso é observada a regulação do conversor, na qual as tensões de saída diminuem com o aumento da carga, em especial no último estágio. Esse comportamento é esperado, de acordo com o circuito equivalente da Seção 4.3.

As tensões e correntes de entrada e saída a vazio, com meia carga (15 W) e com carga nominal (30 W) são apresentadas nas Figuras 5.18 (a), (b) e (c) respectivamente. É observado a presença de uma alta tensão na entrada, próxima de 48 V, o que causa desafios em termos de esforços de tensão nesse setor. Já a corrente na entrada é baixa, abaixo de 1 A em toda a faixa de operação. A tensão de saída é baixa, próxima a 3 V, enquanto a corrente na saída é alta, atingindo 8,4 A com carga nominal, o que causa desafios em termos de esforços de corrente, característica essa dos conversores abaixadores com alta taxa de conversão. O resultado está de acordo com a Figura 5.11.

Figura 5.16 – Tensões nos capacitores dos estágios com meia carga (15 W): (a) *ladder*; (b) cascata 1; (c) cascata 2. Escalas: (a) $V=5$ V; (b) $V=2,5$ V; (c) $V=1,25$ V; $t=2$ μ s.

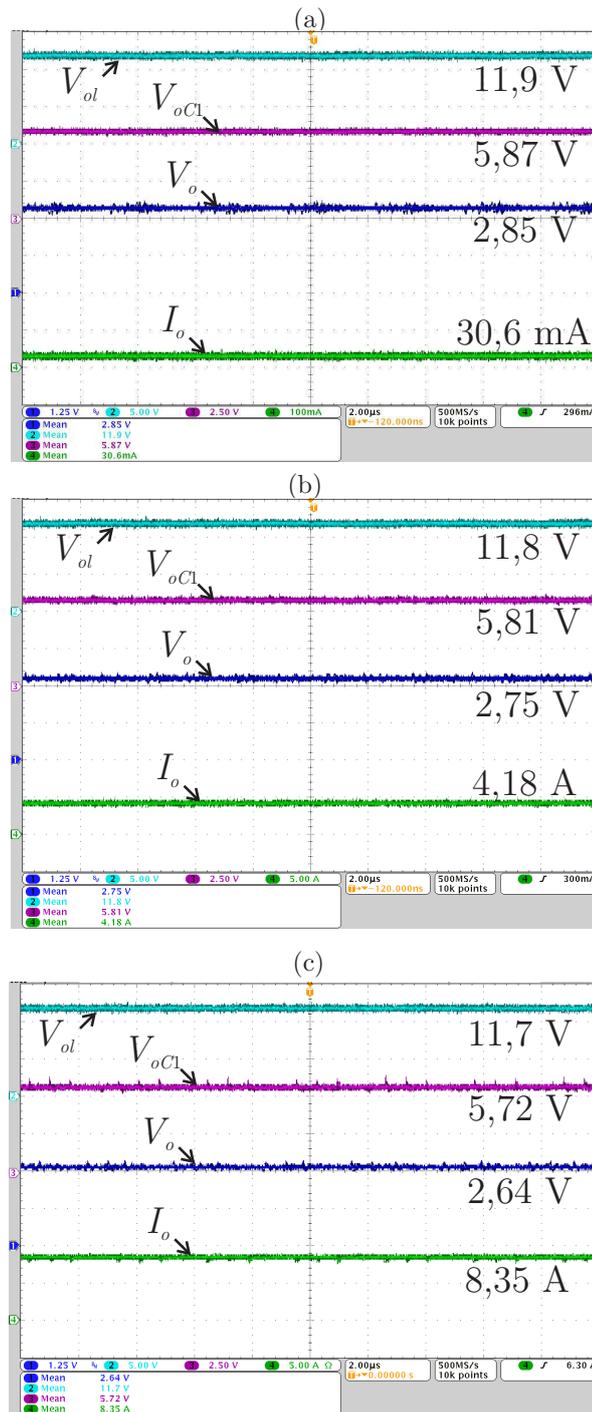


Fonte: Autor.

Na Figura 5.19 (a) é apresentada a resposta das tensões de saída de cada estágio a um degrau de carga positivo de 50% para 100%. É observada na corrente e na tensão a resposta típica de conversores a capacitor chaveado, que é rápida (na casa dos micro segundos) e de primeira ordem. O mesmo foi observado na Figura 5.19 (b) para um degrau negativo de carga de 100% para 50%, com resposta rápida de primeira ordem.

Também foram realizados testes usando 15 W na saída do conversor e cargas em capacitores dos estágios *ladder* e cascata 1, conforme os circuitos da Figura 5.20, pra mostrar que os níveis de tensão intermediários (12 V e 6 V) também podem ser usados

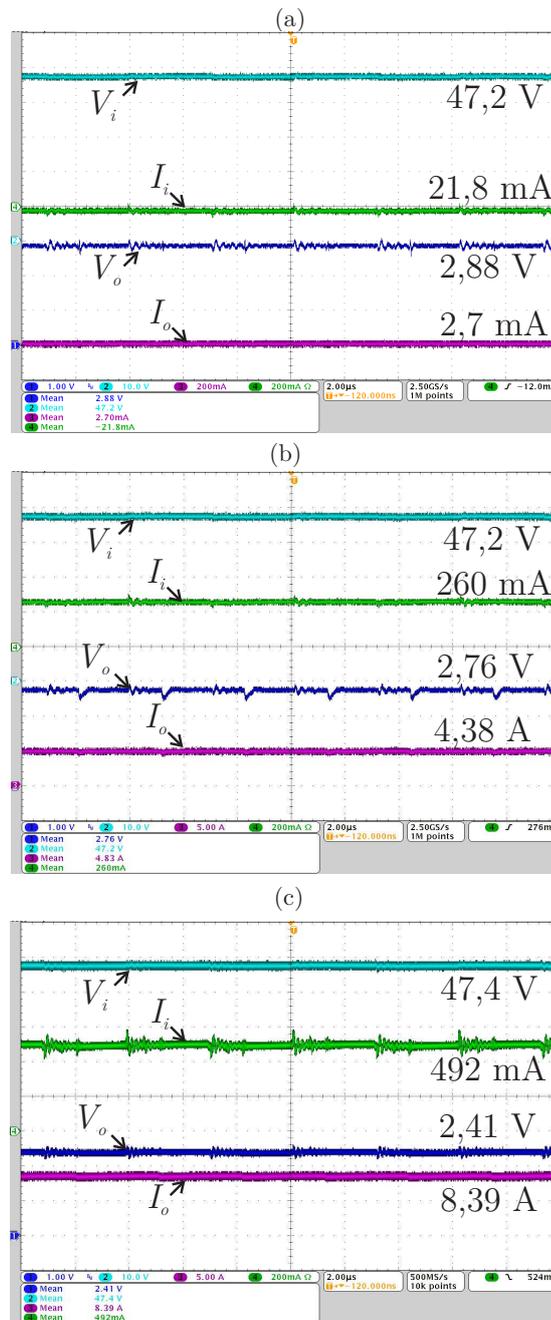
Figura 5.17 – Tensões de saída dos estágios e corrente de saída: (a) Sem carga; (b) 15 W; (c) 30 W. Escalas: $V_l=5$ V; $V_{oC1}=2,5$ V; $V_o=1,25$ V; $t=2$ μ s; (a) $I=100$ mA; (b) $I=5$ A; (c) $I=5$ A.



Fonte: Autor.

como fonte de tensão. Na Figura 5.21 (a) são apresentados resultados usando uma carga de 5 W no capacitor C_4 do estágio *ladder* (Figura 5.20 (a)). É observado que mesmo com uma carga neste capacitor, as tensões nele (V_{C4}), na saída ($V_{C1a} + V_{C2a}$) e em outro capacitor V_{C1} continuam equilibradas e próximas a 12 V. Na Figura 5.21 (b) são apresentados resultados com uma carga de 3 W no capacitor C_{1a} do estágio cascata 1 (Figura 5.20 (b)).

Figura 5.18 – Tensões e correntes de entrada e saída: (a) Sem carga; (b) 15 W; (c) 30 W. Escalas: $V_i=10$ V; $V_o=1$ V; $I_i=200$ mA $t=2$ μ s; (a) $I_o=200$ mA; (b) $I_o=5$ A; (c) $I_o=5$ A.

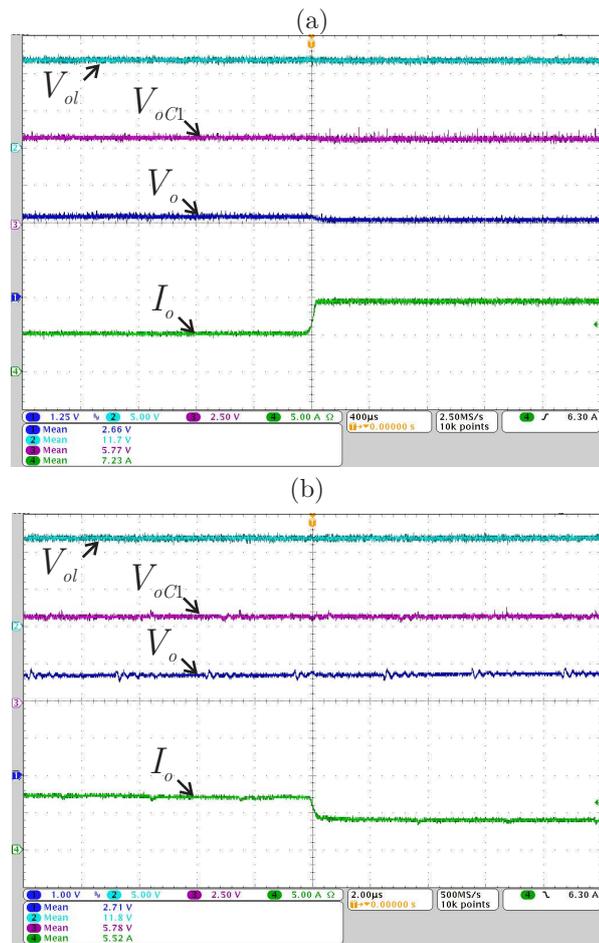


Fonte: Autor.

Neste caso também é observado um equilíbrio nas tensões dos capacitores, em cerca de 6 V.

O resultado do ensaio de rendimento *MSCC* em função da potência de saída é apresentado na Figura 5.22. Os ensaios de rendimento realizados no trabalho usaram o analisador de potência Yokogawa WT500. É observado que o rendimento do conversor ficou próximo a 90% na maior parte da faixa de operação, contudo, o resultado ficou abaixo do esperado. Na Tabela 5.4 foi mostrado que a eficiência em potência nominal

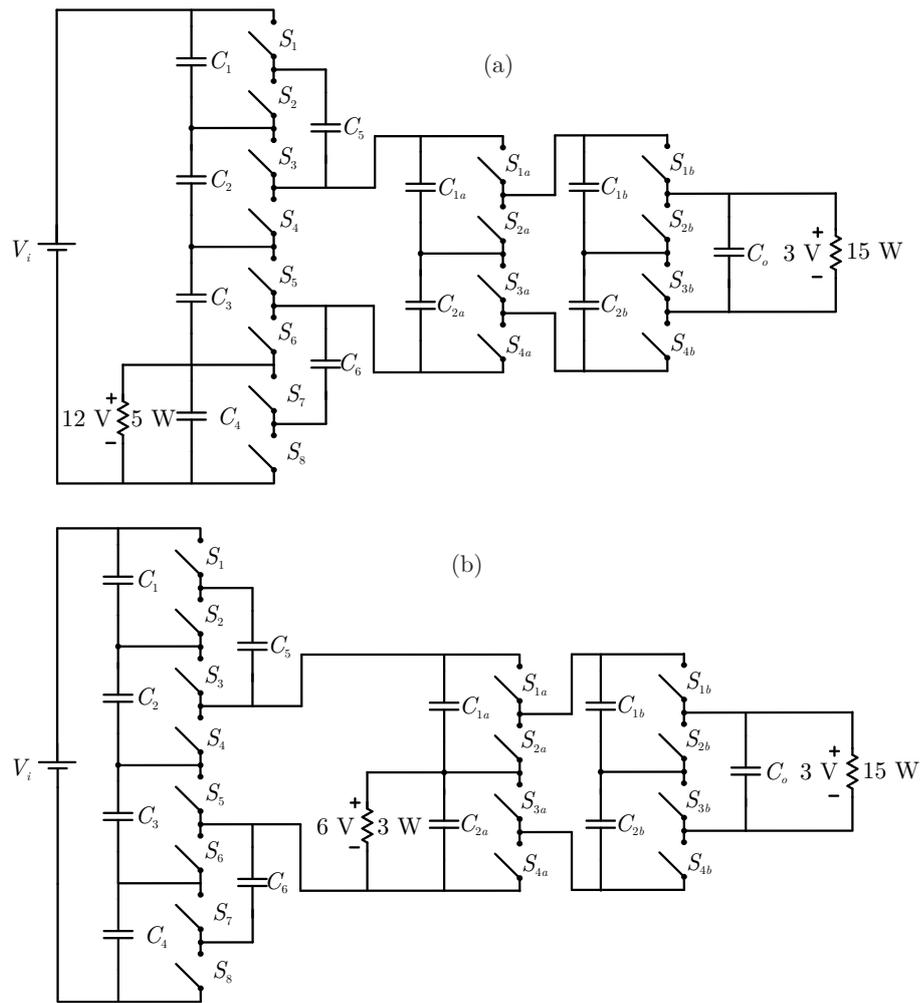
Figura 5.19 – Tensões de saída dos estágios e corrente de saída com degrau de carga: (a) 50% para 100%; (b) 100% para 50%. Escalas: $V_l=5$ V; $V_{oCl}=2,5$ V; $V_o=1,25$ V; $I=5$ A; $t=400$ μ s.



Fonte: Autor.

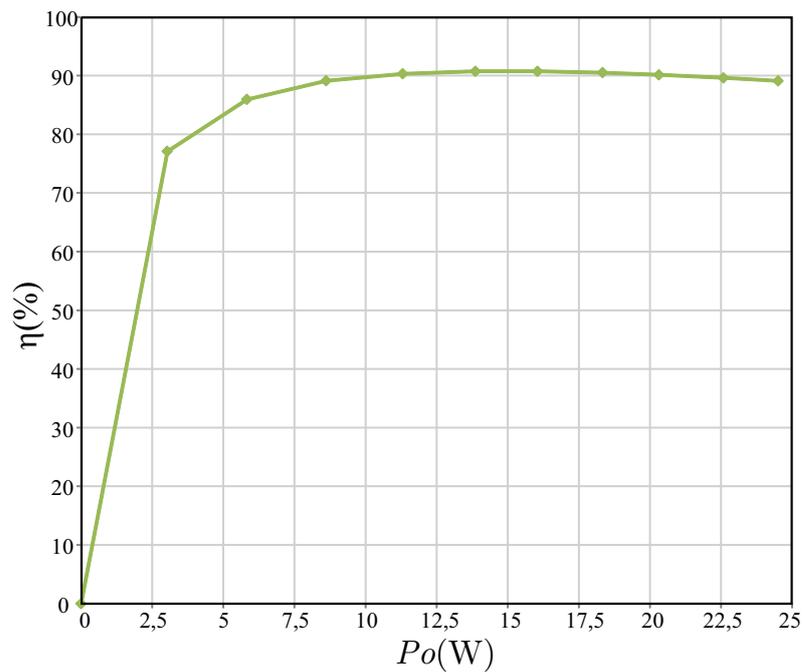
teórica seria de 97,13%, e na prática foi de 89,10%. Mais discussões acerca da eficiência serão realizadas na Seção 5.4.

Figura 5.20 – Configurações das cargas nos estágios intermediários: (a) *Ladder*; (b) Cascata 1.



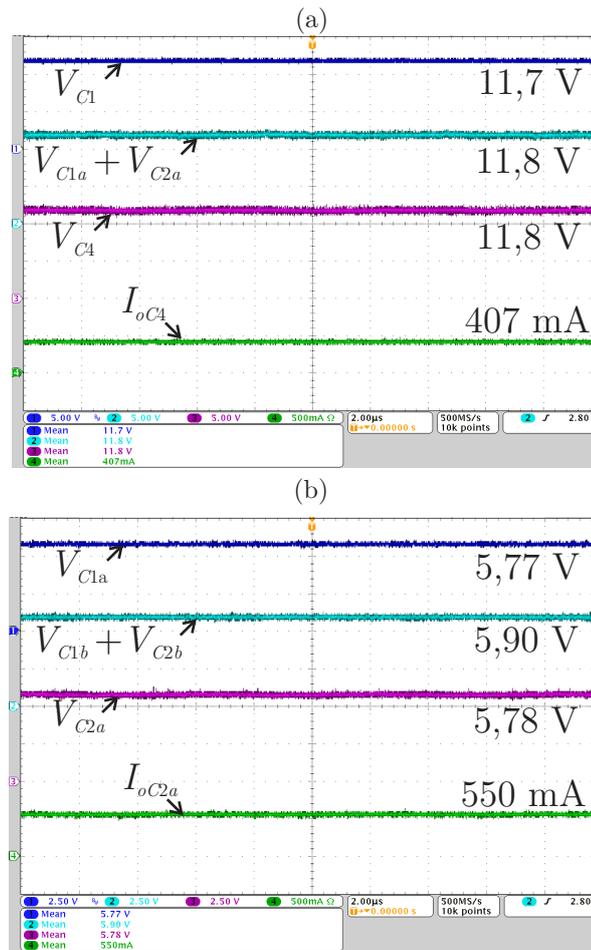
Fonte: Autor.

Figura 5.22 – Rendimento percentual em função da potência de saída do *MSCC*.



Fonte: Autor.

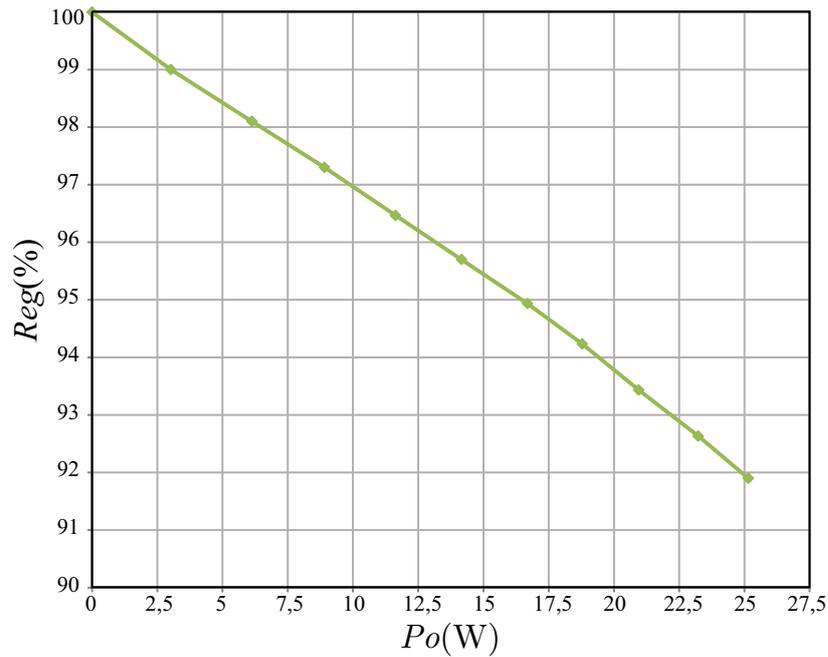
Figura 5.21 – Tensões nos capacitores e corrente na carga com cargas em diferentes pontos do circuito: (a) Ladder; (b) Cascata 1. Escalas: (a) $V=5\text{ V}$; (b) $V=2,5\text{ V}$; $I=500\text{ mA}$; $t=2\text{ }\mu\text{s}$.



Fonte: Autor.

Na Figura 5.23 é apresentado o ensaio de regulação em função da potência de saída, sendo a regulação definida por (5.1), na qual V_{or} é a tensão de saída obtida nos ensaios e V_o a tensão de saída teórica (3 V). A regulação do conversor ficou acima de 90% em toda a faixa de operação.

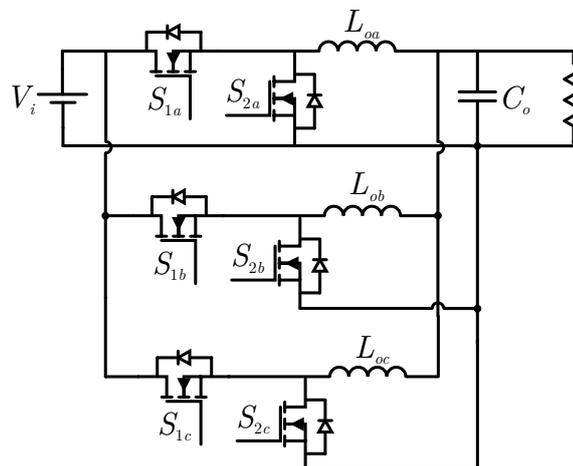
$$Reg\% = \frac{V_{or}}{V_o} 100 \quad (5.1)$$

Figura 5.23 – Regulação percentual em função da potência de saída do *MSCC*.

Fonte: Autor.

5.3 CONVERSÃO DE 3 V PARA 1 V

A conversão de 3 V para 1 V foi realizada usando um *BKSI* de três fases, o qual é novamente apresentado na Figura 2.19.

Figura 5.24 – Conversor *buck* síncrono *interleaved* de três fases.

Fonte: Autor.

5.3.1 Projeto

Os parâmetros de projeto do *BKSI* são apresentados na Tabela 5.7, e os esforços nos interruptores na Tabela 5.8. Baseado nessas tabelas, foi escolhido o interruptor

BSC016N06NST, mesmo usado no *MSCC*. A frequência de comutação também foi escolhida a mesma do *MSCC* pela facilidade de implementação no *DSP*.

Tabela 5.7 – Especificações de projeto do *BKSI*.

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	3 V
Tensão de saída	V_o	1 V
Ganho	G	1/3
Razão cíclica	D	1/3
Potência de saída	P_o	30 W
Corrente de entrada	I_o	10 A
Corrente de saída	I_o	30 A
Corrente nos indutores	I_L	10 A
Frequência de comutação	f_s	160 kHz
Percentual de ondulação de corrente no indutor	$\Delta I_L\%$	10%
Percentual de ondulação de tensão no capacitor	$\Delta V_{Co}\%$	1%

Fonte: Autor.

Tabela 5.8 – Esforços de tensão e corrente do *BKSI*.

Interruptor	Tensão	Corrente Média	Corrente Eficaz
S_1	3 V	3,33 A	5,77 A
S_2	3 V	6,66 A	8,16 A

Fonte: Autor.

Baseado nas especificações de ondulação de corrente e em (2.15), foi calculada uma indutância mínima de 4,16 μH . Foi escolhido o indutor comercial HCMA1707-100-R, de 10 μH e com resistência série máxima de 10 $\text{m}\Omega$. Maiores detalhes do indutor estão no Anexo C. Já o capacitor foi calculado através de (2.17) como 4,06 μF , e usado um de 100 μF , mesmo modelo do *MSCC*. A planilha de projeto é apresentada no Apêndice B.

A distribuição de perdas e o rendimento em potência nominal teóricos são apresentados na 5.9. É observado um amplo domínio das perdas de condução devido as correntes elevadas, especialmente nos indutores. Até mesmo as perdas nas resistências série dos

sensores de corrente (do modelo ACS731) são maiores que as perdas de comutação neste conversor.

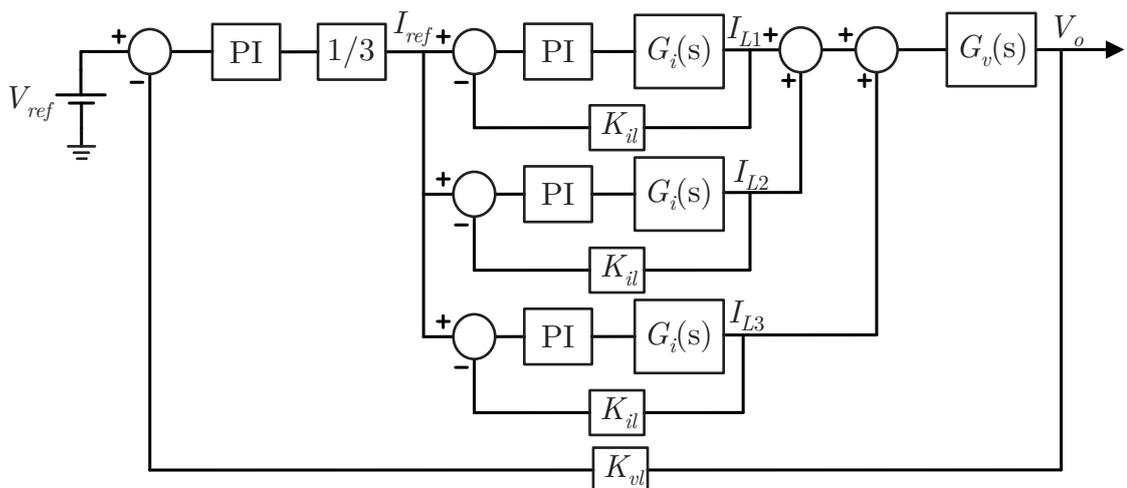
Tabela 5.9 – Perdas e eficiência do *BKSI* com potência nominal.

Perda	Símbolo	Valor
Condução nos interruptores	P_{cdS}	0,48 W
Comutação	P_{sw}	0,26 W
Capacitâncias intrínsecas	P_{cap}	0,01 W
Condução nos indutores	P_{cdL}	3 W
Núcleo dos indutores	P_{core}	0,03 W
Sensores de corrente	P_{sense}	0,36 W
Totais	P_{tot}	4,14 W
Rendimento	$\eta\%$	84,5 %

Fonte: Autor.

Já o controle do conversor é baseado no controle clássico por valores médios em duas malhas do conversor *buck*, no qual uma malha interna rápida controla a corrente nos indutores, e uma malha externa lenta controla a tensão de saída. Cada fase do conversor possui sua própria malha de corrente e razão cíclica (com defasagem de 120° entre elas). Como a corrente no indutor em cada fase do conversor *interleaved* é 1/3 da corrente de saída na saída do controlador de tensão, que gera a referência de corrente, há uma divisão por três. O diagrama de controle é apresentado na Figura 5.25.

Figura 5.25 – Esquema de controle do *BKSI*.



Fonte: Autor.

Os compensadores de tensão e de corrente usados são do tipo proporcional integral (PI), conforme (5.2). A planta de corrente do conversor *buck* é apresentada em (5.3), e a

de tensão em (5.4).

$$C_{PI}(s) = K_{PI} \frac{(s + \omega_z)}{s} \quad (5.2)$$

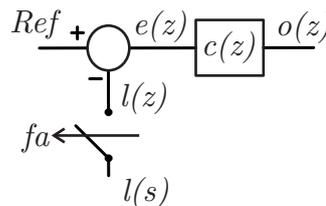
$$G_I(s) = \frac{I_L(s)}{D(s)} = \frac{V_i}{sL + R_L} \quad (5.3)$$

$$G_V(s) = \frac{V_o(s)}{I_o(s)} = \frac{1}{sC + \frac{1}{R_o}} \quad (5.4)$$

Para a discretização e implementação no *DSP*, foi utilizado o método de Tustin [65] apresentado em (5.5), no qual T_a é o período de amostragem ($1/f_a$). Um esquema da discretização do controle é apresentado na Figura 5.26, no qual o valor lido da grandeza é amostrado.

$$s = \frac{2}{T_a} \frac{(z - 1)}{(z + 1)} \quad (5.5)$$

Figura 5.26 – Esquema de controle discreto.



Fonte: Autor.

Da Figura 5.26 fica definida a saída do compensador $o(z)$ como (5.6).

$$o(z) = c(z)e(z) \quad (5.6)$$

Substituindo (5.5) em (5.2) e posteriormente em (5.6) e sabendo que z representa o valor atual discretizado, e z^{-1} o valor anterior, pode-se definir a saída do compensador PI discreto como (5.7), sendo o erro descrito em (5.8) e (5.9), nas quais $o(1)$, $e(1)$ e $l(1)$ são a saída do compensador, o erro e o valor lido na posição atual, e $o(0)$, $e(0)$ e $l(0)$ a saída do compensador, o erro e o valor lido na posição anterior. As constantes K_1 e K_2 são referentes a discretização do compensador PI, e definidas em (5.10) e (5.11).

$$o(1) = o(0) + K_1 e(1) + K_2 e(0) \quad (5.7)$$

$$e(1) = Ref - l(1) \quad (5.8)$$

$$e(0) = Ref - l(0) \quad (5.9)$$

$$K_1 = K_{PI} \left(\frac{\omega_z T_a}{2} + 1 \right) \quad (5.10)$$

$$K_2 = K_{PI} \left(\frac{\omega_z T_a}{2} - 1 \right) \quad (5.11)$$

Baseado no que foi apresentado, foram projetadas as malhas de controle usando o método do diagrama de Bode [65]. É importante que as malhas de corrente e tensão sejam desacopladas em frequência, ou seja, haja uma diferença de pelo menos uma década nas frequências de corte da malha interna (de corrente, e mais rápida) e externa. Assim, os dados referentes ao controle implementado no *BKSI* são apresentados na Tabela 5.10. A planilha de projeto das malhas de controle é mostrada no Apêndice B. Já a parte referente ao programa do controle no *DSP* é apresentada na Apêndice G.

Tabela 5.10 – Especificações de controle do *BKSI*.

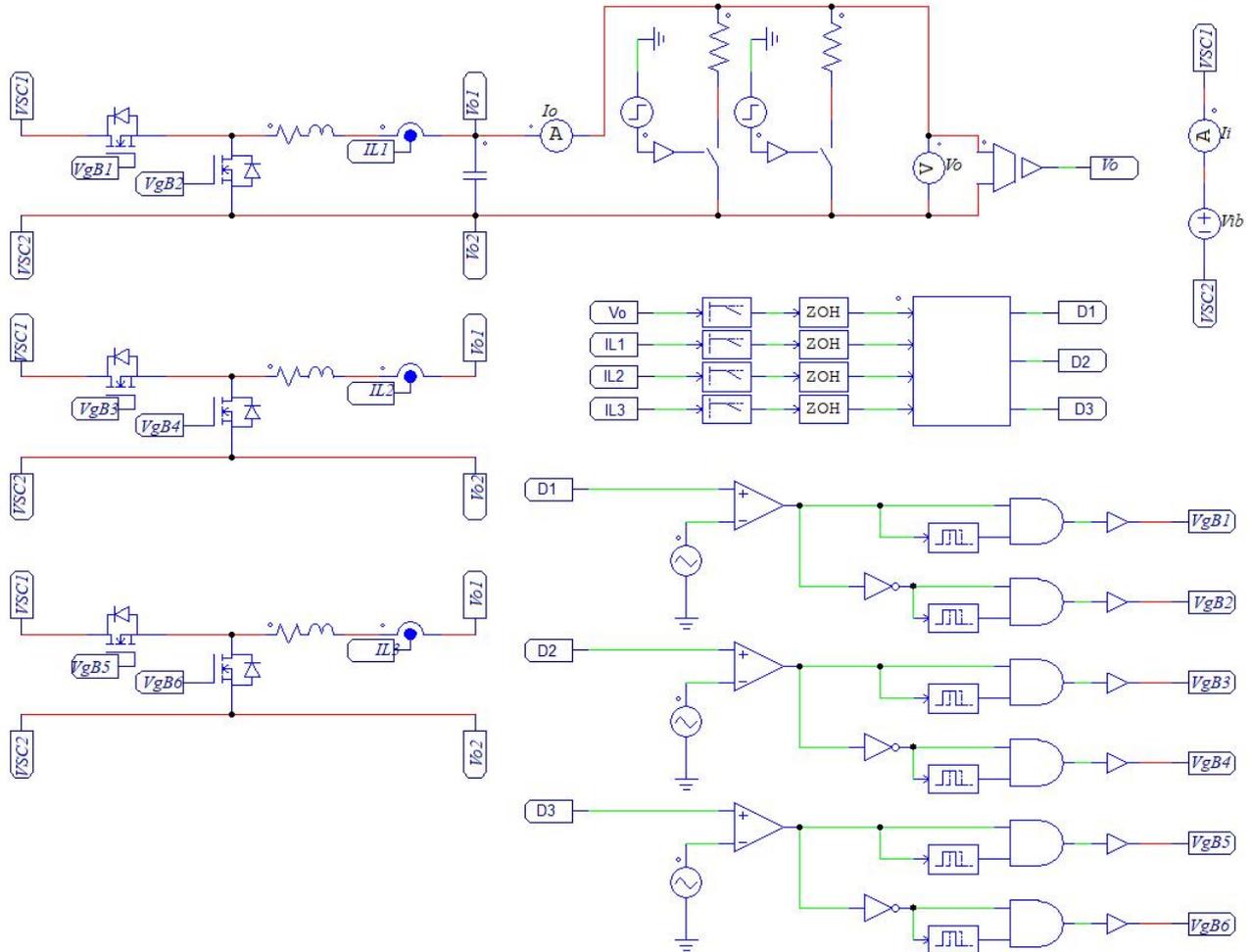
Parâmetro	Símbolo	Valor
Frequência de amostragem	f_a	160 kHz
Margem de fase da malha de corrente	$M_{\phi i}$	75°
Frequência de corte da malha de corrente	f_{ci}	1 kHz
Frequência do zero do PI de corrente	ω_{zi}	2,8 krad
Ganho do compensador PI de corrente	K_i	0,02
Constante discreta do PI de corrente	K_{1i}	0,0019537
Constante discreta do PI de corrente	K_{2i}	-0,0019197
Margem de fase da malha de tensão	$M_{\phi v}$	100°
Frequência de corte da malha de tensão	f_{cv}	50 Hz
Frequência do zero do PI de tensão	ω_{zv}	1,8 krad
Ganho do compensador PI de tensão	K_v	5,2
Constante discreta do PI de tensão	K_{1v}	5,2693836
Constante discreta do PI de tensão	K_{2v}	-5,2113843
Saturador da malha de corrente	D_{sat}	0,5
Saturador da malha de tensão	I_{sat}	40
Frequência de corte do filtro <i>anti-aliasing</i>	f_{aa}	10 kHz

Fonte: Autor.

5.3.2 Resultados de Simulação

O circuito usado nas simulações para validação do *BKSI* é apresentado na Figura 5.27.

Figura 5.27 – Circuito usado nas simulações do *BKSI*.

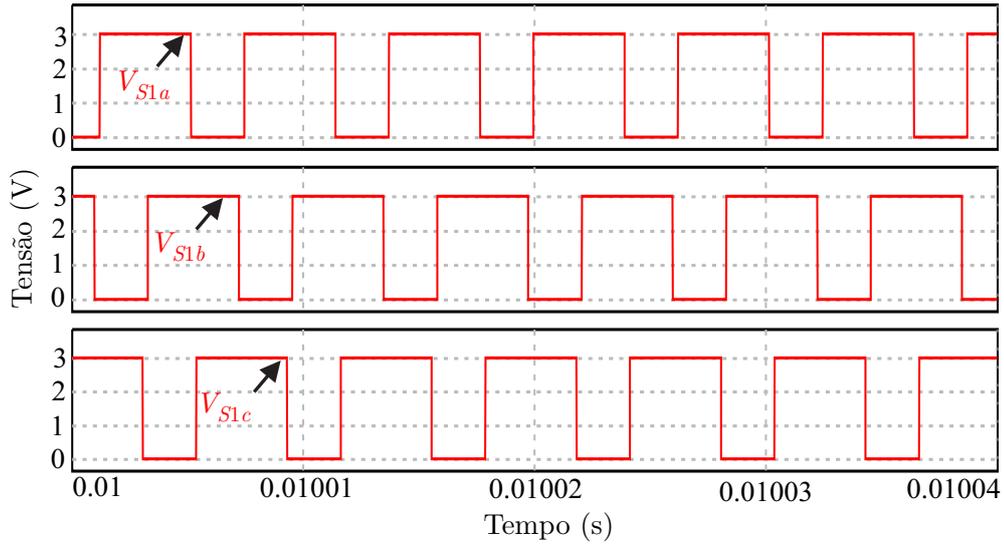


Fonte: Autor.

As tensões nos interruptores superiores (S_{1a} , S_{1b} e S_{1c}) de cada fase são apresentadas na Figura 5.28, sendo observada a defasagem entre os sinais referente ao *interleaving*, além do esforço de tensão grampeado pela tensão de entrada, que é de 3 V. Já Figura 5.29 são apresentadas as correntes nos interruptores S_{1a} e S_{2a} da fase *a*, na qual os valores máximos de corrente são definidos pela corrente no indutor, que é de 10 A para carga nominal. Os valores máximos da tensão e médio e eficaz da corrente nos interruptores obtidos por simulação são apresentados na Tabela 5.11. Os resultados diferem um pouco da Tabela 5.8 pois na simulação, com o controle ligado, a razão cíclica aumenta para compensar as perdas e manter a tensão de saída. Usando o valor de razão cíclica da simulação nas equações da Tabela 2.2, que é de 0,38, os resultados coincidem.

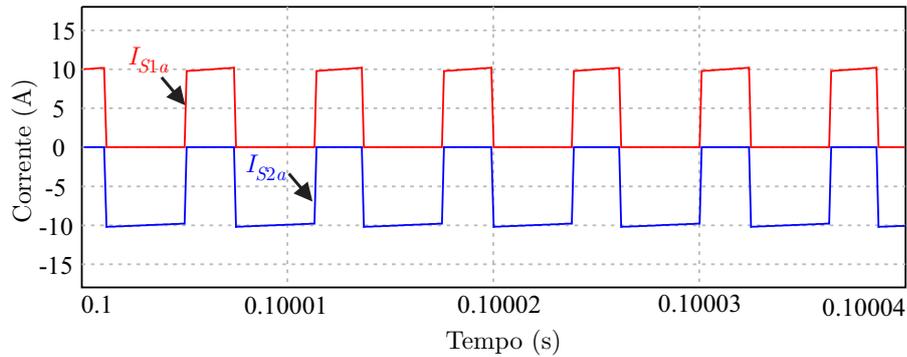
Na Figura 5.30 (a) são apresentadas a tensão e corrente de entrada do *BKSI*, e na Figura 5.30 (b) a tensão e corrente de saída no ponto de operação nominal. É observado o

Figura 5.28 – Tensões nos interruptores de cada fase do *BKSI*.



Fonte: Autor.

Figura 5.29 – Correntes nos interruptores da fase a com carga nominal.



Fonte: Autor.

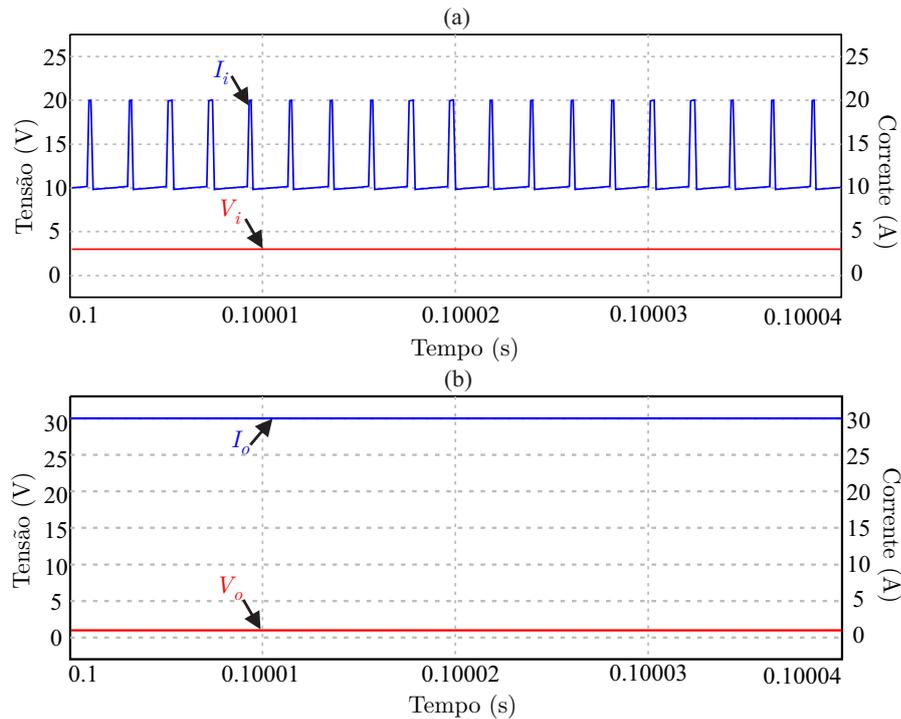
Tabela 5.11 – Esforços de tensão e corrente simulados do *BKSI* com carga nominal.

Interruptor	Tensão	Corrente Média	Corrente Eficaz
S_1	3 V	3,8 A	6,17 A
S_2	3 V	6,2 A	7,88 A

Fonte: Autor.

elevado valor de corrente de saída, o que é o grande desafio desse tipo de aplicação. Além disso, a corrente de entrada apresenta a característica do ponto de operação do *BKSI*, de acordo com o que foi apresentado na Figura 2.21. Já a tensão de saída ficou regulada em 1 V pelo controle.

O controle de corrente tem duas funções no *BKSI*: proteger contra sobrecorrente e

Figura 5.30 – Tensões e correntes do *BKSI* com carga nominal: (a) Entrada; (b) Saída.

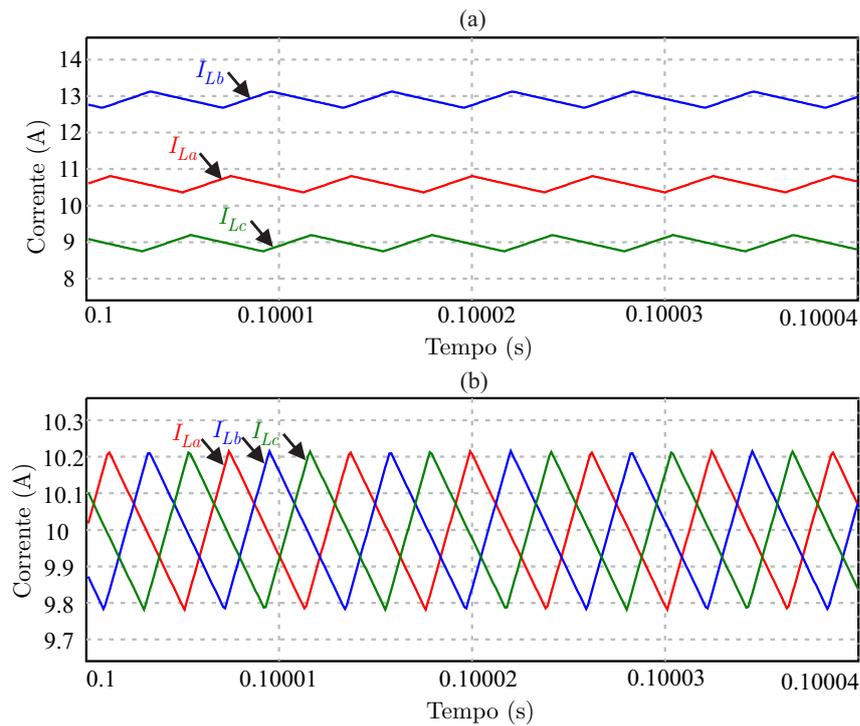
Fonte: Autor.

curto-circuito através dos saturadores de razão cíclica, e manter as correntes nos indutores equilibradas mesmo sob variações paramétricas. Os desequilíbrios de correntes são indesejados pois aumentam as perdas e a ondulação na tensão de saída. Assim, na Figura 5.31 (a) são mostradas as simulações das correntes dos indutores em malha aberta, na qual a resistência série do indutor L_b foi diminuída de 20%, e a resistência série do indutor L_c aumentada em 20%. Essas alterações resultaram em um desequilíbrio considerável nas correntes. Já na Figura 5.31 (b) o controle foi habilitado, e mesmo sob variações paramétricas, as correntes nos indutores se mantiveram equilibradas, com valor médio de um terço da corrente de saída.

Na Figura 5.32 são apresentadas a tensão e corrente de saída sob degraus de carga. No instante 0,12 s é aplicado um degrau de carga de 50% para 100% da carga nominal, e no instante 0,14 uma carga é retirada, indo de 100% para 50%. Em ambos os casos o controle atuou e manteve a tensão regulada, em um tempo de acomodação entre 10 ms e 15 ms. O afundamento de tensão no degrau positivo foi de aproximadamente 300 mV, enquanto o sobressinal no degrau negativo foi de 450 mV.

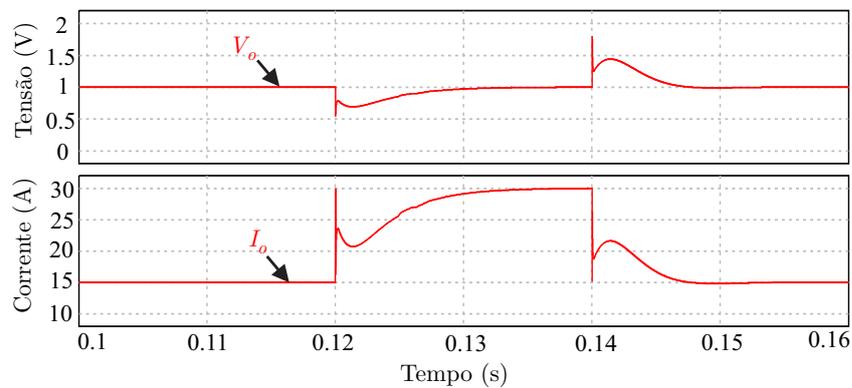
As correntes nos indutores e na saída sob curto circuito são apresentadas na Figura 5.33. Na simulação, o circuito está operando com meia carga, quando no instante 0,01 s é aplicado um curto circuito na saída. Neste instante, a tensão cai a zero, pois a referência é conectada ao positivo. No entanto a corrente de saída, após um transitório, atinge o valor de 40 A que foi definido no saturador, o que mostra que o controle de corrente está operando corretamente. Já as correntes nos indutores se mantiveram equilibradas em um

Figura 5.31 – Correntes nos indutores do *BKSI* com carga nominal e variação paramétrica: (a) Malha aberta; (b) Malha Fechada.



Fonte: Autor.

Figura 5.32 – Tensão e corrente de saída do *BKSI* sob degraus de carga.



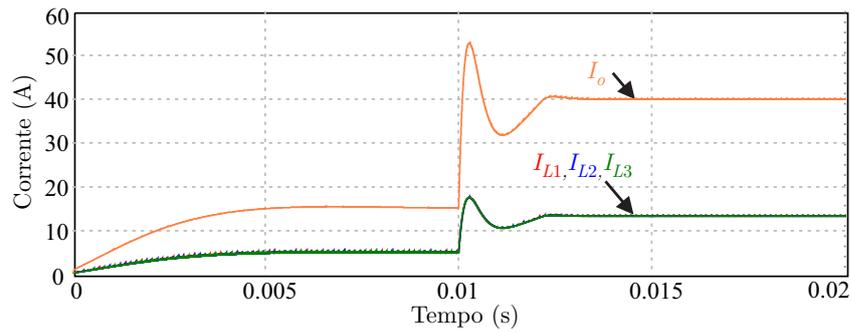
Fonte: Autor.

terço da corrente de saída.

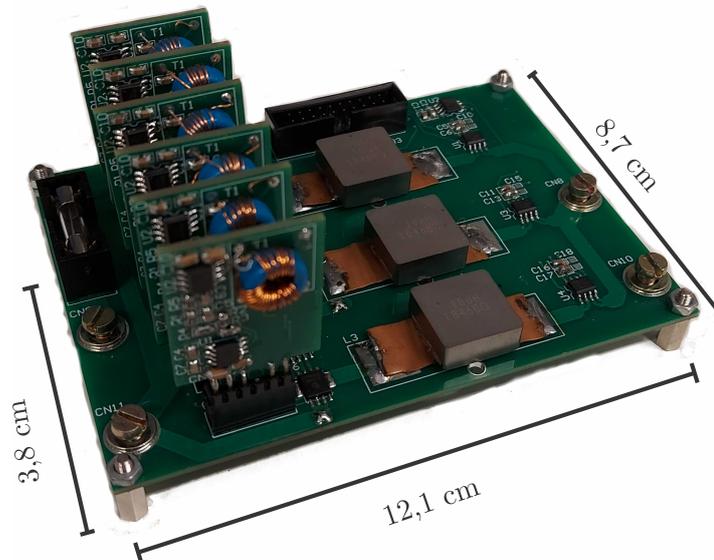
5.3.3 Resultados Experimentais

A fotografia do protótipo usado na obtenção dos resultados experimentais é apresentada na Figura 5.34. Já o esquemático da placa de circuito impresso é mostrado no Apêndice F. Os *gate drivers* e a placa de condicionamento usados são os mesmos do *MSCC*. Um esquema para melhor visualizar as placas de potência e de condicionamento são apresentados na Figura 5.35.

As tensões nos interruptores S_{1a} , S_{1b} e S_{1c} são apresentadas na Figura 5.36. É observado que há um sobressinal na comutação, e a tensão fica grampeada na tensão de

Figura 5.33 – Corrente nos indutores e de saída do *BKSI* sob curto circuito.

Fonte: Autor.

Figura 5.34 – Fotografia do protótipo do *BKSI*.

Fonte: Autor.

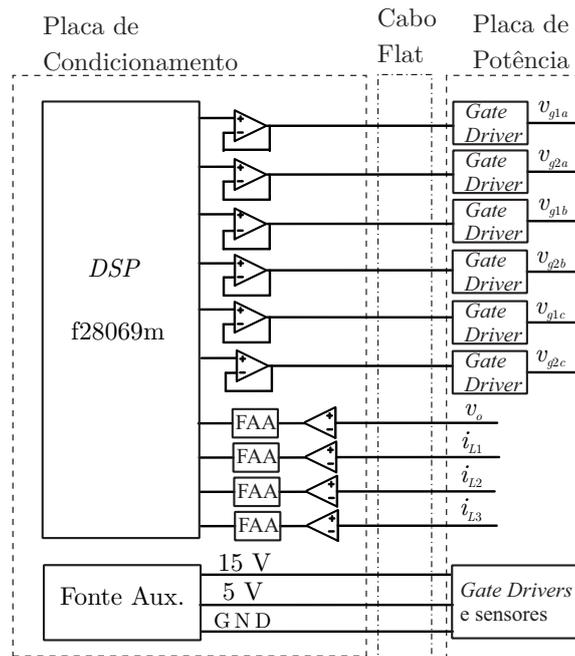
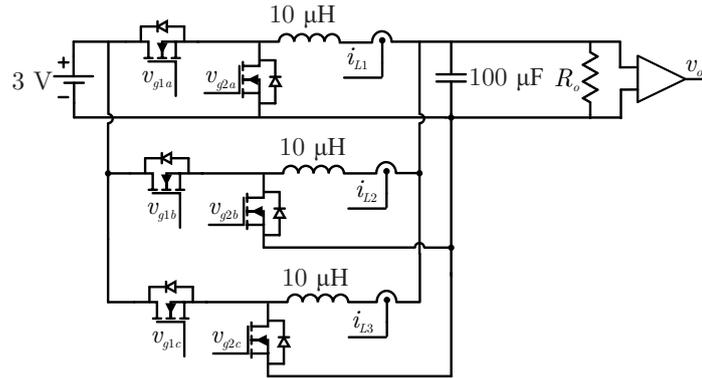
entrada, de 3 V. Além disso há a defasagem dos pulsos em 120° relativa ao *interleaving*.

As tensões e as correntes de entrada e de saída do *BKSI* são apresentadas na Figura 5.37 para uma potência de 15 W. É observado que em meia carga os níveis de corrente já são significativamente altos, em torno de 20 A na saída e 6,3 A na entrada, o que comprova o desafio e se obter elevados rendimentos nestes conversores.

O resultado do ensaio de rendimento *BKSI* em função da potência de saída com tensão de saída fixa (variação da razão cíclica) é visto na Figura 5.38. É observado que o rendimento do conversor ficou numa faixa de 84% até 95%. A eficiência no ponto de operação nominal ficou próximo ao apresentado na Tabela 5.9 (84%). No *BKSI* as perdas de condução no indutor são dominantes, assim, o máximo rendimento ocorre na menor carga, e diminui com o aumento da potência (aumento das correntes nos indutores).

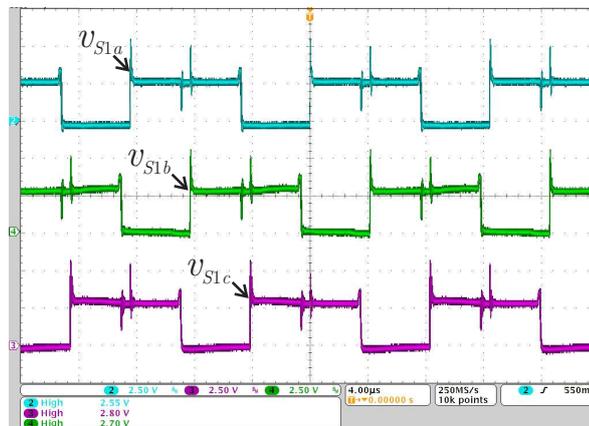
Mais resultados envolvendo o conversor *buck* serão apresentados na próxima seção.

Figura 5.35 – Esquema do protótipo do BKSI.



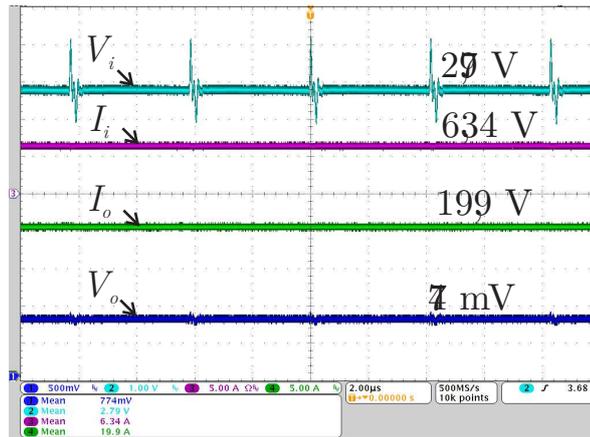
Fonte: Autor.

Figura 5.36 – Tensões nos interruptores das três fases do BKSI. Escalas: $V=2,5\text{ V}$; $t=4\ \mu\text{s}$.



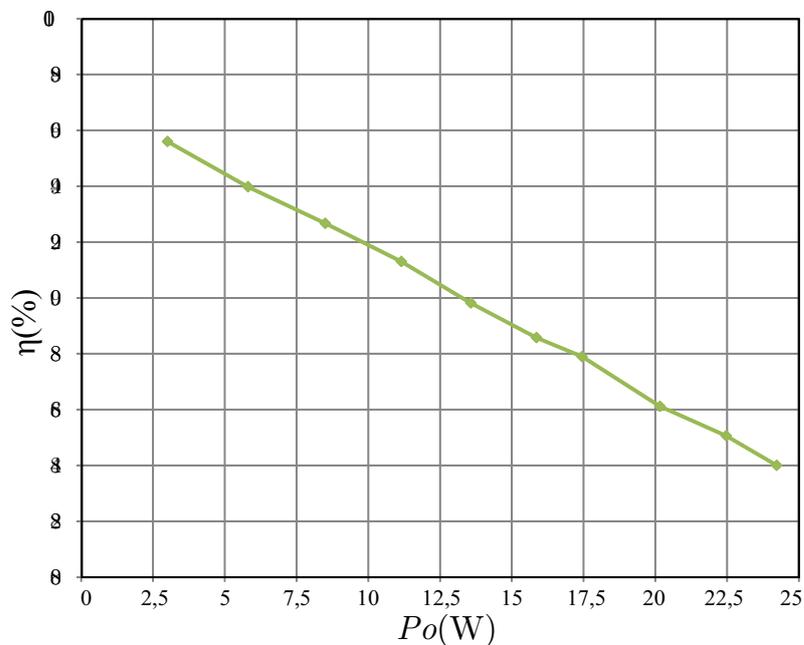
Fonte: Autor.

Figura 5.37 – Tensões e correntes de entrada e saída do *BKSI* para uma potência de 15 W. Escalas: $V_i=1$ V; $V_o=0,5$ V; $I=5$ A, $t=2$ μ s.



Fonte: Autor.

Figura 5.38 – Rendimento percentual em função da potência de saída do *BKSI*.



Fonte: Autor.

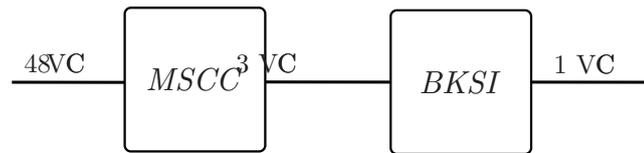
5.4 CONVERSÃO DE 48 V PARA 1 V

Essa seção discute os resultados da conversão de 48 V para 1 V, que consiste no cascadeamento dos conversores apresentados nas seções 5.2 e 5.3, conforme a Figura 5.39. A solução é nomeada de *MSCCBK* (*Mixed Switched Capacitor Converter Buck*).

5.4.1 Análise em Frequência

Um primeiro teste realizado com os conversores integrados foi o ensaio de rendimento, o qual é um dos pontos de interesse. O resultado é apresentado na Figura 5.40, na qual o pico obtido foi de 83,10% na potência de 8W, enquanto na potência nominal é de 71,56%.

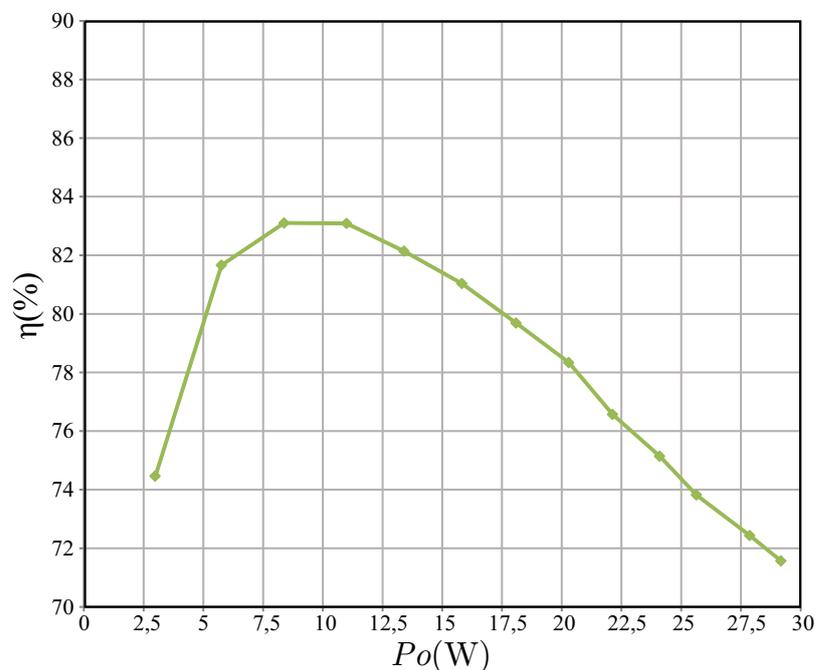
Figura 5.39 – Esquema de conversão de 48 V para 1 V.



Fonte: Autor.

O valor é bem abaixo do esperado, que pela multiplicação dos valores das Tabelas 5.4 e 5.9, é de 85,45% na potência nominal. Isso ocorreu por causa das perdas nas trilhas, pois por questões de custo, o protótipo foi construído com duas camadas (*layers*), o que dificultou a confecção de trilhas mais grossas, além de serem usadas apenas duas onças de espessura. Para reduzir este problema, foi adicionado estanho nas trilhas e soldando fios em paralelo nos pontos críticos para melhorar o rendimento. Além disso, por terem sido construídos protótipos separados, há as perdas nos cabos e conexões. Isso mostra como um leiaute é um ponto crítico dessas aplicações pelo baixo nível de tensão e alto nível de corrente. O protótipo construído foi uma primeira versão de validação de conceito. Para um próximo protótipo, é recomendado usar placas com mais camadas, usando as comadas internas para as trilhas de comando e as externas com planos de potência, e mais onças de espessura.

Figura 5.40 – Rendimento percentual em função da potência de saída do *MSCCBK* em 160 kHz.



Fonte: Autor.

Como não era possível construir outro protótipo por questões de tempo, custo, e pela pandemia de COVID-19, buscou-se melhorar a eficiência do conversor pela otimização da frequência de comutação, usando o ponto de operação nominal ($P_o=30$ W).

Primeiro foi analisado o *MSCC*, no qual tanto as perdas de condução como as de comutação dependem da frequência. Porém, no projeto usando $f_s\tau$ que foi aplicado nesse trabalho, as perdas de comutação não são usadas. Assim, é proposta uma otimização da frequência de comutação usando como parâmetro as perdas de condução e comutação. Desse modo, o projeto pode ser realizado usando o método clássico para a seleção dos interruptores e capacitores, e posteriormente a frequência pode ser otimizada para um melhor rendimento.

As equações em função da frequência são apresentadas a seguir. Nas perdas de condução, a resistência série normalizada (2.8), que é um fator que representa a variação da corrente eficaz de acordo com variações de $f_s\tau$, é usado como um parâmetro que multiplica as perdas de condução, conforme (5.12). Já as perdas de comutação e por carga e descarga das capacitâncias intrínsecas dependem diretamente da frequência, conforme (5.13) e (5.14). Por fim, podem-se definir as perdas totais e o rendimento percentual em função da frequência conforme (5.15) e (5.16).

$$P_{cd}(f_s) = \overline{R_s(f_s)} R_{on} I_{ef}^2 \quad (5.12)$$

$$P_{sw}(f_s) = 2f_s \left(\frac{t_r + t_f}{2} \right) V_s I_s \quad (5.13)$$

$$P_{cap}(f_s) = \frac{1}{2} f_s C_{oss} V_s^2 \quad (5.14)$$

$$P_{tot}(f_s) = P_{cd}(f_s) + P_{sw}(f_s) + P_{cap}(f_s) \quad (5.15)$$

$$\eta_{\%}(f_s) = \left(\frac{P_o}{P_o + P_{tot}(f_s)} \right) 100 \quad (5.16)$$

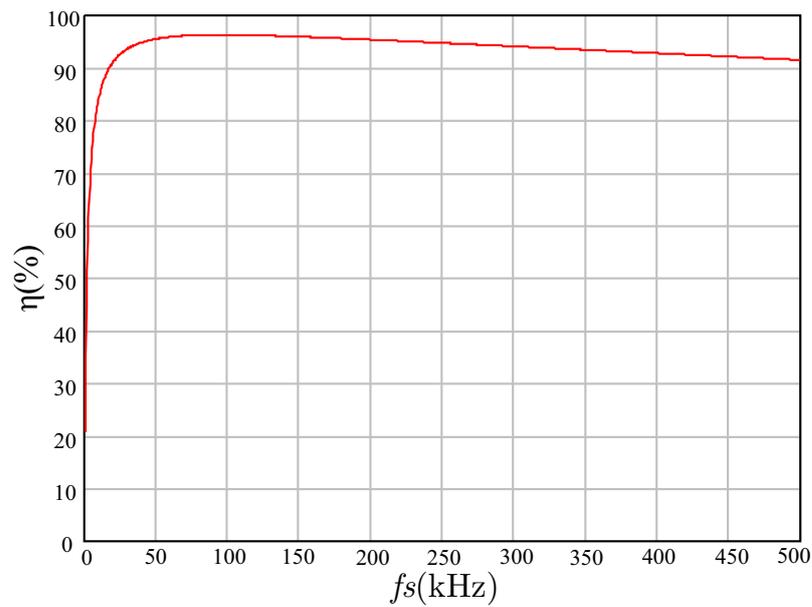
Através de (5.16) é traçada a curva de rendimento percentual por frequência do *MSCC* conforme a Figura 5.41. É observado que a máxima eficiência deste conversor ocorre na faixa entre 70 e 130 kHz, que são frequências de comutação menores do valor obtido usando apenas o produto $f_s\tau$, de 160 kHz.

Um segundo passo foi analisar as perdas em função da frequência do *BKSI*. Neste caso, desprezando efeitos da ondulação de corrente, as perdas de condução não dependem da frequência. Além disso, as perdas no núcleo dos indutores são muito menores que as perdas de condução e comutação, e serão consideradas constantes. Assim, as perdas totais nesse conversor em função da frequência dependem das perdas de comutação, e são definidas em (5.17). Os valores constantes são os mesmos apresentados na Tabela 5.9.

$$P_{tot}(f_s) = P_{sw}(f_s) + P_{cap}(f_s) + P_{cdS} + P_{cdL} + P_{sense} + P_{core} \quad (5.17)$$

Através de (5.16) e (5.17) é traçado o gráfico de rendimento por frequência do *MSCCBK* conforme a Figura 5.42. Como as perdas de condução são constantes, neste

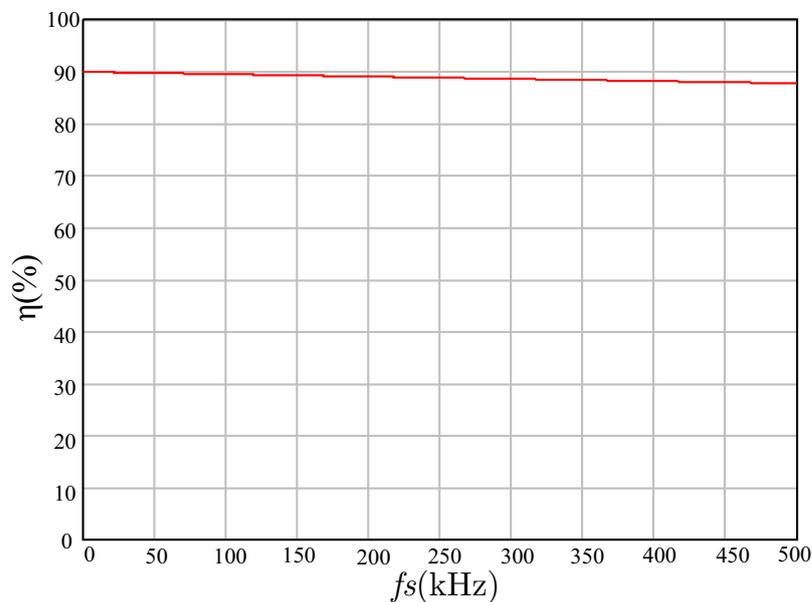
Figura 5.41 – Rendimento percentual em função da frequência de comutação do *MSCC* em 30 W.



Fonte: Autor.

caso, a máxima eficiência ocorre em frequências mais baixas, e diminui com o aumento da frequência.

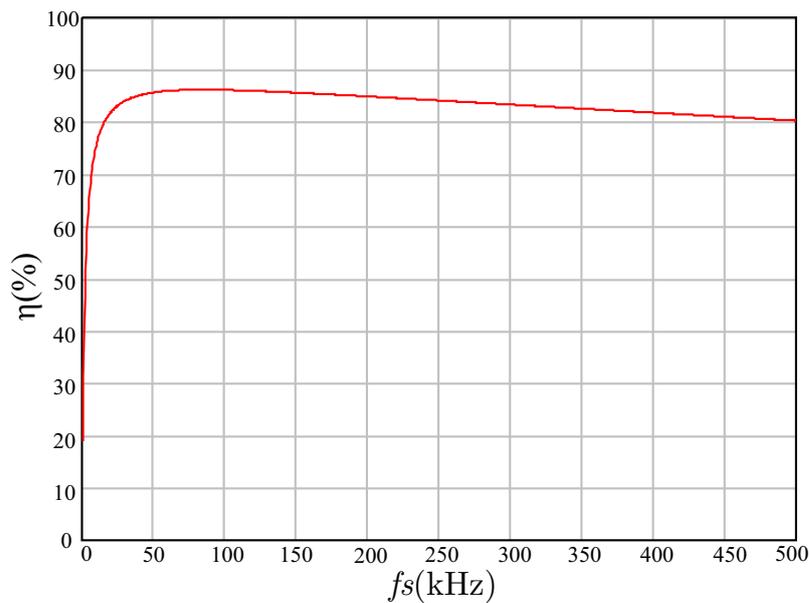
Figura 5.42 – Rendimento percentual em função da frequência de comutação do *BKSI* em 30 W.



Fonte: Autor.

Por fim, multiplicando as curvas das Figuras 5.41 e 5.42, é definida a curva da eficiência em função da frequência dos conversores integrados conforme a Figura 5.43. Neste caso, a frequência ótima em termos de rendimento ficou na faixa de 70 a 100 kHz. A planilha de análise de rendimento por frequência é apresentada no Apêndice H.

Figura 5.43 – Rendimento percentual em função da frequência de comutação do *MSCCBK* em 30 W.



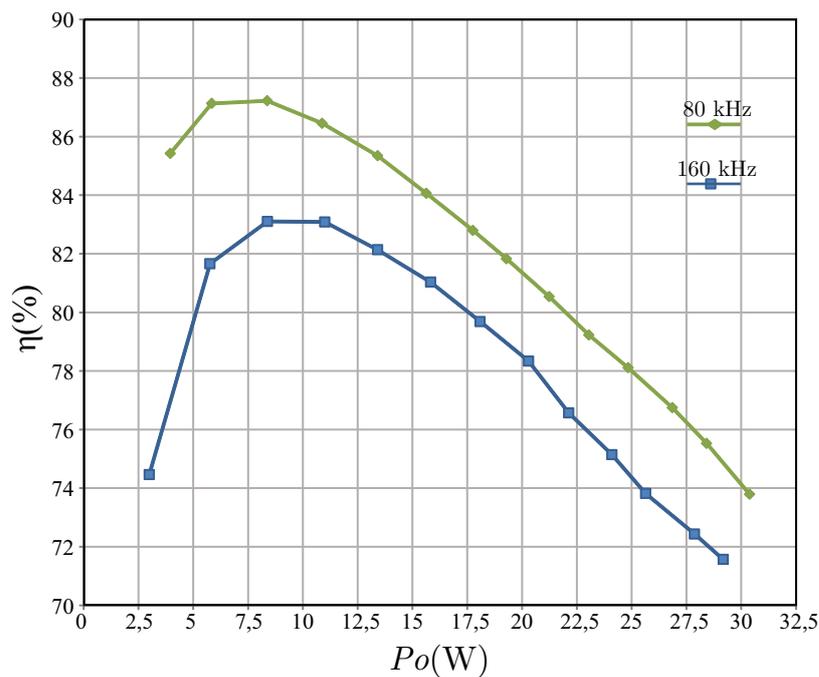
Fonte: Autor.

5.4.2 Resultados Experimentais

Baseado na análise de rendimento por frequência, a frequência de comutação de 80 kHz foi escolhida para o seguimento do trabalho. Como mostrado na subseção 5.3.1, o indutor calculado foi de 4 μH , porém, foi usado na prática um de 10 μH . Dessa forma, com a frequência diminuindo pela metade, a ondulação de corrente dobra, mas se mantém dentro dos valores estabelecidos.

O primeiro passo realizado foi um novo ensaio de rendimento, apresentado na Figura 5.44 junto com o ensaio em 160 kHz para comparação. É observado que houve um aumento significativo na eficiência em 80 kHz, validando a otimização em frequência que foi proposta. O pico obtido neste ensaio foi de 87,22% na potência de 8 W.

Figura 5.44 – Rendimento percentual em função da potência de saída do *MSCCBK* para diferentes frequências de comutação.



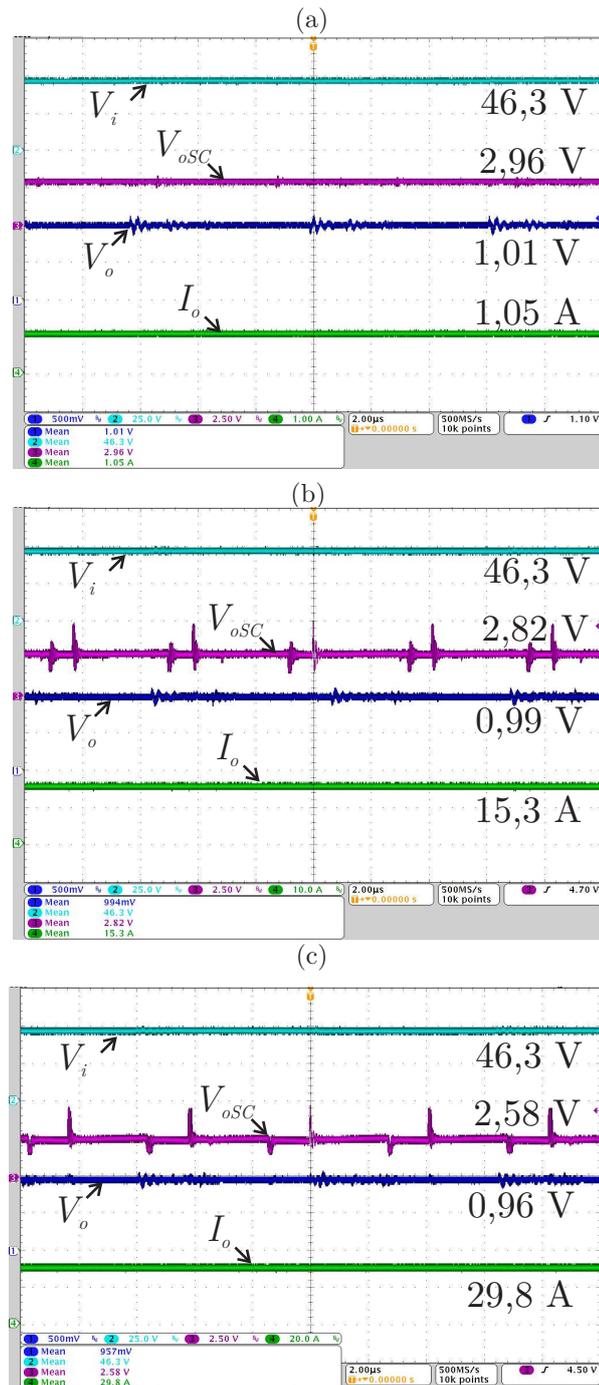
Fonte: Autor.

Um primeiro resultado dos conversores integrados operando em 80 kHz é apresentado na Figura 5.45. Nela são apresentadas as tensões de entrada, saída do *MSCC* e saída do *BKSI*, além da corrente de saída para diferentes cargas. Uma carga mínima de 1 W foi usada nos testes, pois a vazio a tensão de saída aumentava para cerca de 1,3 V. É observado que os níveis de tensão e corrente são coerentes com o que foi proposto, com tensão de entrada próxima a 48 V, tensão de saída do *MSCC* em 3 V e tensão de saída de 1 V no *BKSI*, além da corrente atingindo 30 A em carga nominal.

As tensões e correntes de entrada e saída com carga mínima, meia carga e carga nominal são apresentadas na Figura 5.46. Além disso, para valores médios mais precisos, são apresentados os resultados do analisador de potência Yokogawa WT500 no qual os resultados do canal 1 representam as grandezas de entrada ($U_{dc1}=V_i$; $I_{dc1}=I_i$; $P1=P_i$) e do canal 2 as de saída ($U_{dc2}=V_o$; $I_{dc2}=I_o$; $P2=P_o$). É observado que a tensão de saída se manteve próxima a 1 V nos três níveis de potência apresentados, mostrando que o controle está regulando corretamente a tensão. Também é observado o alto nível da tensão de entrada, em 48 V, e da corrente de saída, de 30 A. Já a corrente de entrada é inferior a 1 A em toda faixa de operação. Isso reforça a dificuldade de se projetar esses conversores e de se obter rendimentos elevados.

As correntes nos indutores do *BKSI* com carga nominal em malha aberta e em malha fechada são apresentadas nas Figuras 5.47 (a) e (b) respectivamente. Assim como nas formas de onda da Figura 5.31, há um desequilíbrio nas correntes em malha aberta causado por variações paramétricas entre as fases do conversor. Já em malha fechada, o controle compensa essas variações, e as correntes nos indutores se tornam equilibradas.

Figura 5.45 – Tensões de entrada e de saída de cada conversor e corrente de saída: (a) 1W; (b) 15 W; (c) 30 W. Escalas: $V_i=25$ V; $V_{oSC}=2,5$ V; $V_o=0,5$ V; $t=2$ μ s; (a) $I_o=1$ A; (b) $I_o=10$ A; (c) $I_o=20$ A.

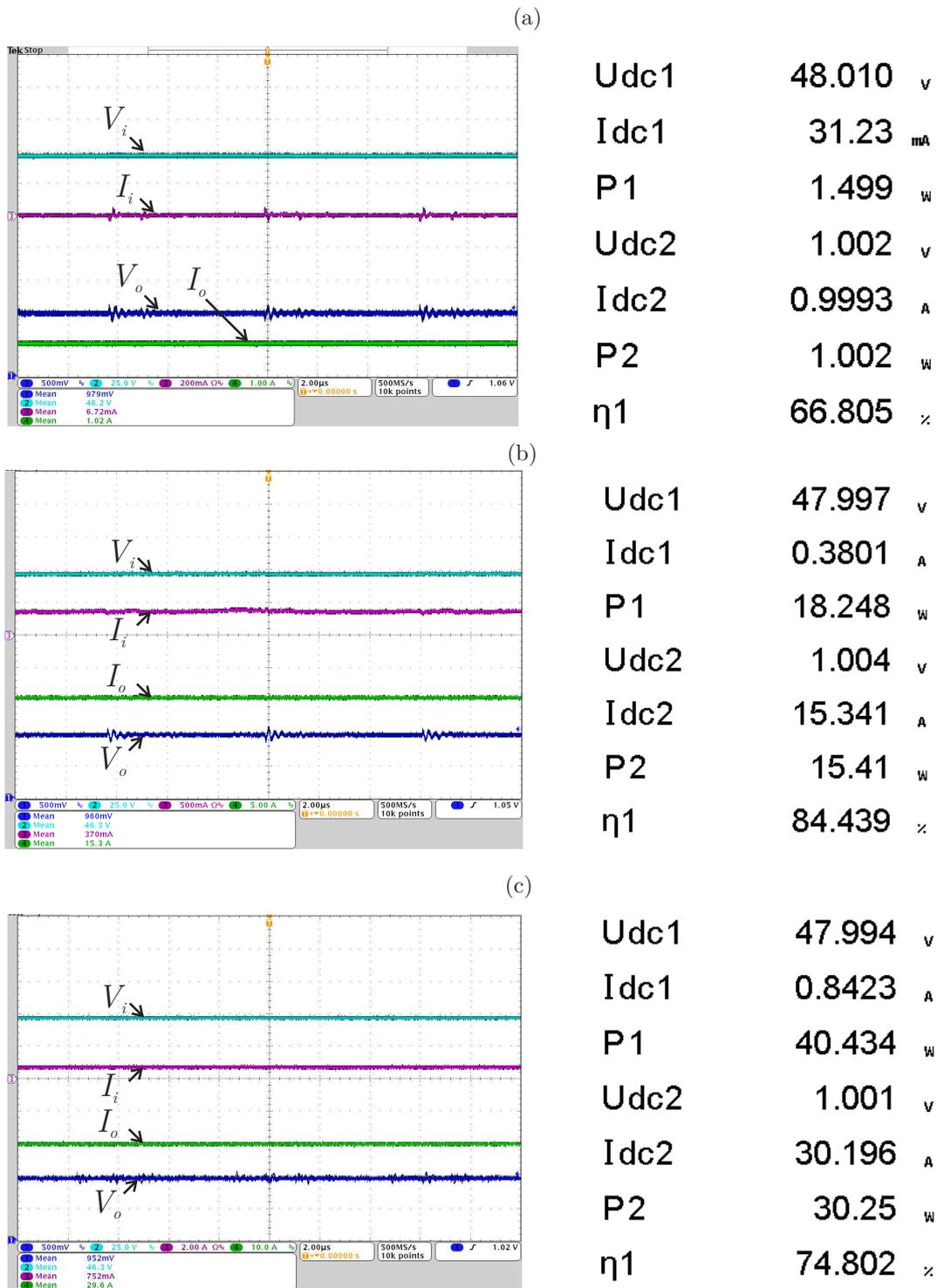


Fonte: Autor.

Além disso, os valores médios de corrente nos indutores foram de 1/3 da corrente de saída (cerca de 10 A), conforme o esperado em um conversor *buck interleaved* com três fases.

Na Figura 5.48 (a) é apresentado o resultado das tensões de entrada, da saída do *MSCC*, da saída do *BKSI* e da corrente de saída com um degrau de carga de 10 W para 30 W (2/3). É observada uma resposta semelhante a da Figura 5.32, porém com um tempo de acomodação mais lento devido as não idealidades, de cerca de 60 ms (na simulação

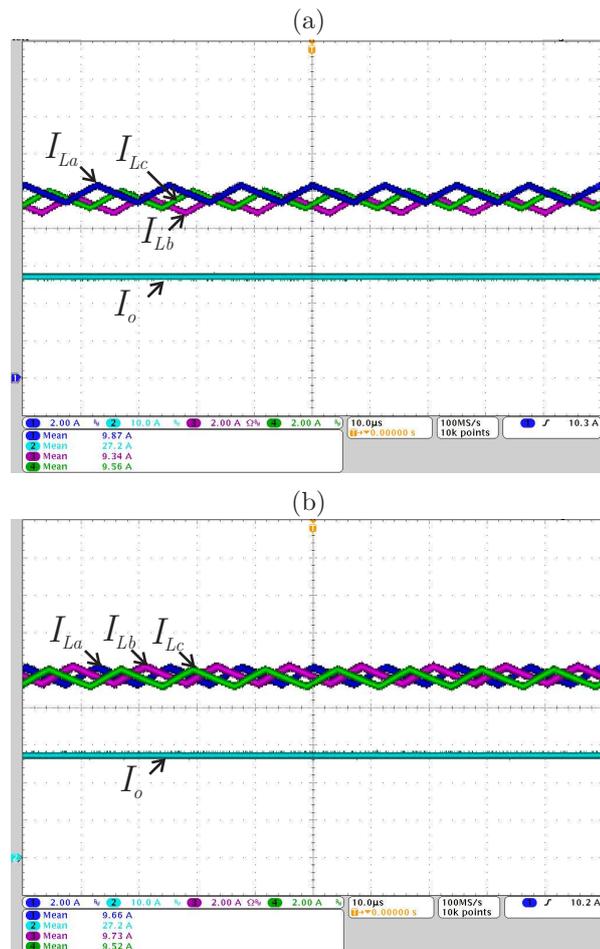
Figura 5.46 – Formas de onda e resultados do analisador de potência das tensões e correntes de entrada e saída : (a) 1W; (b) 15 W; (c) 30 W. Escalas: $V_i=25$ V; $V_o=0,5$ V; $t=2$ μ s; (a) $I_i=200$ mA; $I_o=1$ A; (b) $I_i=500$ mA; $I_o=5$ A; (c) $I_i=2$ A; $I_o=10$ A;



Fonte: Autor.

foi de 10 ms). Já o afundamento de sinal ficou abaixo dos 500 mV. Na Figura 5.48 (b) é apresentado um degrau de carga de 30 W para 10 W, na qual novamente a resposta ficou parecida com a Figura 5.32, porém com um tempo de acomodação maior, próximo de 60

Figura 5.47 – Corrente nos indutores e corrente de saída com carga nominal: (a) Malha aberta; (b) Malha fechada; Escalas: $I_L=2$ A; $I_o=10$ A; $t=2$ μ s.



Fonte: Autor.

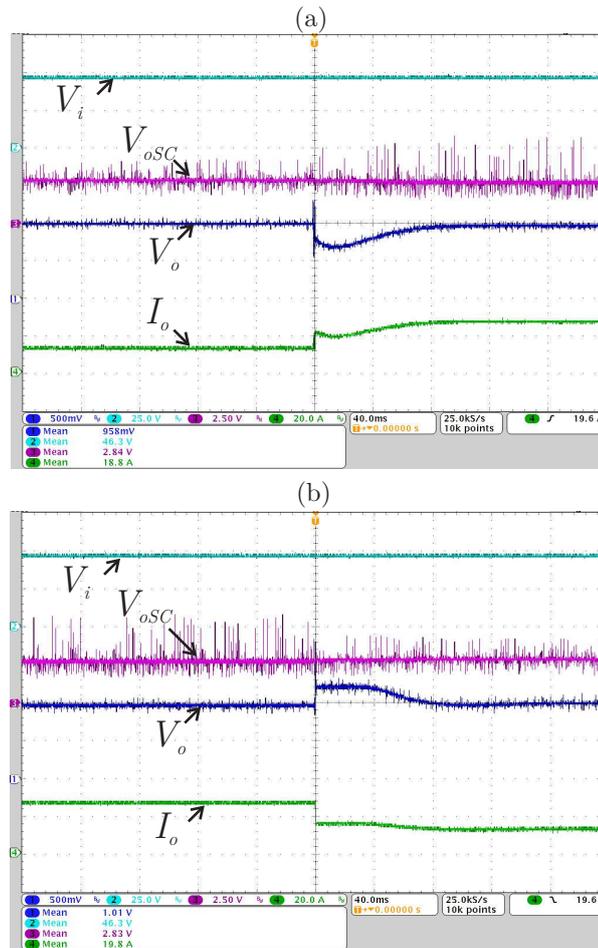
ms (na simulação foi de 15 ms). O sobressinal foi de aproximadamente 250 mV.

5.5 COMPARAÇÃO COM OUTRAS ESTRUTURAS

Uma comparação do *MSCCBK* com outras estruturas propostas na literatura é apresentada na Tabela 5.12, na qual todas elas realizaram testes com conversão de 48 V para 1 V. Na tabela T representa o número de transformadores, L número de indutores, C o número de capacitores, S o número de interruptores controlados, V_s o máximo esforço de tensão nos interruptores, G a relação de ganho, P a máxima potência de saída e η o máximo rendimento. Uma primeira observação é que nenhum desses conversores usa diodos, o que mostra que estes componentes tem desempenho pior que interruptores controlados para estas aplicações. Os conversores apresentados na comparação foram descritos no Capítulo 2, e serão novamente mostrados aqui.

Em [32] é proposta uma solução em dois estágios não isolada. O primeiro estágio usa um SCC híbrido para conversão de 48 V para 24 V, e o segundo estágio um conversor *buck* quatro níveis com capacitor série e indutores acoplados com conversão de 24 V para

Figura 5.48 – Tensões de entrada e de saída de cada conversor e corrente de saída sob degrau de carga (a) 10 W para 30 W; (b) 30 W para 10 W. Escalas: $V_i=25$ V; $V_{oSC}=2,5$ V; $V_o=0,5$ V; $I_o=20$ A; $t=40$ ms.



Fonte: Autor.

1 V. A potência do sistema é de 150 W, e a máxima eficiência obtida foi de 90,6%. Já o máximo esforço de tensão é metade da tensão de entrada, e o ganho estático do conversor *buck* convencional (D) é dividido por um fator 8.

Em [33] é proposta uma estrutura chamada pelo autor de *Dual-Phase Multi-Inductor Hybrid Converter*. Este conversor foi testado na conversão de até 48 V para 1 V e 100 W de potência, obtendo uma máxima eficiência de 90,9%. O máximo esforço de tensão neste conversor é $3/4$ da tensão de entrada, e o fator de multiplicação do ganho é 1 dividido pelo número de indutores (N).

Em [34] é proposto um conversor meia ponte três níveis isolado com dobrador de corrente síncrono na saída. A estrutura foi testada na conversão de 48 V para 1 V e potência máxima de 60 W, obtendo um pico de eficiência de 92,8%. O máximo esforço de tensão é $1/4$ da tensão de entrada, e a taxa de conversão é aumentada pelo transformador (n representa a relação de transformação), além do fator de $1/4$ pelo capacitor flutuante no estágio meia ponte.

Em [35] é apresentado um conversor *forward* com grampeamento ativo. Ele foi

testado com tensões de entrada de 48 V e 12 V, e tensão de saída entre 0,7 V e 1,1 V. Na conversão de 48 V para 1 V, obteve eficiência máxima de 89% e potência de saída de até 60 W. Nele tanto o máximo esforço de tensão quanto o ganho estático são os mesmos do conversor *forward* convencional.

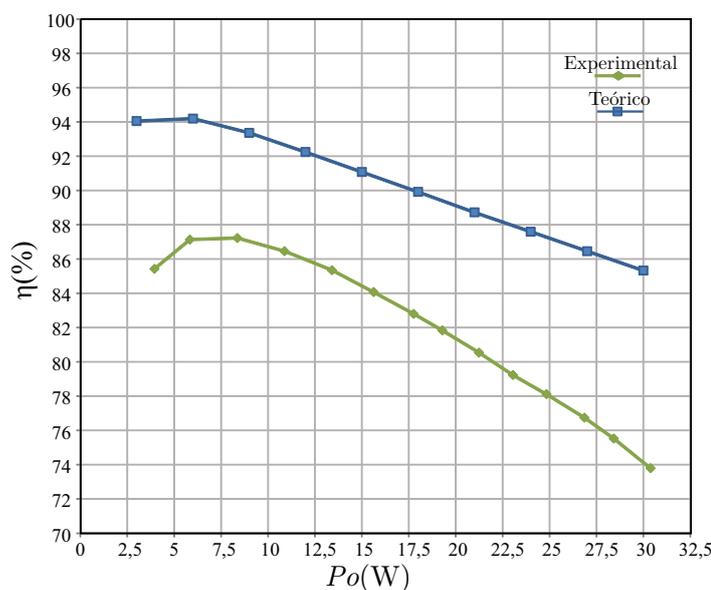
Tabela 5.12 – Comparação Entre Topologias Abaixadoras de Alto Ganho

Topologia	T	L	C	S	V_s	G	P	η
<i>MSCCBK</i>	0	3	12	22	$\frac{V_i}{4}$	$\frac{D}{16}$	30 W	87,22%
[32] <i>HSCC</i>	0	10	9	16	$\frac{V_i}{2}$	$\frac{D}{8}$	150 W	90,6%
[33] <i>DP-MIH</i>	0	4	4	8	$\frac{3V_i}{4}$	$\frac{D}{N}$	100 W	90,9%
[34] <i>HB-FC-CD</i>	1	2	4	6	$\frac{V_i}{4}$	$\frac{D}{4n}$	60 W	92,8%
[35] <i>ACFC</i>	1	1	3	4	$V_i(1 + \frac{1}{n})$	$\frac{D}{n}$	60 W	89,9%

Fonte: Autor.

Comparada com as estruturas da Tabela 5.12, o *MSCCBK* apresentou o maior número de capacitores e interruptores, foi testado em uma menor potência e teve um rendimento um pouco abaixo dos outros. Porém, ele apresenta o menor esforço de tensão nos componentes juntamente com o *HB-FC-CD*. Sendo a eficiência a figura de mérito mais importante, foi traçada a curva teórica do rendimento percentual em função da potência de saída do *MSCCBK* junto com a curva experimental para efeito de comparação. É observado que na curva teórica o máximo rendimento foi de 94,2%, que é maior que o dos outros conversores da tabela. Assim, com um novo protótipo que minimize as perdas nas trilhas e que o rendimento experimental se aproxime do teórico, o *MSCCBK* pode se tornar mais competitivo para aplicações de 48 V para 1 V.

Figura 5.49 – Rendimento percentual teórico e experimental em função da potência de saída do *MSCCBK* em 80 kHz.



Fonte: Autor.

5.6 CONCLUSÕES DO CAPÍTULO

Este capítulo abordou uma solução proposta para a conversão de 48 V para 1 V, sendo ela dividida em dois estágios. O primeiro é um estágio de ganho, e através da comparação entre três conexões de células de capacitor chaveado, foi escolhida a conexão mista para uma conversão de 48 V para 3 V. O segundo estágio realiza a conversão de 3 V para 1 V e a regulação da tensão de saída, na qual foi usado um conversor *buck* síncrono *interleaved* com três fases.

Após escolhida a conexão mista, foi apresentado seu projeto, resultados de simulação e experimentais individuais do conversor. Depois foi apresentado o projeto, resultados de simulação e experimentais do *BKSI*.

Em um próximo passo, foram apresentados os ensaios com os conversores integrados. Foi observado que o rendimento não foi satisfatório, em especial pelas perdas de condução nas trilhas da placa de circuito impresso. Como não era possível fazer ajustes neste parâmetro, foi realizada uma otimização na frequência de comutação, na qual foi observada uma melhora na eficiência do conversor. Além disso, o controle do *BKSI* garantiu a corrente entre as fases equilibradas e a tensão de saída regulada em 1 V, mesmo sob degraus de carga.

Por fim foi mostrada uma comparação com outras topologias propostas na literatura para conversão de 48 V para 1 V. O *MSCCBK* se mostrou pior que os outros conversores em termos de potência processada e rendimento, porém, caso um novo protótipo seja desenvolvido e a eficiência experimental fique mais próxima da teórica, ele pode se tornar competitivo.

CAPÍTULO 6

CONCLUSÕES

6.1 CONCLUSÕES DA TESE

A tese desenvolveu o estudo de topologias para conversores CC-CC abaixadores com reduzido ganho de tensão. Num primeiro momento, foi realizada uma revisão das arquiteturas de sistemas elétricos de *data centers*, e apresentadas algumas topologias usadas na indústria e propostas na literatura para os estágios CC-CC abaixadores. Depois, foi mostrado o esquema de alimentação dos *FPGAs*, e exemplos de conversores usados nesta aplicação. Posteriormente foi apresentada uma revisão de conceitos usados ao longo do trabalho, que são os conversores diferenciais e os conversores a capacitor chaveado, em especial da célula *ladder*, e o conversor *buck* síncrono *interleaved*.

O primeiro conceito proposto na tese foi dos conversores abaixadores diferenciais. Foram mostradas as análises de topologias usando os conversores *buck*, *boost* e *buck-boost*. A configuração com dois conversores do tipo *buck* se destacou pela característica estática ser linear e dada pela diferença da razão cíclica entre os dois conversores. Assim, um estudo teórico detalhado do conversor *buck-buck* foi desenvolvido e, em seguida, um exemplo de projeto, simulações e resultados experimentais foram apresentados para validar a topologia.

O conversor *buck-buck* obteve elevadas taxas de conversão, de até 400 V para 3,3 V. Essa taxa de conversão é obtida com uma topologia simples com baixo número de componentes. O rendimento obtido, no entanto, não foi satisfatório devido aos elevados esforços de tensão e corrente nos interruptores e indutores.

Outra estrutura proposta na tese foi o uso da conexão cascata da célula *ladder* de capacitor chaveado para uso em estágios intermediários de conversão. Foram apresentadas a análise da conexão, resultados de simulação e experimentais numa conversão de 200 V para 50 V e 200 W. Também foi proposta a conexão mista, a qual utiliza a conexão *ladder* clássica na entrada e conexão cascata na saída. Tanto o *CSCC* quanto o *MSCC* possuem o mesmo ganho estático, porém a conexão mista tem menor esforço de tensão

nos interruptores de entrada. A conexão cascata da célula *ladder* de capacitor chaveado apresenta uma elevada taxa de conversão quando se usam vários estágios, circuito de comando simples e pode ter um elevado rendimento se cada célula individual for projetada uma boa eficiência.

Por fim, foi apresentada uma proposta para conversão de 48 V para 1 V. A solução usa dois estágios, sendo o primeiro com um ganho de 48 V para 3 V. Ele foi baseado na conexão mista, que através de uma comparação se mostrou melhor em termos de rendimento que as conexões *ladder* e cascata. O segundo estágio fez a conversão de 3 V para 1 V e usou um conversor *buck* síncrono *intearleaved* de três fases. O primeiro estágio opera em malha aberta e o segundo estágio foi o responsável em fazer a regulação da tensão de saída. Foram mostrados os projetos dos conversores e resultados experimentais, além de uma otimização da frequência de comutação.

O *MSCCBK* conseguiu realizar a conversão de 48 V para 1 V, manter a tensão de saída regulada e a corrente nos indutores equilibrada, mesmo com degraus de carga. Foi mostrada uma comparação com outras estruturas, na qual o rendimento do conversor proposto ficou menor que estruturas propostas na literatura, alcançando um pico de 87,22%. No entanto, foi identificado que melhorias no protótipo permite alcançar rendimentos maiores. As aplicações com alta corrente de saída, como a abordada neste estudo, precisam de protótipos otimizados em termos de resistência de trilas e contato. O protótipo desenvolvido foi para validar conceito e pode ser otimizado em termos de perdas.

Como contribuições da tese, em um primeiro momento, foram apresentadas as análises dos conversores diferenciais abaixadores nas configurações *buck-buck*, apresentada brevemente em [41] e estudada a fundo neste trabalho, *boost-boost*, e *buck-boost-buck-boost*, estas duas últimas novas na literatura. Além disso, o conversor *buck-buck* foi validado através de simulações e resultados experimentais. Após isso, foram apresentadas as análises da conexão cascata da célula *ladder* de capacitor chaveado, que foi brevemente proposta em [23]. Ela foi validada por simulações e resultados experimentais. Também foi proposta a conexão mista da célula *ladder*, que é nova na literatura. Baseada nesta conexão e no conversor *buck* síncrono *interleaved* foi apresentada uma solução para conversão de 48 V para 1 V, onde foram validados os conceitos apresentados.

6.2 TRABALHOS FUTUROS

Em cada um dos capítulos, melhorias podem ser realizadas nos conversores propostos.

No Capítulo 3 os seguintes estudos e melhorias podem ser realizados no conversor *buck-buck*:

- Redução do filtro de saída;
- Controle da tensão de saída;

- Projeto e testes em diferentes taxas de conversão para verificar a eficiência, por exemplo, 400 V para 48 V.
- Integração com outros conversores e células de ganho para divisão dos esforços, por exemplo, capacitor chaveado na entrada e dobrador de corrente na saída.
- Estudo de outros conversores com saída diferencial.

No Capítulo 4, os seguintes estudos e melhorias podem ser realizados nos conversores *CSCC* e *MSCC*:

- Estudos de conversores híbridos na célula de saída;
- Projeto usando mais células em conversões como 400 V pra 50 V e 400 V para 3 V.
- Aumento na densidade de potência através do aumento da frequência de comutação e usando interruptores com tecnologias mais avançadas, como GaN e SiC.
- Supressão do efeito de *cross-talk* quando usado em tensões mais elevadas (acima das centenas de volts), através da construção de um protótipo otimizado e/ou o uso de *gate drivers* com grampeamento ativo.

No Capítulo 5, que apresenta resultados mais práticos, os seguintes itens podem ser estudados para um novo protótipo de forma a se elevar o rendimento e densidade de potência.

- Uso de frequência de comutação mais elevada através de interruptores do tipo GaN, diminuindo assim a capacitância e tamanho dos capacitores;
- Busca por circuitos de *gate drivers* integrados e de menor dimensão, como por exemplo os *bootstraps*;
- Otimização dos indutores de forma a se reduzir a resistência série;
- Otimização do número de fases do conversor *buck* síncrono *interleaved*;
- Análise de outros conversores na saída do *MSCC*;
- Otimização do número de estágios do *MSCC*;
- Uso de conversor híbrido na saída do *MSCC*;
- Projetos individual para cada estágio do *MSCC*;
- Construção dos dois conversores em um mesmo protótipo para evitar perdas em cabos e conexões;

- Usar placas de circuito impresso multicamadas e com várias onças de espessura no cobre para reduzir ao máximo as resistências de trilha;
- Usar as camadas internas na placa para trilhas de comando, e as externas com planos de potência. Além disso, buscar a menor distância possível nas ligações de potência, e evitar o uso de *jumpers*.

6.3 PUBLICAÇÕES RELACIONADAS A TESE

Uma publicação sobre os conversores diferenciais foi realizado no congresso *ECCE (Energy Conversion Congress and Exposition)* 2019, conforme [62].

Um artigo com uma comparação entre o *LSCC*, o *CSCC* e o *MSCC* foi apresentado no Congresso Brasileiro de Eletrônica de Potência (COBEP) 2021 [66].

Um artigo com as análises da conexão cascata está no acesso antecipado da revista Eletrônica de Potência, conforme [67].

Em 2022 se planeja enviar um artigo com os resultados do *MSCCBK* para revistas internacionais.

6.4 OUTRAS PUBLICAÇÕES

Durante o período de doutorado, também foram realizadas publicações em outras áreas. Na área de conversores CC-CC elevadores foram publicados artigos na revista *IEEE Transactions on Industrial Electronics* [68] e na revista Eletrônica de Potência [69]. Já na área de conversores a capacitor chaveado foi publicado [70] na revista Eletrônica de Potência. Por último na área de paralelismo de inversores de tensão foi publicado [71] na revista Eletrônica de Potência.

REFERÊNCIAS

- [1] D. Cao, X. Lyu, Y. Li, Z. Ni, J. Johnson, S. Jiang, and C. Nan, “An ultra efficient composite modular power delivery architecture for solar farm and data center,” in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 73–80, March 2018.
- [2] Y. Cui, W. Zhang, L. M. Tolbert, F. Wang, and B. J. Blalock, “Direct 400 v to 1 v converter for data center power supplies using gan fets,” in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, pp. 3460–3464, March 2014.
- [3] Y. Cui, F. Yang, L. M. Tolbert, D. J. Costinett, F. Wang, and B. J. Blalock, “Load-dependent soft-switching method of half-bridge current doubler for high-voltage point-of-load converter in data center power supplies,” *IEEE Transactions on Power Electronics*, vol. 32, pp. 2925–2938, April 2017.
- [4] S. Jiang, S. Saggin, C. Nan, X. Li, C. Chung, and M. Yazdani, “Switched tank converters,” *IEEE Transactions on Power Electronics*, vol. 34, no. 6, pp. 5048–5062, 2019.
- [5] IEA, “Data centres and data transmission networks.” <https://www.iea.org/reports/data-centres-and-data-transmission-networks>, Acesso em 19/01/2022, 2021.
- [6] C. Dumitrescu, A. Plesca, L. Dumitrescu, M. Adam, C. Nituca, and A. Dragomir, “Assessment of data center energy efficiency. methods and metrics,” in *2018 International Conference and Exposition on Electrical And Power Engineering (EPE)*, pp. 0487–0492, 2018.
- [7] ZEITEC, “Data center verde: eficiência energética para data centers.” <https://zeittec.com.br/data-center-verde-eficiencia-energetica-para-data-centers/>, 2020.

- [8] Google, “Eficiência dos data-centers..” <https://www.intel.com/content/dam/www/public/us/en/dguides/voltage-regulator-module-enterprise-voltage-regulator-down-10-0-guidelines.pdf>, Acesso em: 16/11/2021, 2022.
- [9] B. R. Shrestha, U. Tamrakar, T. M. Hansen, B. P. Bhattarai, S. James, and R. Tonkoski, “Efficiency and reliability analyses of ac and 380 v dc distribution in data centers,” *IEEE Access*, vol. 6, pp. 63305–63315, 2018.
- [10] A. Pratt, P. Kumar, and T. V. Aldridge, “Evaluation of 400v dc distribution in telco and data centers to improve energy efficiency,” in *INTELEC 07 - 29th International Telecommunications Energy Conference*, pp. 32–39, Sep. 2007.
- [11] M. Milad and M. Darwish, “Comparison between double conversion online ups and flywheel ups technologies in terms of efficiency and cost in a medium data centre,” in *2015 50th International Universities Power Engineering Conference (UPEC)*, pp. 1–5, 2015.
- [12] B. R. Shrestha, U. Tamrakar, T. M. Hansen, B. P. Bhattarai, S. James, and R. Tonkoski, “Efficiency and reliability analyses of ac and 380 v dc distribution in data centers,” *IEEE Access*, vol. 6, pp. 63305–63315, 2018.
- [13] H. Chen, W. Ahmad, Z. He, X. Zhang, and Z. Jiang, “Resonant switched capacitor dc-dc converter for data center applications,” in *2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe)*, pp. 1–8, 2021.
- [14] M. Gong, X. Zhang, and A. Raychowdhury, “Non-isolated 48v-to-1v heterogeneous integrated voltage converters for high performance computing in data centers,” in *2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 411–414, 2020.
- [15] Y. Nour, M. Orabi, and A. Lotfi, “Integrated zvs pol synchronous buck converter for portable applications,” in *Intelec 2010*, pp. 1–7, 2010.
- [16] W. Zhang, Y. Su, M. Mu, D. J. Gilham, Q. Li, and F. C. Lee, “High-density integration of high-frequency high-current point-of-load (pol) modules with planar inductors,” *IEEE Transactions on Power Electronics*, vol. 30, no. 3, pp. 1421–1431, 2015.
- [17] D. Canny, “Power-supply solutions for xilinx fpgas.” <https://www.maximintegrated.com/en/design/technical-documents/tutorials/5/5132.html>, Acesso em 10/11/2021, 2012.
- [18] D. Rudgins, “Power supply design considerations for modern fpgas.” <https://www.ti.com/lit/an/snoa864/snoa864.pdf>, Acesso em 10/11/2021, 2012.

- [19] L. Xiao, “Powering your fpga applications.” <https://www.powerselectronicsnews.com/powering-your-fpga-applications/>, Acesso em 10/11/2021, 2019.
- [20] S. Chalise, A. Golshani, S. R. Awasthi, S. Ma, B. R. Shrestha, L. Bajracharya, W. Sun, and R. Tonkoski, “Data center energy systems: Current technology and future direction,” in *2015 IEEE Power Energy Society General Meeting*, pp. 1–5, 2015.
- [21] W.-T. Kang, K. He, Y. Lei, H.-B. Li, Q. Xie, Y. Chen, and X.-Y. Chen, “A novel lvdc superconducting power distribution system for data center with power quality improvement and loss reduction,” *IEEE Transactions on Applied Superconductivity*, vol. 31, no. 8, pp. 1–4, 2021.
- [22] M. Dayarathna, Y. Wen, and R. Fan, “Data center energy consumption modeling: A survey,” *IEEE Communications Surveys Tutorials*, vol. 18, no. 1, pp. 732–794, 2016.
- [23] T. B. Lazzarin, C. Bharatiraja, and B. Lehman, “Direct 48v to 1v step-down dc-dc converter,” in *2018 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, pp. 1–6, Dec 2018.
- [24] X. Li and S. Jiang, “Google 48v power architecture.” url: <http://apec.dev.itwebs.com/Portals/0/APEC%202017%20Files/Plenary/APEC%20Plenary%20Google.pdf>, Acesso em: 14/07/2020, 2017.
- [25] Y. Cui, “High voltage point of load converter for data center power supplies.” Ph.D Dissertation, University of Tennessee, 2017.
- [26] Wiwynn, “48v: An improved power delivery system for data centers.” Wiwynn Corporation, url: <https://www.wiwynn.com/whitepapers/48v-an-improved-power-delivery-system-for-data-centers/>, Acesso em 16/07/2020, 2016.
- [27] Intel, “Voltage regulator module (vrm) and enterprise voltage regulator-down (evrd) 10.0.” <https://www.intel.com/content/dam/www/public/us/en/documents/design-guides/voltage-regulator-module-enterprise-voltage-regulator-down-10-0-guidelines.pdf>, Acesso em: 16/11/2021, 2005.
- [28] Y.-R. Yang, “A half-bridge llc resonant converter with loose-coupling transformer and transition capacitor,” in *2014 9th IEEE Conference on Industrial Electronics and Applications*, pp. 1344–1349, 2014.
- [29] M. H. Ahmed, F. C. Lee, and Q. Li, “Llc converter with integrated magnetics application for 48v rack architecture in future data centers,” in *2019 IEEE Conference on Power Electronics and Renewable Energy (CPERE)*, pp. 437–443, 2019.

- [30] S. Abedinpour, B. Bakkaloglu, and S. Kiaei, “A multistage interleaved synchronous buck converter with integrated output filter in 0.18 μm sige process,” *IEEE Transactions on Power Electronics*, vol. 22, no. 6, pp. 2164–2175, 2007.
- [31] A. De Nardo, N. Femia, G. Petrone, and G. Spagnuolo, “Optimal buck converter output filter design for point-of-load applications,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 4, pp. 1330–1341, 2010.
- [32] Y. Chen, D. M. Giuliano, and M. Chen, “Two-stage 48v-1v hybrid switched-capacitor point-of-load converter with 24v intermediate bus,” in *2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL)*, pp. 1–8, 2020.
- [33] R. Das and H.-P. Le, “A regulated 48v-to-1v/100a 90.9converter for pol applications in data centers and telecommunication systems,” in *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1997–2001, 2019.
- [34] M. Choi and D.-K. Jeong, “18.6 a 92.8half-bridge dc-dc converter with balanced voltage on a flying capacitor,” in *2020 IEEE International Solid- State Circuits Conference - (ISSCC)*, pp. 296–298, 2020.
- [35] X. Zhang, B. Nguyen, A. Ferencz, T. Takken, R. Senger, and P. Coteus, “A 12- or 48-v input, 0.9-v output active-clamp forward converter power block for servers and datacenters,” *IEEE Transactions on Power Electronics*, vol. 35, no. 2, pp. 1721–1731, 2020.
- [36] J. Tucker, “Understanding output voltage limitations of dc/dc buck converters..” <https://www.ti.com/lit/an/slyt293/slyt293.pdf>, Acesso em: 16/04/2022, 2008.
- [37] K. I. Hwu, W. Z. Jiang, and Y. T. Yau, “Ultrahigh step-down converter,” *IEEE Transactions on Power Electronics*, vol. 30, no. 6, pp. 3262–3274, 2015.
- [38] S. Xu, L. Chang, and R. Shao, “Single-phase voltage source inverter with voltage boosting and power decoupling capabilities,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 2977–2988, 2020.
- [39] G. V. Silva, J. M. de Andrade, R. F. Coelho, and T. B. Lazzarin, “Switched-capacitor differential boost inverter: Design, modeling, and control,” *IEEE Transactions on Industrial Electronics*, vol. 67, no. 7, pp. 5421–5431, 2020.
- [40] J. Melo de Andrade, M. A. Salvador, R. F. Coelho, and T. B. Lazzarin, “General method for synthesizing high gain step-up dc-dc converters based on differential connections,” *IEEE Transactions on Power Electronics*, pp. 1–1, 2020.
- [41] Jongwoo Bae, B. L. H. Nguyen, and Honnyoung Cha, “A novel battery formation equipment using two-stage differential buck converter,” in *2016 IEEE Transportation*

- Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific)*, pp. 740–744, June 2016.
- [42] M. Forouzesh, Y. P. Siwakoti, S. A. Gorji, F. Blaabjerg, and B. Lehman, “Step-up dc–dc converters: A comprehensive review of voltage-boosting techniques, topologies, and applications,” *IEEE Transactions on Power Electronics*, vol. 32, pp. 9143–9178, Dec 2017.
- [43] S. Li, W. Xie, and K. M. Smedley, “A family of an automatic interleaved dickson switched-capacitor converter and its zvs resonant configuration,” *IEEE Transactions on Industrial Electronics*, vol. 66, pp. 255–264, Jan 2019.
- [44] M. D. Seeman and S. R. Sanders, “Analysis and optimization of switched-capacitor dc–dc converters,” *IEEE Transactions on Power Electronics*, vol. 23, pp. 841–851, March 2008.
- [45] N. C. Pont, G. Waltrich, and T. B. Lazzarin, “Transformerless step-up inverter based on switched-capacitor converter technology,” *Eletrônica de Potência*, vol. 22, pp. 269–278, Sept. 2017.
- [46] R. L. Andersen, T. B. Lazzarin, and I. Barbi, “A 1-kw step-up/step-down switched-capacitor ac–ac converter,” *IEEE Transactions on Power Electronics*, vol. 28, pp. 3329–3340, July 2013.
- [47] R. L. S. Junior, “Fonte auxiliar alimentada em média tensão baseada na integração do conversor forward com células de capacitor chaveado,” *Dissertação de Mestrado*, 2018.
- [48] M. Vecchia, J. Andrade, N. Pont, A. Kirsten, and T. Lazzarin, “Proposal, analysis and experimental verification of nonisolated dc-dc converters conceived from an active switched-capacitor commutation cell,” *Eletrônica de Potência*, vol. 24, pp. 403–412, 12 2019.
- [49] J. C. Dias and T. B. Lazzarin, “Single-phase hybrid boost ac–dc converters with switched-capacitor cells and reduced switch count,” *IEEE Transactions on Industrial Electronics*, vol. 68, no. 8, pp. 6710–6720, 2021.
- [50] S. Ben-Yaakov, “Behavioral average modeling and equivalent circuit simulation of switched capacitors converters,” *IEEE Transactions on Power Electronics*, vol. 27, pp. 632–636, Feb 2012.
- [51] F. S. Alargt, A. S. Ashur, and A. H. Kharaz, “Adaptive delta modulation controller for interleaved buck dc-dc converter,” in *2017 52nd International Universities Power Engineering Conference (UPEC)*, pp. 1–6, 2017.

- [52] A. Garg and M. Das, “High efficiency three phase interleaved buck converter for fast charging of ev,” in *2021 1st International Conference on Power Electronics and Energy (ICPEE)*, pp. 1–5, 2021.
- [53] P. Azer and A. Emadi, “Generalized state space average model for multi-phase interleaved buck, boost and buck-boost dc-dc converters: Transient, steady-state and switching dynamics,” *IEEE Access*, vol. 8, pp. 77735–77745, 2020.
- [54] X. Li and S. Jiang, “Efficiency of synchronous versus nonsynchronous buck converters.” file:///D:/Downloads Acesso em: 08/11/2021, 2009.
- [55] H. Eraydin and A. F. Bakan, “Efficiency comparison of asynchronous and synchronous buck converter,” in *2020 6th International Conference on Electric Power and Energy Conversion Systems (EPECS)*, pp. 30–33, 2020.
- [56] R. Giral, L. Martinez-Salamero, and S. Singer, “Interleaved converters operation based on cmc,” *IEEE Transactions on Power Electronics*, vol. 14, no. 4, pp. 643–652, 1999.
- [57] W. Chen, “High efficiency, high density, polyphase converters for high current applications.” <https://www.analog.com/media/en/technical-documentation/application-notes/an77f.pdf>, Acesso em 09/11/2021, 1999.
- [58] A. Ayachit and M. K. Kazimierczuk, “Power losses and efficiency analysis of the quadratic buck converter in ccm,” in *2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 463–466, 2014.
- [59] M. K. kazimierczuk, *Pulse-width Modulated DC–DC Power Converters*. Wiley, 1ed ed., 2008.
- [60] D. C. Martins and I. Barbi, *Eletrônica de potência: Conversores CC-CC não Isolados*. 3 ed., 2008.
- [61] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*. Springer, 2 ed., 2001.
- [62] N. C. Dal Pont, J. Melo Andrade, M. S. Dall’Asta, T. Brunelli Lazzarin, and B. Lehman, “400 v to 12 v step-down dc-dc power converter based on the differential concept,” in *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1269–1274, Sep. 2019.
- [63] D. C. Martins and I. Barbi, *Transistores de Potência*. 1 ed., 2019.
- [64] P. Wang, L. Zhang, X. Lu, H. Sun, W. Wang, and D. Xu, “An improved active crosstalk suppression method for high-speed sic mosfets,” *IEEE Transactions on Industry Applications*, vol. 55, no. 6, pp. 7736–7744, 2019.

- [65] K. Ogata, *Modern Control Engineering*. Prattice Hall, 3 ed., 1997.
- [66] N. C. Dal Pont, T. B. Lazzarin, and B. Lehman, “Different methods to connect switched capacitor ladder cells to provide high-step-down converters,” in *2021 Brazilian Power Electronics Conference (COBEP)*, pp. 1–6, 2021.
- [67] N. C. Dal Pont, M. D. Vecchia, and T. B. Lazzarin, “Célula ladder de capacitor chaveado em conexão cascata,” *Eletrônica de Potência*, vol. 26, pp. 1–11, Dez. 2021.
- [68] N. C. D. Pont, D. G. Bandeira, T. B. Lazzarin, and I. Barbi, “A zvs apwm half-bridge parallel resonant dc–dc converter with capacitive output,” *IEEE Transactions on Industrial Electronics*, vol. 66, no. 7, pp. 5231–5241, 2019.
- [69] N. C. D. Pont, D. G. Bandeira, T. B. Lazzarin, and I. Barbi, “Conversor cc-cc paralelo ressonante meia ponte assimétrico com saída em tensão,” *Eletrônica de Potência*, vol. 23, pp. 108–117, Mar. 2018.
- [70] M. D. Vecchia, J. M. Andrade, N. C. D. Pont, A. L. Kirsten, and T. B. Lazzarin, “Proposal, analysis and experimental verification of nonisolated dc-dc converters conceived from an active switched-capacitor commutation cell,” *Eletrônica de Potência*, vol. 24, pp. 403–413, Dez. 2019.
- [71] C. A. Albugeri, N. C. D. Pont, T. K. Jappe, S. A. Mussa, and T. B. Lazzarin, “Control system for multi-inverter parallel operation in uninterruptible power systems,” *Eletrônica de Potência*, vol. 24, pp. 37–47, Mar. 2019.

■■■■■■■■■■ APÊNDICE A ■■■■■■■■■■

PLANILHA DE COMPARAÇÃO ENTRE
TOPOLOGIAS A CAPACITOR CHAVEADO

Comparação de topologias de capacitor chaveado

Especificações de projeto

$$V_i := 48V \quad \text{Tensão de entrada}$$

$$V_o := \frac{48}{16}V = 3V \quad \text{Tensão de saída}$$

$$P_o := 30W \quad \text{Potência de saída}$$

$$I_i := \frac{P_o}{V_i} = 0.625A \quad \text{Corrente de entrada}$$

$$I_o := \frac{P_o}{V_o} = 10A \quad \text{Corrente de saída}$$

$$R_o := \frac{V_o}{I_o} = 0.3\Omega \quad \text{Carga nominal}$$

$$D := 0.5 \quad \text{Razão cíclica}$$

Dados dos interruptores

$$R_{son} := 0.0016\Omega \quad \text{Resistência dos interruptores}$$

$$C_{oss} := 1200pF \quad \text{Capacitância de saída}$$

MOSFET: BSC016N06NST

$$t_r := 9ns \quad \text{Tempo de subida}$$

$$t_f := 9ns \quad \text{Tempo de descida}$$

Parâmetros de projeto

$$f_{s\tau} := 0.3 \quad \text{Produto } f_{s\tau}$$

$$f_{sc} := 160kHz \quad \text{Frequência de comutação dos estágios a capacitor chaveado}$$

$$T_{sc} := \frac{1}{f_{sc}} = 6.25\mu s \quad \text{Período de comutação}$$

$$R_{scp} := 2 \cdot R_{son} = 3.2 \times 10^{-3}\Omega \quad \text{Resistância equivalente de projeto}$$

$$C_{scmin} := \frac{f_{s\tau}}{R_{scp} \cdot f_{sc}} = 585.9375 \mu F \quad \text{Capacitância para o } f_{s\tau} \text{ desejado}$$

Dados do capacitores

$$C_{sc} := 6 \cdot 100\mu F = 600\mu F \quad \text{Capacitância escolhida}$$

$$R_{esr} := 3 \times 10^{-3}\Omega \quad \text{Resistência dos capacitores}$$

**Capacitores: CKG57NX7S1C107M500JH
(6 em paralelo)**

$$R_{sc} := R_{scp} \quad \text{Resistência série}$$

$$f_{s\tau f} := f_{sc} \cdot C_{sc} \cdot (R_{scp}) = 0.3072 \quad \text{Produto } f_{s\tau} \text{ com os componentes escolhidos}$$

3L+2C (Ladder entrada cascata saída)

Parâmetros

$$N_{ldl} := 3 \quad \text{Número de estágios ladder}$$

$$N_{cl} := 2 \quad \text{Número de estágios cascata}$$

$$G_{ld1} := \frac{1}{N_{ld1} + 1} = 0.25$$

Ganho estgios ladder

$$G_{c1} := \frac{1}{2^{N_{c1}}} = 0.25$$

Ganho estgios em cascata

$$G_{tot} := G_{ld1} \cdot G_{c1} = 0.0625$$

Ganho total

Nmero de componentes

$$N_{Sld1} := 2 \cdot (N_{ld1} + 1) = 8$$

Nmero de interruptores estgio ladder

$$N_{Cld1} := 2 \cdot N_{ld1} + 1 = 7$$

Nmero de capacitores estgio ladder

$$N_{Sc1} := 4 \cdot N_{c1} = 8$$

Nmero de interruptores estgio cascata

$$N_{Cc1} := 2 \cdot N_{c1} + 1 = 5$$

Nmero de capacitores estgio cascata

$$N_{Stot1} := N_{Sld1} + N_{Sc1} = 16$$

Nmero de interruptores total

$$N_{Ctot1} := N_{Cld1} + N_{Cc1} = 12$$

Nmero de capacitores total

Esforos

$$V_{ld1} := G_{ld1} \cdot V_i = 12 \text{ V}$$

Tenso de sada do estgio ladder

$$V_{c1} := G_{c1} \cdot V_{ld1} = 3 \text{ V}$$

Tenso de sada dos estgios cascata

$$I_{old} := \frac{P_o}{V_{ld1}} = 2.5 \text{ A}$$

Corrente de sada do estgio ladder

$$I_{Smdl1} := 0.68 \text{ A} = 0.68 \text{ A}$$

Corrente mdia nos interruptores do estgio ladder

$$I_{Smdl2} := 1.83 \text{ A} = 1.83 \text{ A}$$

Corrente mdia nos interruptores de sada do estgio ladder

$$I_{Srmsld1} := 1.22 \text{ A} = 1.22 \text{ A}$$

Corrente eficaz nos interruptores do estgio ladder

$$I_{Srmsld2} := 2.87 \text{ A} = 2.87 \text{ A}$$

Corrente eficaz nos interruptores de sada do estgio ladder

$$I_{Smdc1} := 2.48 \text{ A} = 2.48 \text{ A}$$

Corrente mdia nos interruptores do estgio cascata 1

$$I_{Srmsc1} := 3.6 \text{ A} = 3.6 \text{ A}$$

Corrente eficaz nos interruptores do estgio cascata 1

$$I_{Smdc2} := 4.96 \text{ A} = 4.96 \text{ A}$$

Corrente mdia nos interruptores do estgio cascata 2

$$I_{Srmsc2} := 7.16 \text{ A} = 7.16 \text{ A}$$

Corrente eficaz nos interruptores do estgio cascata 2

$$V_{vld1} := V_{ld1} = 12 \text{ V}$$

Tenso nos componentes do estgio ladder

$$V_{vc1} := \frac{V_{ld1}}{2} = 6 \text{ V}$$

Tenso nos componentes do estgio cascata 1

$$V_{vc2} := \frac{V_{vc1}}{2} = 3 \text{ V}$$

Tenso nos componentes do estgio cascata 2

Perdas do estágio a capacitor chaveado

$$P_{csc1} := R_{son} \cdot (6 \cdot I_{Srmsld1}^2 + 2 \cdot I_{Srmsld2}^2 + 4 \cdot I_{Srmsc1}^2 + 4 \cdot I_{Srmsc2}^2) = 0.45169 \text{ W} \quad \text{Perdas de condução}$$

$$P_{ssc1} := \left(\frac{t_r + t_f}{2} \right) \cdot f_{sc} \cdot (6 V_{ld1} \cdot I_{Smdl1} + 2 \cdot V_{ld1} \cdot I_{Smdl2} + 4 V_{vc1} \cdot I_{Smdc1} + 4 V_{vc2} \cdot I_{Smdc2}) = 0.30516 \text{ W} \quad \text{Perdas de comutação}$$

$$P_{cap1} := \frac{1}{2} \cdot C_{oss} \cdot f_{sc} \cdot (8 \cdot V_{ld1}^2 + 4 \cdot V_{vc1}^2 + 4 V_{vc2}^2) = 0.12787 \text{ W} \quad \text{Perdas de comutação (capacitâncias)}$$

$$P_{totc1} := P_{csc1} + P_{ssc1} + P_{cap1} = 0.88473 \text{ W} \quad \text{Perdas de totais no SCC}$$

$$\eta_{scc1} := \frac{P_o}{P_o + P_{totc1}} = 0.97135 \quad \text{Rendimento do SCC}$$

4C (4 cascata)

Parâmetros

$$N_{c2} := 4 \quad \text{Número de estágios cascata}$$

$$G_{c2} := \frac{1}{2^{N_{c2}}} = 0.0625 \quad \text{Ganho estágios em cascata}$$

Número de componentes

$$N_{Sc2} := 4 \cdot N_{c2} = 16 \quad \text{Número de interruptores estágio cascata}$$

$$N_{Cc2} := 2 \cdot N_{c2} + 1 = 9 \quad \text{Número de capacitores estágio cascata}$$

Esforços

$$V_{c2} := G_{c2} \cdot V_i = 3 \text{ V} \quad \text{Tensão de saída dos estágios cascata}$$

$$I_{Smdc3} := 0.63 \text{ A} = 0.63 \text{ A} \quad \text{Corrente média nos interruptores do estágio cascata 1}$$

$$I_{Srmsc3} := 0.90 \text{ A} = 0.9 \text{ A} \quad \text{Corrente eficaz nos interruptores do estágio cascata 1}$$

$$I_{Smdc4} := 1.24 \text{ A} = 1.24 \text{ A} \quad \text{Corrente média nos interruptores do estágio cascata 2}$$

$$I_{Srmsc4} := 1.80 \text{ A} = 1.8 \text{ A} \quad \text{Corrente eficaz nos interruptores do estágio cascata 2}$$

$$I_{Smdc5} := 2.48 \text{ A} = 2.48 \text{ A} \quad \text{Corrente média nos interruptores do estágio cascata 3}$$

$$I_{Srmsc5} := 3.60 \text{ A} = 3.6 \text{ A} \quad \text{Corrente eficaz nos interruptores do estágio cascata 3}$$

$$I_{Smdc6} := 4.97 \text{ A} = 4.97 \text{ A} \quad \text{Corrente média nos interruptores do estágio cascata 3}$$

$$I_{Srmsc6} := 7.16 \text{ A} = 7.16 \text{ A} \quad \text{Corrente eficaz nos interruptores do estágio cascata 3}$$

$$V_{vc3} := \frac{V_i}{2} = 24 \text{ V} \quad \text{Tensão nos componentes do estágio cascata 1}$$

$$V_{vc4} := \frac{V_{vc3}}{2} = 12 \text{ V} \quad \text{Tensão nos componentes do estágio cascata 2}$$

$$V_{vc5} := \frac{V_{vc4}}{2} = 6 \text{ V} \quad \text{Tensão nos componentes do estágio cascata 3}$$

$$V_{vc6} := \frac{V_{vc5}}{2} = 3 \text{ V} \quad \text{Tensão nos componentes do estágio cascata 4}$$

Perdas do estágio a capacitor chaveado

$$P_{csc2} := R_{son} \left(4 \cdot I_{Srmc3}^2 + 4 \cdot I_{Srmc4}^2 + 4 \cdot I_{Srmc5}^2 + 4 \cdot I_{Srmc6}^2 \right) = 0.43696 \text{ W} \quad \text{Perdas de condução}$$

$$P_{ssc2} := \left(\frac{t_r + t_f}{2} \right) \cdot f_{sc} \cdot \left(4V_{vc3} \cdot I_{Smc3} + 4V_{vc4} \cdot I_{Smc4} + 4V_{vc5} \cdot I_{Smc5} + 4V_{vc6} \cdot I_{Smc6} \right) = 0.34439 \text{ W} \quad \text{Perdas de comutação}$$

$$P_{cap2} := \frac{1}{2} \cdot C_{oss} \cdot f_{sc} \cdot \left(4 \cdot V_{vc3}^2 + 4V_{vc4}^2 + 4V_{vc5}^2 + 4V_{vc6}^2 \right) = 0.29376 \text{ W} \quad \text{Perdas de comutação (capacitâncias)}$$

$$P_{totc2} := P_{csc2} + P_{ssc2} + P_{cap2} = 1.07511 \text{ W} \quad \text{Perdas de totais no SCC}$$

$$\eta_{scc2} := \frac{P_o}{P_o + P_{totc2}} = 0.9654 \quad \text{Rendimento do SCC}$$

15L (15 Ladder)

Parâmetros

$$N_{ld2} := 15 \quad \text{Número de estágios ladder 1}$$

$$G_{ld2} := \frac{1}{N_{ld2} + 1} = 0.0625 \quad \text{Ganho estágios ladder 1}$$

Número de componentes

$$N_{Sld2} := 2 \cdot (N_{ld2} + 1) = 32 \quad \text{Número de interruptores estágio ladder}$$

$$N_{Cld2} := 2 \cdot N_{ld2} + 1 = 31 \quad \text{Número de capacitores estágio ladder}$$

Esforços

$$V_{ld2} := G_{ld2} \cdot V_i = 3 \text{ V} \quad \text{Tensão de saída do estágio ladder 1}$$

$$I_{old2} := \frac{P_o}{V_{ld2}} = 10 \text{ A} \quad \text{Corrente de saída do estágio ladder 1}$$

$$I_{Smdl31} := 0.43 \text{ A} = 0.43 \text{ A} \quad \text{Corrente média nos interruptores do estágio ladder}$$

$$I_{Smdl32} := 7.74 \text{ A} = 7.74 \text{ A} \quad \text{Corrente média nos interruptores de saída do estágio ladder}$$

$$I_{Srmsld31} := 2 \text{ A} = 2 \text{ A} \quad \text{Corrente eficaz nos interruptores do estágio ladder}$$

$$I_{Srmsld32} := 15.2 \text{ A} = 15.2 \text{ A} \quad \text{Corrente eficaz nos interruptores de saída do estágio ladder}$$

$$V_{vld2} := V_{ld2} = 3 \text{ V} \quad \text{Tensão nos componentes do estágio ladder 1}$$

Perdas do estágio a capacitor chaveado

$$P_{csc3} := R_{son} \cdot (30 \cdot I_{Srmsld31}^2 + 2 \cdot I_{Srmsld32}^2) = 0.93133 \text{ W} \quad \text{Perdas de condução}$$

$$P_{ssc3} := \left(\frac{t_r + t_f}{2} \right) \cdot f_{sc} \cdot (30 V_{ld2} \cdot I_{Smdl31} + 2 \cdot V_{ld2} \cdot I_{Smdl32}) = 0.1226 \text{ W} \quad \text{Perdas de comutação}$$

$$P_{cap3} := \frac{1}{2} \cdot C_{oss} \cdot f_{sc} \cdot (32 V_{ld2}^2) = 0.02765 \text{ W} \quad \text{Perdas de comutação (capacitâncias)}$$

$$P_{totc3} := P_{csc3} + P_{ssc3} + P_{cap3} = 1.08158 \text{ W} \quad \text{Perdas de totais no SCC}$$

$$\eta_{scc3} := \frac{P_o}{P_o + P_{totc3}} = 0.9652 \quad \text{Rendimento do SCC}$$

■■■■■■■■■■ APÊNDICE B ■■■■■■■■■■

PLANILHA DE PROJETO DO MSCC E DO
BKSI

PROJETO DO LCSCC

Especificações de projeto

$$V_i := 48V \quad \text{Tensão de entrada}$$

$$V_o := \frac{V_i}{16} = 3V \quad \text{Tensão de saída}$$

$$P_o := 30W \quad \text{Potência de saída}$$

$$I_i := \frac{P_o}{V_i} = 0.625A \quad \text{Corrente de entrada}$$

$$I_o := \frac{P_o}{V_o} = 10A \quad \text{Corrente de saída}$$

$$R_o := \frac{V_o}{I_o} = 0.3\Omega \quad \text{Carga nominal}$$

$$D := 0.5 \quad \text{Razão cíclica}$$

Projeto do conversor a capacitor chaveado

Dados dos interruptores

$$R_{son} := 0.0016\Omega \quad \text{Resistência dos interruptores}$$

$$C_{oss} := 1200pF \quad \text{Capacitância de saída}$$

MOSFET: BSC016N06NST

$$t_r := 9ns \quad \text{Tempo de subida}$$

$$t_f := 9ns \quad \text{Tempo de descida}$$

Parâmetros de projeto

$$f_{s\tau} := 0.3 \quad \text{Produto } f_{s\tau}$$

$$f_{sc} := 160kHz \quad \text{Frequência de comutação dos estágios a capacitor chaveado}$$

$$T_{sc} := \frac{1}{f_{sc}} = 6.25 \cdot \mu s \quad \text{Período de comutação}$$

$$R_{scp} := 2 \cdot R_{son} = 3.2 \times 10^{-3}\Omega \quad \text{Resistência equivalente de projeto}$$

$$C_{scmin} := \frac{f_{s\tau}}{R_{scp} \cdot f_{sc}} = 585.9375 \cdot \mu F \quad \text{Capacitância para o } f_{s\tau} \text{ desejado}$$

Dados do capacitores

$$C_{sc} := 6 \cdot 100\mu F = 600 \cdot \mu F \quad \text{Capacitância escolhida}$$

$$R_{esr} := 3 \times 10^{-3}\Omega \quad \text{Resistência dos capacitores}$$

**Capacitores: CKG57NX7S1C107M500JH
(6 em paralelo)**

$$R_{sc} := R_{scp} \quad \text{Resistência série}$$

$$f_{s\tau f} := f_{sc} \cdot C_{sc} \cdot (R_{scp}) = 0.3072 \quad \text{Produto } f_{s\tau} \text{ com os componentes escolhidos}$$

Parâmetros

$$N_{ldl} := 3 \quad \text{Número de estágios ladder}$$

$$N_{cl} := 2 \quad \text{Número de estágios cascata}$$

$$G_{ld1} := \frac{1}{N_{ld1} + 1} = 0.25$$

Ganho estgios ladder

$$G_{c1} := \frac{1}{2^{N_{c1}}} = 0.25$$

Ganho estgios em cascata

$$G_{tot} := G_{ld1} \cdot G_{c1} = 0.0625$$

Ganho total

Nmero de componentes

$$N_{Sld1} := 2 \cdot (N_{ld1} + 1) = 8$$

Nmero de interruptores estgio ladder

$$N_{Cld1} := 2 \cdot N_{ld1} = 6$$

Nmero de capacitores estgio ladder

$$N_{Sc1} := 4 \cdot N_{c1} = 8$$

Nmero de interruptores estgio ladder

$$N_{Cc1} := 2 \cdot N_{c1} + 1 = 5$$

Nmero de capacitores estgio cascata

$$N_{Stot1} := N_{Sld1} + N_{Sc1} = 16$$

Nmero de interruptores total

$$N_{Ctot1} := N_{Cld1} + N_{Cc1} = 11$$

Nmero de capacitores total

Esforos

$$V_{ld1} := G_{ld1} \cdot V_i = 12 \text{ V}$$

Tenso de sada do estgio ladder

$$V_{c1} := G_{c1} \cdot V_{ld1} = 3 \text{ V}$$

Tenso de sada dos estgios cascata

$$I_{old} := \frac{P_o}{V_{ld1}} = 2.5 \text{ A}$$

Corrente de sada do estgio ladder

$$I_{Smdl1} := D \cdot \frac{I_{old}}{2} = 0.625 \text{ A}$$

Corrente mdia nos interruptores do estgio ladder

$$I_{Smdl2} := D \cdot \frac{3 \cdot I_{old}}{2} = 1.875 \text{ A}$$

Corrente mdia nos interruptores de sada do estgio ladder

$$I_{Srmsl1} := \sqrt{D} \cdot \frac{I_{old}}{2} = 0.88388 \text{ A}$$

Corrente eficaz nos interruptores do estgio ladder

$$I_{Srmsl2} := \sqrt{D} \cdot \frac{3 \cdot I_{old}}{2} = 2.65165 \text{ A}$$

Corrente eficaz nos interruptores de sada do estgio ladder

$$I_{Crmsl1} := \frac{1}{4} \cdot I_{old} = 0.625 \text{ A}$$

Corrente eficaz nos capacitores de entrada do estgio ladder

$$I_{Crmsl2} := \frac{2}{4} \cdot I_{old} = 1.25 \text{ A}$$

Corrente eficaz nos capacitores de entrada do estgio ladder

$$I_{Crmsl3} := \frac{3}{4} \cdot I_{old} = 1.875 \text{ A}$$

Corrente eficaz nos capacitores de entrada do estgio ladder

$$I_{Smdl1} := D \cdot \frac{I_o}{2} = 2.5 \text{ A}$$

Corrente mdia nos interruptores do estgio cascata 1

$$I_{Srmsc1} := \sqrt{D} \cdot \frac{I_o}{2} = 3.53553 \text{ A}$$

Corrente eficaz nos interruptores do estgio cascata 1

$$I_{Crmsc1} := \frac{1}{2} \cdot \frac{I_o}{2} = 2.5 \text{ A}$$

Corrente eficaz nos capacitores do estgio cascata 1

$$I_{Smdc2} := D \cdot I_o = 5 \text{ A}$$

Corrente média nos interruptores do estágio cascata 2

$$I_{SrmSC2} := \sqrt{D} \cdot I_o = 7.07107 \text{ A}$$

Corrente eficaz nos interruptores do estágio cascata 2

$$I_{Crmsc2} := \frac{I_o}{2} = 5 \text{ A}$$

Corrente eficaz nos capacitores do estágio cascata 2

$$V_{vld1} := V_{ld1} = 12 \text{ V}$$

Tensão nos componentes do estágio ladder

$$V_{vc1} := \frac{V_{ld1}}{2} = 6 \text{ V}$$

Tensão nos componentes do estágio cascata 1

$$V_{vc2} := \frac{V_{vc1}}{2} = 3 \text{ V}$$

Tensão nos componentes do estágio cascata 2

Perdas do estágio a capacitor chaveado

$$P_{csc1} := R_{son} \cdot (6 \cdot I_{Srmsld1}^2 + 2 \cdot I_{Srmsld2}^2 + 4 \cdot I_{SrmSC1}^2 + 4 \cdot I_{SrmSC2}^2) = 0.43 \text{ W}$$

Perdas de condução

$$P_{ssc1} := 2 \left(\frac{t_r + t_f}{2} \right) \cdot f_{sc} \cdot (6V_{ld1} \cdot I_{Smdld1} + 2 \cdot V_{ld1} \cdot I_{Smdld2} + 4V_{vc1} \cdot I_{Smdc1} + 4V_{vc2} \cdot I_{Smdc2}) = 0.6048 \text{ W}$$

Perdas de comutação

$$P_{cap1} := \frac{1}{2} \cdot C_{oss} \cdot f_{sc} \cdot (8 \cdot V_{ld1}^2 + 4 \cdot V_{vc1}^2 + 4V_{vc2}^2) = 0.12787 \text{ W}$$

Perdas de comutação (capacitâncias)

$$P_{cesr2} := 5R_{esr} \left[2 \cdot \left(\frac{I_{Crmsl1}}{6} \right)^2 + 2 \cdot \left(\frac{I_{Crmsl2}}{6} \right)^2 + 2 \cdot \left(\frac{I_{Crmsl3}}{6} \right)^2 + 2 \cdot \left(\frac{I_{Crmsc1}}{6} \right)^2 + 2 \cdot \left(\frac{I_{Crmsc2}}{6} \right)^2 \right] = 0.0306 \text{ W}$$

Perdas nas resistências série dos capacitores (teórico)

$$P_{totc1} := P_{csc1} + P_{ssc1} + P_{cap1} + P_{cesr2} = 1.19327 \text{ W}$$

Perdas de totais no SCC

$$\eta_{scc1} := \frac{P_o}{P_o + P_{totc1}} = 0.96175$$

Rendimento do SCC

Cálculo dos resistores de descarga

$$\tau_d := 30 \text{ s}$$

Tempo de descarga

$$R_{dsc} := \frac{\tau_d}{C_{sc}} = 50 \cdot \text{k}\Omega$$

Resistor calculado

$$R_{ds} := 100 \text{ k}\Omega$$

Resistor usado

$$P_{rd} := \frac{V_i^2}{2R_{ds}} = 0.01152 \text{ W}$$

Potência dissipada nos resistores

Projeto do conversor buck síncrono 3 interleaving

Especificações de projeto

$$V_{ib} := 3 \text{ V}$$

Tensão de entrada

$$V_{ob} := 1 \text{ V}$$

Tensão de saída diferencial

$$P_{ob} := 30 \text{ W}$$

Potência de saída

$$I_{ob} := \frac{P_{ob}}{V_{ob}} = 30 \text{ A}$$

Corrente de saída

$$R_{ob} := \frac{V_{ob}}{I_{ob}} = 0.03333 \Omega$$

Resistência de saída

$$f_{sb} := 160 \text{ kHz}$$

Frequência de comutação

$$D_{sp} := \frac{V_{ob}}{V_{ib}} = 0.33333$$

Razão cíclica

$$\Delta I_{L\%} := 10$$

Ondulação de corrente percentual

$$\Delta V_{C\%} := 1$$

Ondulação de tensão percentual

Dados dos interruptores

$$R_{dsonb} := 0.0016 \Omega$$

Resistência dos interruptores

$$C_{ossb} := 1200 \text{ pF}$$

Capacitância de saída

MOSFET: BSC016N06NST

$$t_{rb} := 9 \text{ ns}$$

Tempo de subida

$$t_{fb} := 9 \text{ ns}$$

Tempo de descida

Projeto do conversor buck síncrono

$$I_{L3} := \frac{I_{ob}}{3} = 10 \text{ A}$$

Corrente média no indutor

$$\Delta I_{L3} := \frac{\Delta I_{L\%}}{100} \cdot I_{L3} = 1 \text{ A}$$

Ondulação de corrente absoluta

$$\Delta V_{C3} := \frac{\Delta V_{C\%}}{100} \cdot V_o = 0.03 \text{ V}$$

Ondulação de tensão absoluta

$$L_{bc3} := \frac{V_{ib} \cdot D_{sp} \cdot (1 - D_{sp})}{\Delta I_{L3} \cdot f_{sb}} = 4.16667 \cdot \mu\text{F}$$

Indutância calculada

$$L_{b3} := 10 \mu\text{H}$$

Indutância usada

$$C_{bc3} := \frac{V_{ib}}{96 \cdot L_{b3} \cdot f_{sb}^2 \cdot \Delta V_{C3}} = 4.06901 \cdot \mu\text{F}$$

Capacitância calculada

$$C_{b3} := 100 \mu\text{F}$$

Capacitância usada

Projeto do indutor

$$L_b := 10 \mu\text{H}$$

Indutância (+ ou - 20%)

$$\Delta I_L := \frac{V_{ib} \cdot D_{sp} \cdot (1 - D_{sp})}{L_b \cdot f_{sb}} = 0.41667 \text{ A}$$

Ondulação de corrente para a indutância escolhida

INDUTOR: HCMA1707-100-R

$$R_L := 0.01 \Omega$$

Resistência série máxima

$$K_L := 47$$

Fator para o cálculo da variação de fluxo

$$B_{pp} := K_L \cdot L_b \cdot \Delta I_L \cdot 10^6 = 195.83333 \text{ Wb}$$

Variação de fluxo

$$P_n := 10 \text{ mW} = 0.01 \text{ W}$$

Perdas no núcleo em 100 kHz (datasheet)

Cálculo de perdas

$$I_{ef13} := \sqrt{D_{sp}} \cdot I_{L3} = 5.7735 \text{ A} \quad \text{Corrente eficaz nos interruptores superiores}$$

$$I_{ef23} := \sqrt{1 - D_{sp}} \cdot I_{L3} = 8.16497 \text{ A} \quad \text{Corrente eficaz nos interruptores inferiores}$$

$$P_{cd3} := 3R_{dsonb} \cdot I_{ef13}^2 + 3R_{dsonb} \cdot I_{ef23}^2 = 0.48 \text{ W} \quad \text{Perdas de condução}$$

$$P_{sw3} := 6 \cdot I_{L3} \cdot V_{ib} \cdot \left(\frac{t_{rb} + t_{fb}}{2} \right) \cdot f_{sb} = 0.2592 \text{ W} \quad \text{Perdas de comutação}$$

$$P_{cap3} := 6 \cdot C_{ossb} \cdot f_{sb} \cdot V_{ib}^2 = 0.01037 \text{ W} \quad \text{Perdas capacitivas}$$

$$P_{ts3} := P_{cd3} + P_{sw3} + P_{cap3} = 0.74957 \text{ W} \quad \text{Perdas totais nos interruptores}$$

$$P_{cdl3} := 3R_L \cdot I_{L3}^2 = 3 \text{ W} \quad \text{Perdas de condução no indutor}$$

$$P_{tl3} := P_{cdl3} + P_n = 3.01 \text{ W} \quad \text{Perdas totais no indutor}$$

$$P_{t3} := P_{ts3} + P_{tl3} = 3.75957 \text{ W} \quad \text{Perdas totais}$$

$$\eta_3 := \frac{P_o}{P_o + P_{t3}} = 0.88864 \quad \text{Rendimento}$$

$$\eta_t := \eta_{scc1} \cdot \eta_3 = 0.85464 \quad \text{Rendimento global}$$

Cálculo do filtro anti-aliasing

$$f_{aa} := 10 \text{ kHz} \quad \text{Frequência do anti-aliasing}$$

$$t_{aa} := \frac{1}{f_{aa}} = 100 \cdot \mu\text{s} \quad \text{Período}$$

$$R_{aa} := 100 \Omega \quad \text{Resistor do filtro}$$

$$C_{aa} := \frac{1}{2 \cdot \pi \cdot R_{aa} \cdot f_{aa}} = 0.15915 \cdot \mu\text{F} \quad \text{Capacitor do filtro}$$

Modelagem do conversor BUCK (Controle de corrente)

$$j := \sqrt{-1}$$

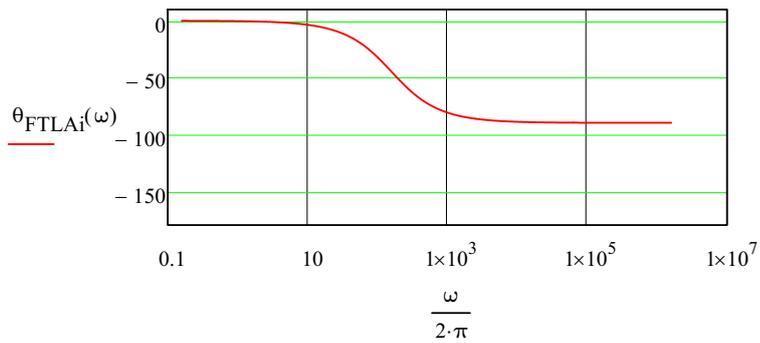
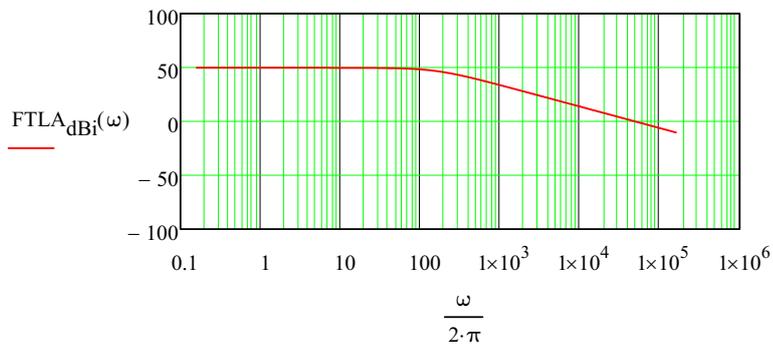
$$R_{sb} := 10 \cdot 10^{-3} \Omega = 0.01 \Omega \quad \text{Resistência série do conversor buck}$$

$$G_i(\omega) := V_{ib} \cdot \frac{1}{(j \cdot \omega) \cdot L_{b3} + R_{sb}} \quad \text{Planta}$$

$$FTLA_i(\omega) := G_i(\omega)$$

$$FTLA_{dB_i}(\omega) := 20 \cdot \log \left(\frac{|FTLA_i(\omega)|}{A} \right)$$

$$\theta_{FTLA_i}(\omega) := \frac{180}{\pi} \cdot \arg(FTLA_i(\omega))$$



Cálculo do compensador PI

$$M_{\phi_i} := 75 \cdot \frac{\pi}{180} = 1.309$$

Margem de fase

$$\omega_{ci} := 1000 \cdot 2 \cdot \pi \frac{\text{rad}}{\text{s}} = 6.28319 \times 10^3 \frac{\text{rad}}{\text{s}}$$

Frequência de corte

$$\omega_{zi} := \frac{\omega_{ci}}{\tan\left(M_{\phi_i} - \frac{\pi}{2} - \arg(\text{FTLA}_i(\omega_{ci}))\right)} = 2.80311 \times 10^3 \frac{1}{\text{s}}$$

Frequência do zero do compensador

$$\tau_i := \frac{1}{\omega_{zi}} = 356.74604 \cdot \mu\text{s}$$

Constante de tempo do compensador

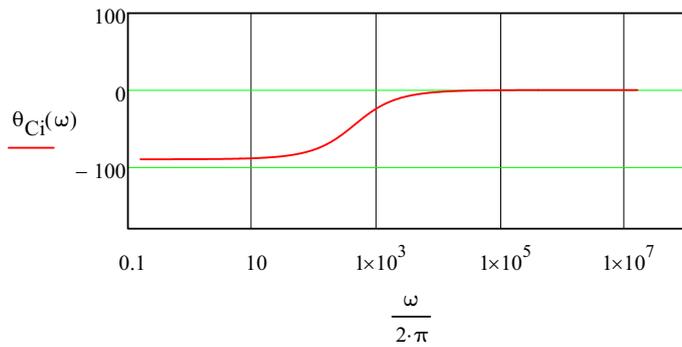
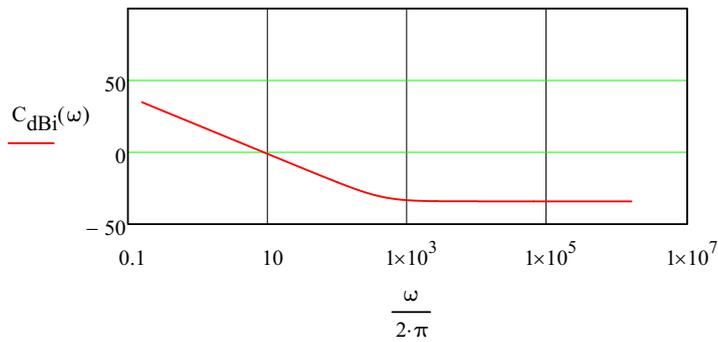
$$k_{ci} := \frac{\omega_{ci}}{\sqrt{\omega_{zi}^2 + \omega_{ci}^2} \cdot |\text{FTLA}_i(\omega_{ci})|} = 0.01937 \frac{1}{\text{A}}$$

Ganho do compensador

$$C_i(\omega) := \frac{k_{ci} \cdot (j \cdot \omega + \omega_{zi})}{j \cdot \omega}$$

$$C_{dBi}(\omega) := 20 \cdot \log \left[\left| \frac{k_{ci} \cdot (j \cdot \omega + \omega_{zi})}{j \cdot \omega} \right| \cdot \text{A} \right]$$

$$\theta_{C_i}(\omega) := \frac{180}{\pi} \cdot \arg(C_i(\omega))$$

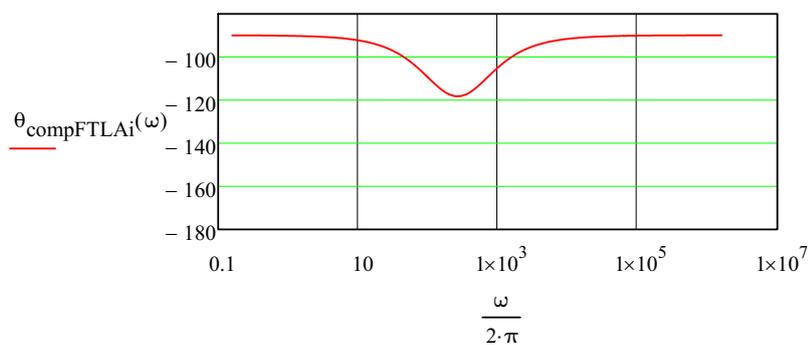
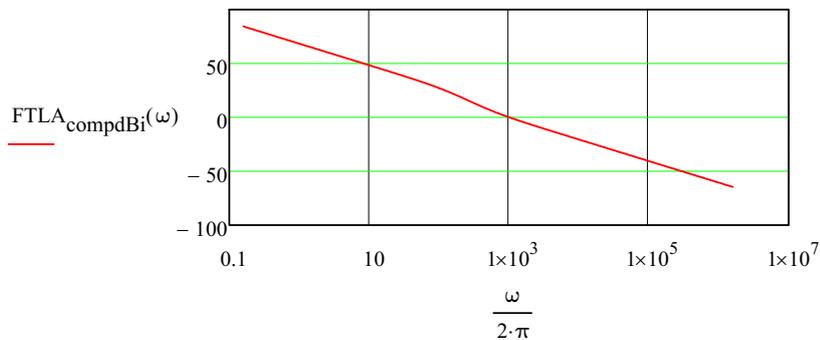


Função de transferência de laço aberto com compensação

$$FTLA_{comp_i}(\omega) := FTLA_i(\omega) \cdot C_i(\omega)$$

$$FTLA_{compdB_i}(\omega) := 20 \cdot \log(|FTLA_{comp_i}(\omega)|)$$

$$\theta_{compFTLAI}(\omega) := \frac{180}{\pi} \cdot \arg(FTLA_{comp_i}(\omega))$$



Cálculo dos parâmetros da equação recursiva

$$f_{ai} := 160\text{kHz} \quad \text{Frequência de amostragem}$$

$$t_{ai} := \frac{1}{f_{ai}} = 6.25 \cdot \mu\text{s} \quad \text{Período}$$

$$k_{i1} := k_{ci} \cdot \left(\omega_{zi} \cdot \frac{t_{ai}}{2} + 1 \right) = 0.0195372278 \frac{1}{\text{A}}$$

$$k_{i2} := k_{ci} \cdot \left(\omega_{zi} \cdot \frac{t_{ai}}{2} - 1 \right) = -0.0191979183 \frac{1}{\text{A}}$$

Constantes da equação recursiva da malha de corrente

Modelagem do conversor BUCK (Controle de tensão)

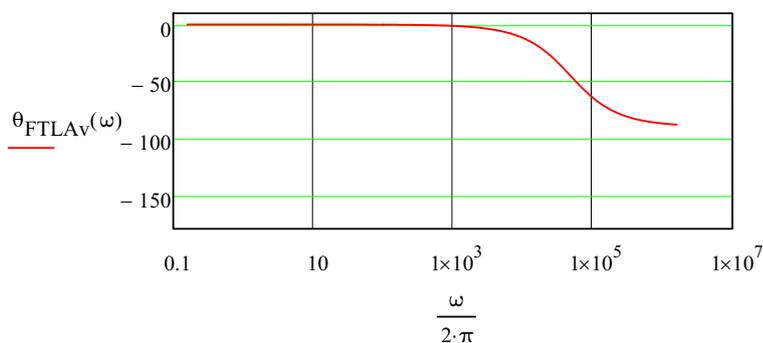
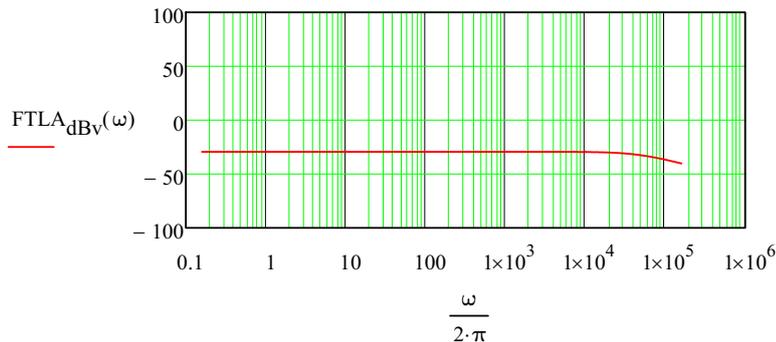
$$j_w := \sqrt{-1}$$

$$G_v(\omega) := \frac{1}{(j \cdot \omega) \cdot C_{b3} + \frac{1}{R_{ob}}} \quad \text{Planta}$$

$$FTLA_v(\omega) := G_v(\omega)$$

$$FTLA_{dBv}(\omega) := 20 \cdot \log\left(\frac{|FTLA_v(\omega)|}{\Omega}\right)$$

$$\theta_{FTLA_v}(\omega) := \frac{180}{\pi} \cdot \arg(FTLA_v(\omega))$$



Cálculo do compensador PI

$$M_{\phi v} := 100 \cdot \frac{\pi}{180} = 1.74533 \quad \text{Margem de fase}$$

$$\omega_{cv} := 50 \cdot 2 \cdot \pi \frac{\text{rad}}{\text{s}} = 314.15927 \cdot \frac{\text{rad}}{\text{s}} \quad \text{Frequência de corte}$$

$$\omega_{zV} := \frac{\omega_{cV}}{\tan\left(M_{\phi V} - \frac{\pi}{2} - \arg(\text{FTLA}_V(\omega_{cV}))\right)} = 1.77084 \times 10^3 \frac{1}{s} \quad \text{Frequência do zero do compensador}$$

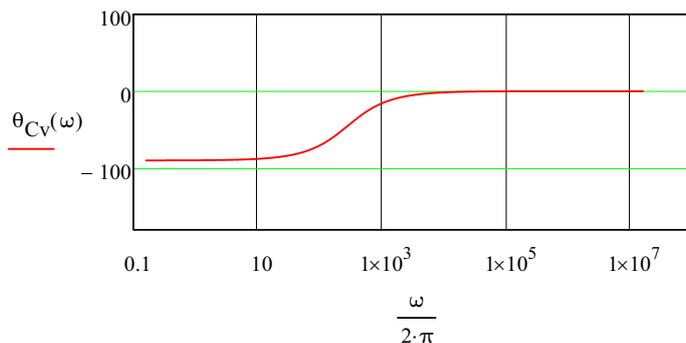
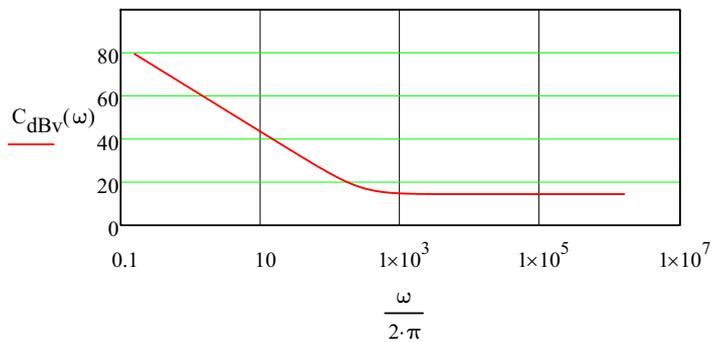
$$\tau_V := \frac{1}{\omega_{zV}} = 564.70382 \cdot \mu s \quad \text{Constante de tempo do compensador}$$

$$k_{cV} := \frac{\omega_{cV}}{\sqrt{\omega_{zV}^2 + \omega_{cV}^2} \cdot |\text{FTLA}_V(\omega_{cV})|} = 5.24038 \frac{1}{\Omega} \quad \text{Ganho do compensador}$$

$$C_V(\omega) := \frac{k_{cV} \cdot (j \cdot \omega + \omega_{zV})}{j \cdot \omega}$$

$$C_{dBV}(\omega) := 20 \cdot \log \left[\left| \frac{k_{cV} \cdot (j \cdot \omega + \omega_{zV})}{j \cdot \omega} \right| \cdot \Omega \right]$$

$$\theta_{C_V}(\omega) := \frac{180}{\pi} \cdot \arg(C_V(\omega))$$

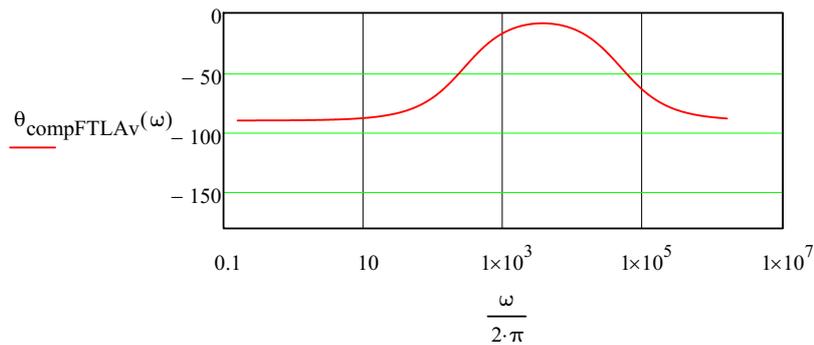
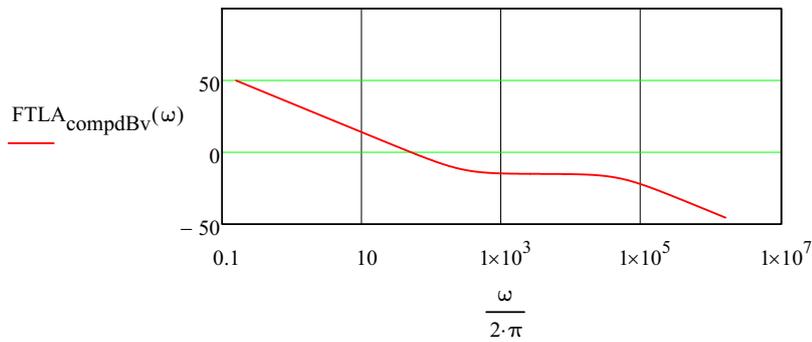


Função de transferência de laço aberto com compensação

$$\text{FTLA}_{\text{comp}V}(\omega) := \text{FTLA}_V(\omega) \cdot C_V(\omega)$$

$$\text{FTLA}_{\text{comp}dBV}(\omega) := 20 \cdot \log \left(\left| \text{FTLA}_{\text{comp}V}(\omega) \right| \right)$$

$$\theta_{\text{compFTLA}_V}(\omega) := \frac{180}{\pi} \cdot \arg(\text{FTLA}_{\text{comp}V}(\omega))$$



Cálculo dos parâmetros da equação recursiva

$$f_{\text{av}} := 160\text{kHz} \quad \text{Frequência de amostragem}$$

$$t_{\text{av}} := \frac{1}{f_{\text{av}}} = 6.25 \cdot \mu\text{s} \quad \text{Período}$$

$$k_{v1} := k_{cv} \cdot \left(\omega_{zv} \cdot \frac{t_{\text{av}}}{2} + 1 \right) = 5.2693836048 \frac{1}{\Omega}$$

$$k_{v2} := k_{cv} \cdot \left(\omega_{zv} \cdot \frac{t_{\text{av}}}{2} - 1 \right) = -5.2113843513 \frac{1}{\Omega}$$

Constantes da equação recursiva da malha de tensão

Cálculo do tempo morto no DSP

$$f_{\text{dsp}} := 90\text{MHz} \quad \text{Frequência do DSP}$$

$$T_{\text{dsp}} := \frac{1}{f_{\text{dsp}}} = 11.111111 \cdot \text{ns} \quad \text{Período do DSP}$$

$$t_m := 70\text{ns} \quad \text{Tempo morto especificado}$$

$$t_{\text{mdsp}} := \frac{t_m}{T_{\text{dsp}}} = 6.3 \quad \text{Valor a ser aplicado ao contador do tempo morto do DSP}$$

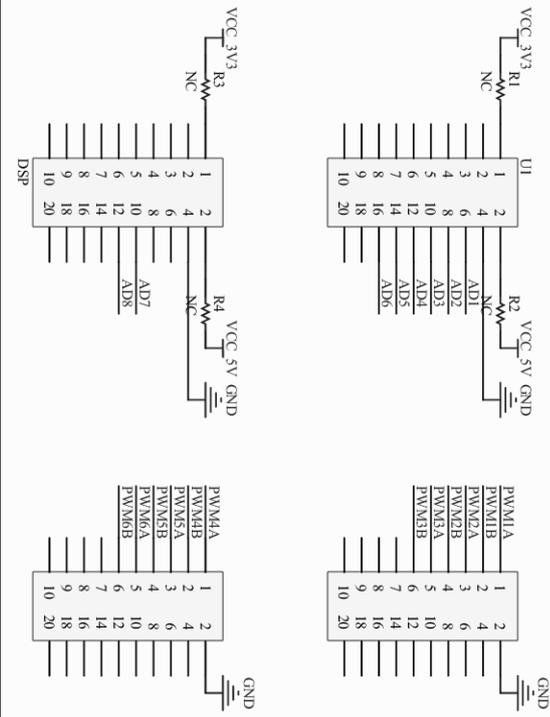
■■■■■■■■■■ APÊNDICE C ■■■■■■■■■■

ESQUEMÁTICO DA PLACA DE CIRCUITO
IMPRESSO DOS *Gate-Drivers*

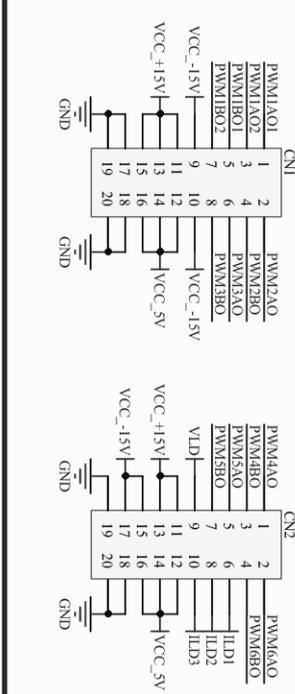
APÊNDICE D

ESQUEMÁTICO DA PLACAS DE CIRCUITO IMPRESSO DE CONDICIONAMENTO DE SINAL

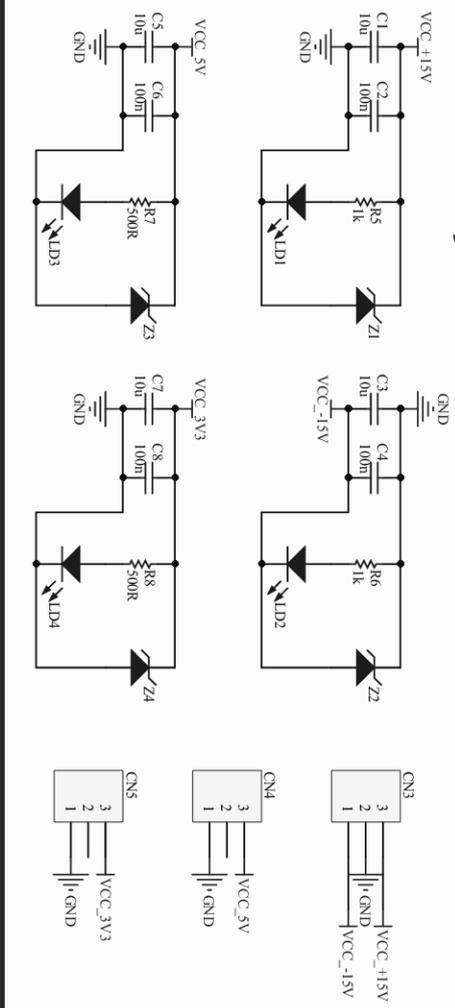
DSP



Entradas e Saídas de Sinal

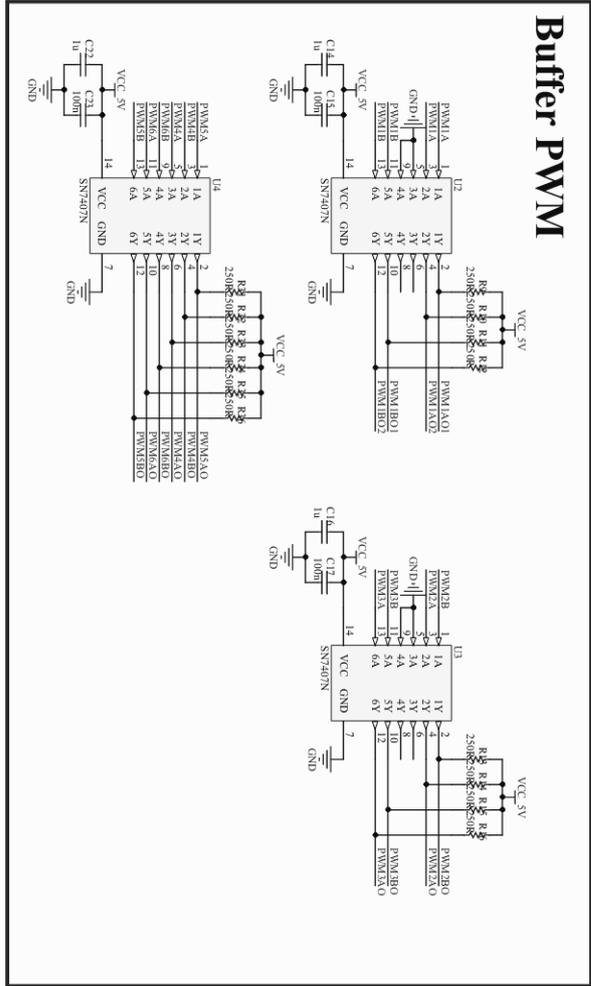


Alimentação

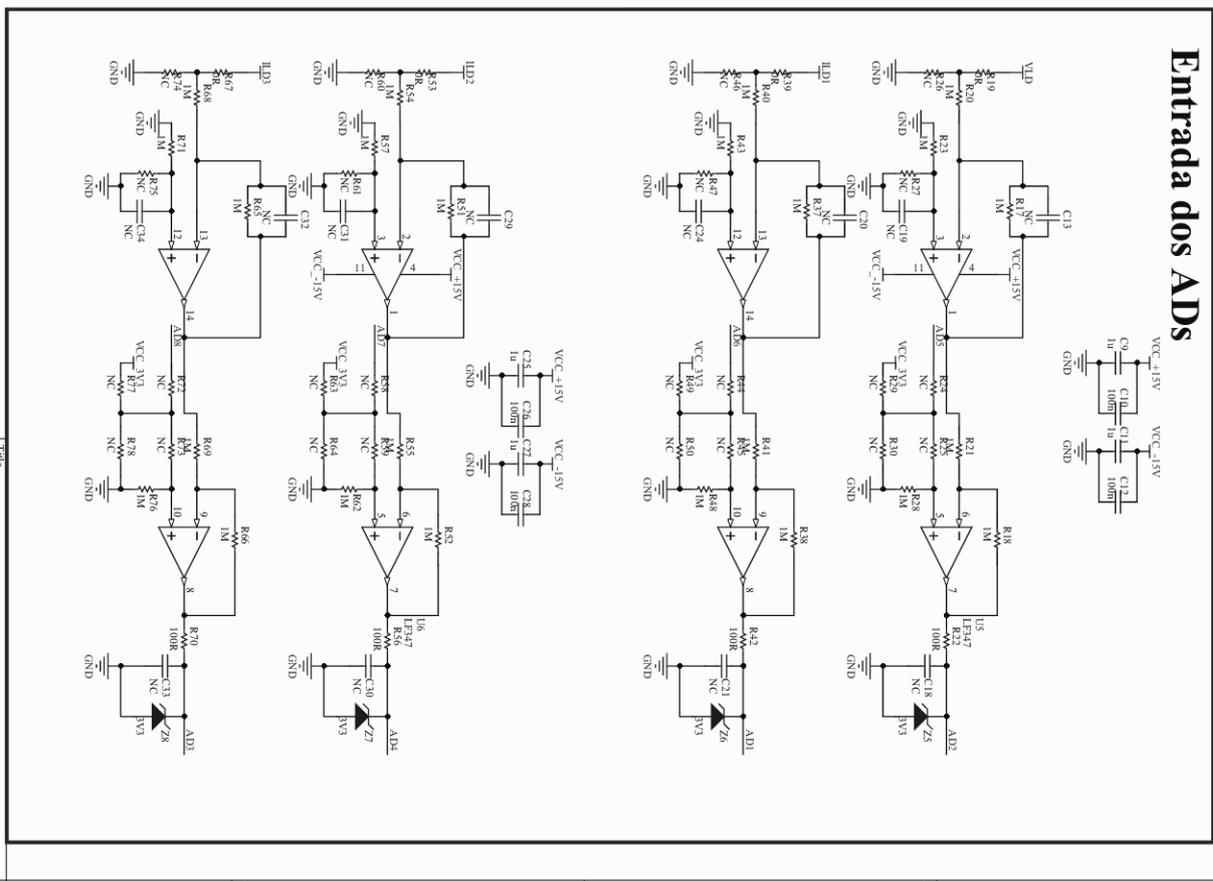


Title		Number		Revision	
Date: 20/05/2021		Sheet of			
File: D:\Google Drive\... \CDS_Conce_V01_SchDpDra\ra\By:		4			

Buffer PWM



Entrada dos ADS



Table

Side	Number	Revision
A3	20/05/2021	
File: D:\Gomide Drive\CDIS_V01_SCH.Dwg		Sheet of
Drawn By:		8

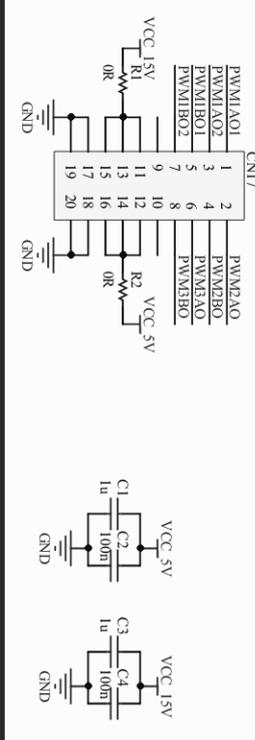
■■■■■■■■■■ APÊNDICE E ■■■■■■■■■■

ESQUEMÁTICO DA PLACAS DE CIRCUITO
IMPRESSO DO *MSCC*

Conectores dos Gate Drivers

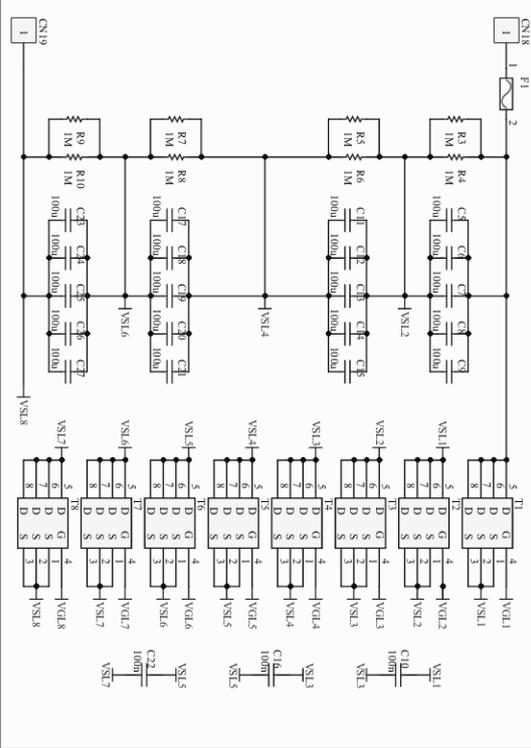


Alimentação e Sinais de Comando

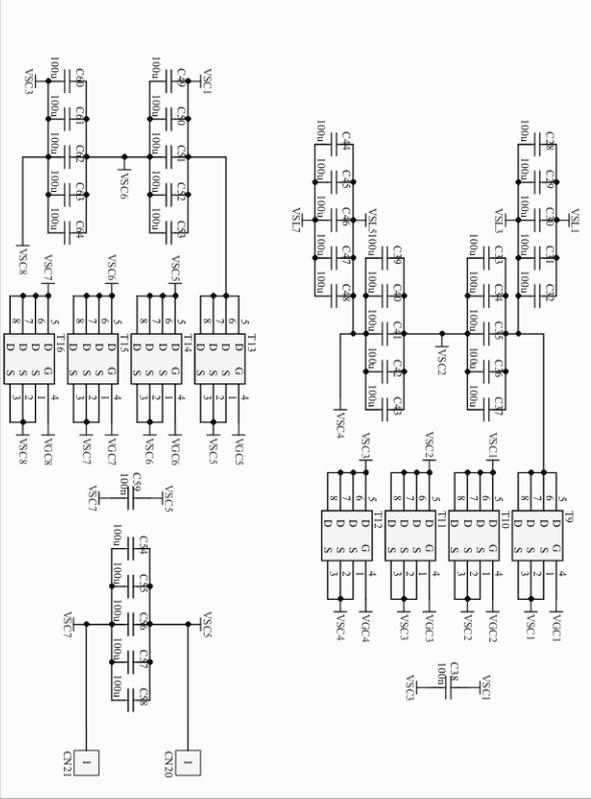


Title		Number		Revision	
Size	A4	Date:	20/05/2021	Sheet of	
File:	D:\Google Drive\SSCC Gd V01.SchDoc			Drawn By:	

Estágio Ladder



Estágio Cascata

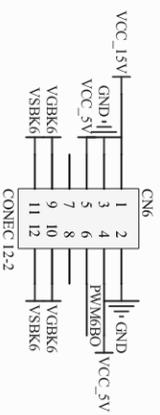
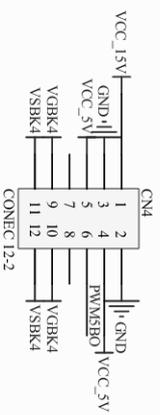
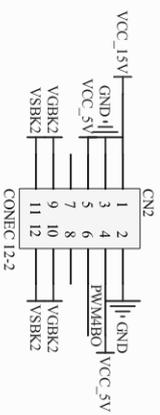
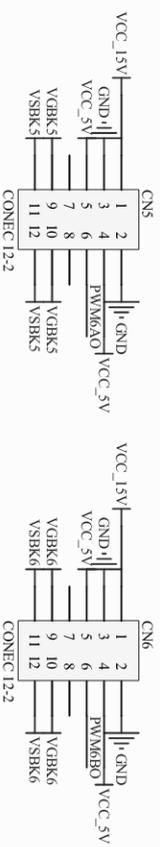
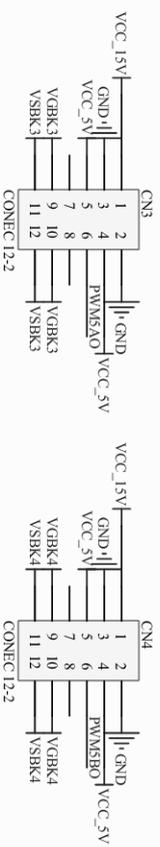
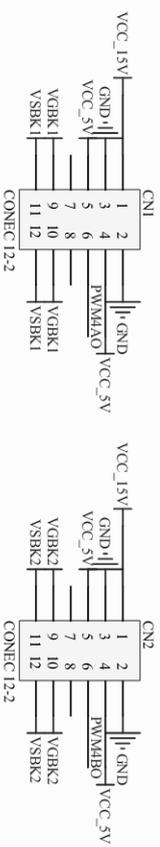


Title	Size	Number	Revision
AS	20/05/2021		
Date: D:\Google Drive\SEC - Proj VII\SLIDING			Sheet of
File: D:\Google Drive\SEC - Proj VII\SLIDING			Drawn By: 8

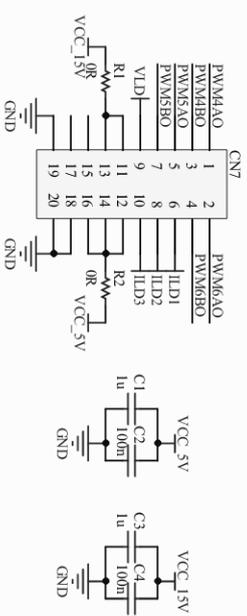
APÊNDICE F

ESQUEMÁTICO DA PLACAS DE CIRCUITO
IMPRESSO DO *BKSI*

Conectores dos Gate Drivers



Alimentação e Sinais de Comando



1

2

3

4

Title

Size

Date:

File:

Number

20/05/2021

D:\Google Drive\IBK_G4_V01_SchDoc

Revision

Sheet of

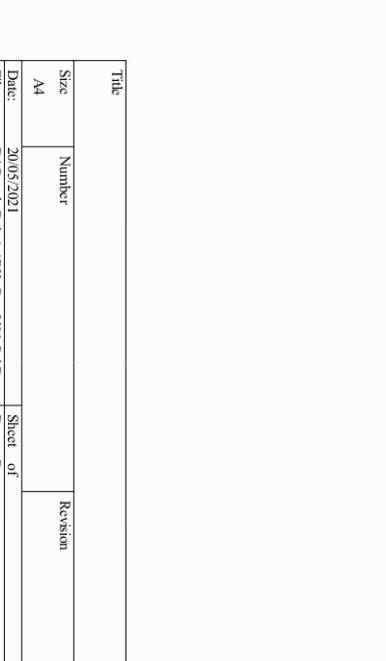
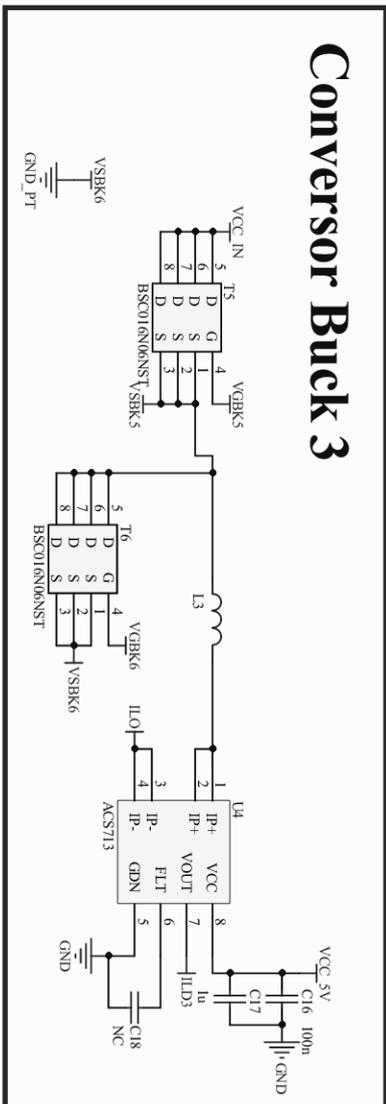
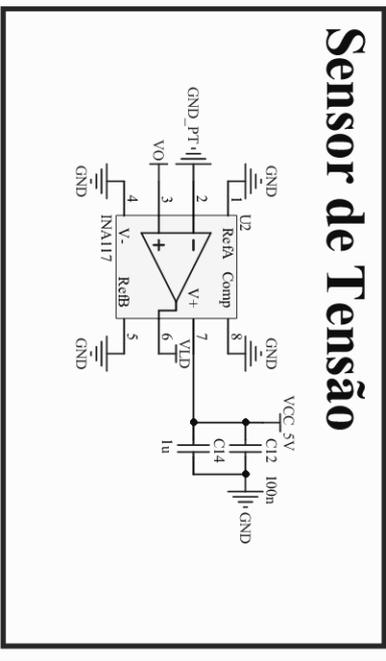
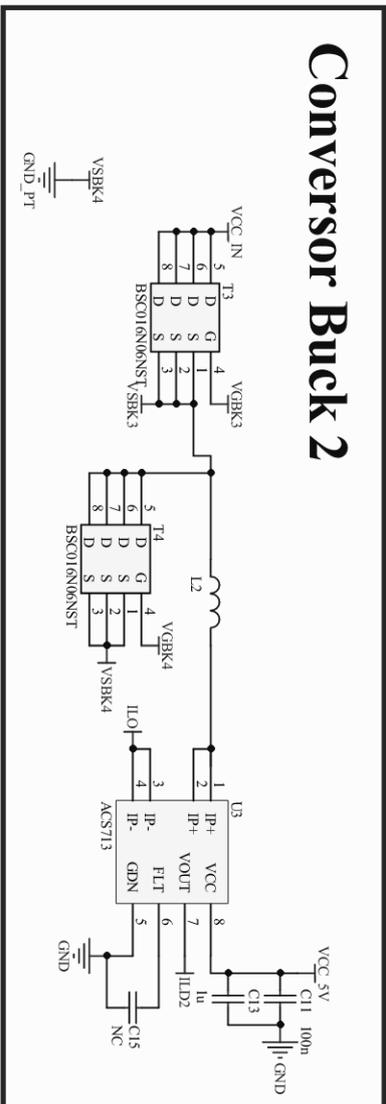
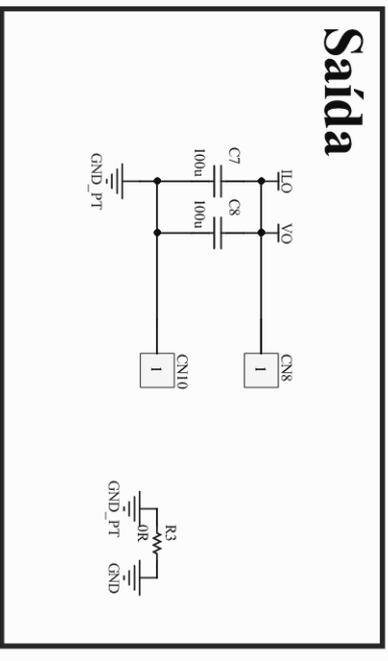
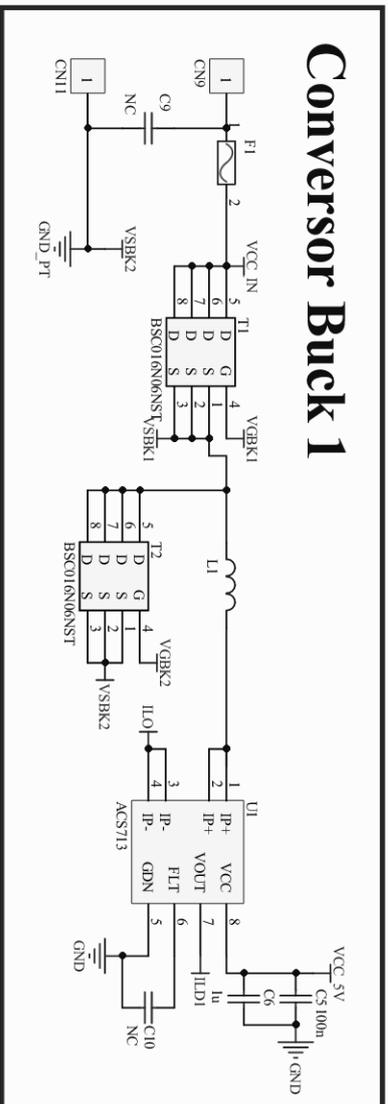
Drawn By:

1

2

3

4



Title		Number		Revision	
A4		20/05/2021		Sheet of	
Date:		D:\Google Drive\BKB_Pol_V01_SchDoc		Drawn By:	
File:					

■■■■■■■■■■ APÊNDICE G ■■■■■■■■■■

CONTROLE DO *BKSI* IMPLEMENTADO
NO *DSP*

```

*****/

//-----
// Arquivos Header
//-----

#include "DSP28x_Project.h"
#include "IQmathLib.h"
#include <IQmathLib.h>
#include <math.h>
#include <stdlib.h>
#include <qmath.h>

#define kv1 5.2693836048
#define kv2 -5.2113843513 // Constantes das equações recursivas
#define ki1 0.0195372278
#define ki2 -0.0191979183
extern float xv1,xv0; // Variáveis do controle de tensão
extern float ev1,ev0;
extern float xi11,xi01; // Variáveis do controle da corrente 1
extern float ei11,ei01;
extern float xi12,xi02; // Variáveis do controle da corrente 2
extern float ei12,ei02;
extern float xi13,xi03; // Variáveis do controle da corrente 3
extern float ei13,ei03;
extern float vl,il1,il2,il3; //Entradas
extern float ksi; // Ganho do sensor de corrente
extern float kad; // Ganho do ad
extern float ioff1; // Offset nas leituras
extern float ioff2;
extern float ioff3;
extern float voff;
extern int Cont;
extern int dbk;
extern int dbk1;
extern int dbk2;
extern int dbk3;
extern int tdsp;
extern float vref;
extern float iref;

void interrupt ISR()
{
//-----
// Flags de Interrupção
//-----

        PieCtrlRegs.PIEACK.all= 0x0004; // Reseta o bit
de acknowledgement
        EPwm1Regs.ETCLR.bit.INT=1; //Limpa
flag

```

```

//-----
// Conversor A/D
//-----
    AdcRegs.ADCSOCFRC1.bit.SOC0=1;
    AdcRegs.ADCSOCFRC1.bit.SOC1=1;
    AdcRegs.ADCSOCFRC1.bit.SOC2=1;
    AdcRegs.ADCSOCFRC1.bit.SOC3=1;

    while(AdcRegs.ADCINTFLG.bit.ADCINT1==0){} // espera o fim da
conversão
    AdcRegs.ADCINTFLG.bit.ADCINT1=1; // limpa o flag
da int

//-----
// Leituras
//-----

    v1=((float)AdcResult.ADCRESULT0)*kad-voff;
    il1=((float)AdcResult.ADCRESULT1)*ksi-ioff1;
    il2=((float)AdcResult.ADCRESULT2)*ksi-ioff2;
    il3=((float)AdcResult.ADCRESULT3)*ksi-ioff3;

//-----
// Controle
//-----

    //Cálculo do erro da malha de tensão
    ev1=vref-v1;

    //Resolução da equação recursiva
    xv1=xv0+kv1*ev1+kv2*ev0;

    // Saturador de tensão
    if (xv1>40)
    xv1=40;
    if (xv1<0)
    xv1=0;

    //Atualização das variáveis
    xv0=xv1;
    ev0=ev1;

    //Cálculo dos erros das malhas de corrente
    ei11=xv1*0.33333-il1;
    ei12=xv1*0.33333-il2;
    ei13=xv1*0.33333-il3;

    //Teste das malhades corrente
//    ei11=iref*0.333-il1;
//    ei12=iref*0.333-il2;
//    ei13=iref*0.333-il3;

```

```

//Resolução das equações recursivas
xi11=xi01+ki1*ei11+ki2*ei01;
xi12=xi02+ki1*ei12+ki2*ei02;
xi13=xi03+ki1*ei13+ki2*ei03;

// Saturador de corrente
if (xi11>0.5)
xi11=0.5;
if (xi12>0.5)
xi12=0.5;
if (xi13>0.5)
xi13=0.5;

if (xi11<0)
xi11=0;
if (xi12<0)
xi12=0;
if (xi13<0)
xi13=0;

//Atualização das variáveis
xi01=xi11;
ei01=ei11;
xi02=xi12;
ei02=ei12;
xi03=xi13;
ei03=ei13;
//-----
// Malha aberta
//-----
if (Cont==0)
{
EPwm4Regs.CMPA.half.CMPA = dbk;
EPwm5Regs.CMPA.half.CMPA = dbk;
EPwm6Regs.CMPA.half.CMPA = tdsp-dbk;
}
else
{
//-----
// Malha fechada
//-----

dbk1=xi11*tdsp;
dbk2=xi12*tdsp;
dbk3=xi13*tdsp;

EPwm4Regs.CMPA.half.CMPA = dbk1;
EPwm5Regs.CMPA.half.CMPA = dbk2;
EPwm6Regs.CMPA.half.CMPA = tdsp-dbk3;
}
}

```

■■■■■■■■■■ APÊNDICE H ■■■■■■■■■■

PLANILHA DE ANÁLISE DO RENDIMENTO
PELA FREQUÊNCIA DE COMUTAÇÃO

ANÁLISE DE RENDIMENTO X FREQUÊNCIA

Especificações de projeto

$$V_i := 48 \quad \text{Tensão de entrada}$$

$$V_o := \frac{V_i}{16} = 3 \quad \text{Tensão de saída}$$

$$P_o := 30 \quad \text{Potência de saída}$$

$$I_i := \frac{P_o}{V_i} = 0.625 \quad \text{Corrente de entrada}$$

$$I_o := \frac{P_o}{V_o} = 10 \quad \text{Corrente de saída}$$

$$R_o := \frac{V_o}{I_o} = 0.3 \quad \text{Carga nominal}$$

$$D := 0.5 \quad \text{Razão cíclica}$$

Projeto do conversor a capacitor chaveado

Dados dos interruptores

$$R_{son} := 0.0016 \quad \text{Resistência dos interruptores}$$

$$C_{oss} := 1200 \times 10^{-12} \quad \text{Capacitância de saída}$$

MOSFET: BSC016N06NST

$$t_r := 9 \times 10^{-9} \quad \text{Tempo de subida}$$

$$t_f := 9 \times 10^{-9} \quad \text{Tempo de descida}$$

Parâmetros de projeto

$$f_{sT} := 0.3 \quad \text{Produto fsT}$$

$$f_{sc} := 160 \times 10^3 \quad \text{Frequência de comutação dos estágios a capacitor chaveado}$$

$$T_{sc} := \frac{1}{f_{sc}} \quad \text{Período de comutação}$$

$$R_{scp} := 2 \cdot R_{son} = 3.2 \times 10^{-3} \quad \text{Resistência equivalente de projeto}$$

$$C_{scmin} := \frac{f_{sT}}{R_{scp} \cdot f_{sc}} = 5.85937 \times 10^{-4} \quad \text{Capacitância para o fsT desejado}$$

Dados do capacitores

$$C_{sc} := 6 \cdot 100 \times 10^{-6} = 6 \times 10^{-4} \quad \text{Capacitância escolhida}$$

$$R_{esr} := 3 \times 10^{-3} \quad \text{Resistência dos capacitores}$$

**Capacitores: CKG57NX7S1C107M500JH
(6 em paralelo)**

$$R_{sc} := R_{scp} \quad \text{Resistência série}$$

$$\tau_{sc} := C_{sc} \cdot (R_{scp})$$

$$f_{sTf} := f_{sc} \cdot C_{sc} \cdot (R_{scp}) = 0.3072 \quad \text{Produto fsT com os componentes escolhidos}$$

Parâmetros

$$N_{ldl} := 3 \quad \text{Número de estágios ladder}$$

$$N_{cl} := 2 \quad \text{Número de estágios cascata}$$

$$G_{ld1} := \frac{1}{N_{ld1} + 1} = 0.25$$

Ganho estágios ladder

$$G_{c1} := \frac{1}{2^{N_{c1}}} = 0.25$$

Ganho estágios em cascata

$$G_{tot} := G_{ld1} \cdot G_{c1} = 0.0625$$

Ganho total

Número de componentes

$$N_{Sld1} := 2 \cdot (N_{ld1} + 1) = 8$$

Número de interruptores estágio ladder

$$N_{Cld1} := 2 \cdot N_{ld1} = 6$$

Número de capacitores estágio ladder

$$N_{Sc1} := 4 \cdot N_{c1} = 8$$

Número de interruptores estágio ladder

$$N_{Cc1} := 2 \cdot N_{c1} + 1 = 5$$

Número de capacitores estágio cascata

$$N_{Stot1} := N_{Sld1} + N_{Sc1} = 16$$

Número de interruptores total

$$N_{Ctot1} := N_{Cld1} + N_{Cc1} = 11$$

Número de capacitores total

Esforços

$$V_{ld1} := G_{ld1} \cdot V_i = 12$$

Tensão de saída do estágio ladder

$$V_{c1} := G_{c1} \cdot V_{ld1} = 3$$

Tensão de saída dos estágios cascata

$$I_{old} := \frac{P_o}{V_{ld1}} = 2.5$$

Corrente de saída do estágio ladder

$$I_{Smdl1} := D \cdot \frac{I_{old}}{2} = 0.625$$

Corrente média nos interruptores do estágio ladder

$$I_{Smdl2} := D \cdot \frac{3 \cdot I_{old}}{2} = 1.875$$

Corrente média nos interruptores de saída do estágio ladder

$$I_{Srmsl1} := \sqrt{D} \cdot \frac{I_{old}}{2} = 0.88388$$

Corrente eficaz nos interruptores do estágio ladder

$$I_{Srmsl2} := \sqrt{D} \cdot \frac{3 \cdot I_{old}}{2} = 2.65165$$

Corrente eficaz nos interruptores de saída do estágio ladder

$$I_{Crmsl1} := \frac{1}{4} \cdot I_{old} = 0.625$$

Corrente eficaz nos capacitores de entrada do estágio ladder

$$I_{Crmsl2} := \frac{2}{4} \cdot I_{old} = 1.25$$

Corrente eficaz nos capacitores de entrada do estágio ladder

$$I_{Crmsl3} := \frac{3}{4} \cdot I_{old} = 1.875$$

Corrente eficaz nos capacitores de entrada do estágio ladder

$$I_{Smdc1} := D \cdot \frac{I_o}{2} = 2.5$$

Corrente média nos interruptores do estágio cascata 1

$$I_{Srmsc1} := \sqrt{D} \cdot \frac{I_o}{2} = 3.53553$$

Corrente eficaz nos interruptores do estágio cascata 1

$$I_{Crmsc1} := \frac{1}{2} \cdot \frac{I_o}{2} = 2.5$$

Corrente eficaz nos capacitores do estágio cascata 1

$$I_{Smdc2} := D \cdot I_o = 5$$

Corrente média nos interruptores do estágio cascata 2

$$I_{Srmc2} := \sqrt{D} \cdot I_o = 7.07107$$

Corrente eficaz nos interruptores do estágio cascata 2

$$I_{Crmsc2} := \frac{I_o}{2} = 5$$

Corrente eficaz nos capacitores do estágio cascata 2

$$V_{vld1} := V_{ld1} = 12$$

Tensão nos componentes do estágio ladder

$$V_{vc1} := \frac{V_{ld1}}{2} = 6$$

Tensão nos componentes do estágio cascata 1

$$V_{vc2} := \frac{V_{vc1}}{2} = 3$$

Tensão nos componentes do estágio cascata 2

Perdas do estágio a capacitor chaveado

$$R_s(f_{st}) := \frac{1}{4f_{st} \cdot \tau_{sc}} \cdot \frac{1 - e^{-\left(\frac{1}{f_{st} \cdot \tau_{sc}}\right)}}{1 + e^{-\left(\frac{1}{f_{st} \cdot \tau_{sc}}\right)} - \left[e^{-\left(\frac{D}{f_{st} \cdot \tau_{sc}}\right)} + e^{-\left(\frac{D}{f_{st} \cdot \tau_{sc}}\right)} \right]}$$

$$R_s(f_{sc}) = 1.21159$$

$$P_{csc1}(f_{st}) := R_s(f_{st}) \cdot R_{son} \cdot (6 \cdot I_{Srmsld1}^2 + 2 \cdot I_{Srmsld2}^2 + 4 \cdot I_{Srmc1}^2 + 4 \cdot I_{Srmc2}^2)$$

Perdas de condução

$$P_{csc1}(f_{sc}) = 0.52098$$

$$P_{ssc1}(f_{st}) := 2 \left(\frac{t_r + t_f}{2} \right) \cdot f_{st} \cdot (6V_{ld1} \cdot I_{Smdl1} + 2 \cdot V_{ld1} \cdot I_{Smdl2} + 4V_{vc1} \cdot I_{Smdc1} + 4V_{vc2} \cdot I_{Smdc2})$$

Perdas de comutação

$$P_{ssc1}(f_{sc}) = 0.6048$$

$$P_{cap1}(f_{st}) := \frac{1}{2} \cdot C_{oss} \cdot f_{st} \cdot (8 \cdot V_{ld1}^2 + 4 \cdot V_{vc1}^2 + 4V_{vc2}^2)$$

Perdas de comutação (capacitâncias)

$$P_{cap1}(f_{sc}) = 0.12787$$

$$P_{cesr2}(f_{st}) := 5R_{esr} \cdot \left[2 \cdot \left(\frac{I_{Crmsl1}}{5} \right)^2 + 2 \cdot \left(\frac{I_{Crmsl2}}{5} \right)^2 + 2 \cdot \left(\frac{I_{Crmsl3}}{5} \right)^2 + 2 \cdot \left(\frac{I_{Crmsc1}}{5} \right)^2 + 2 \cdot \left(\frac{I_{Crmsc2}}{5} \right)^2 \right]$$

Perdas nas resistências série dos capacitores (teórico)

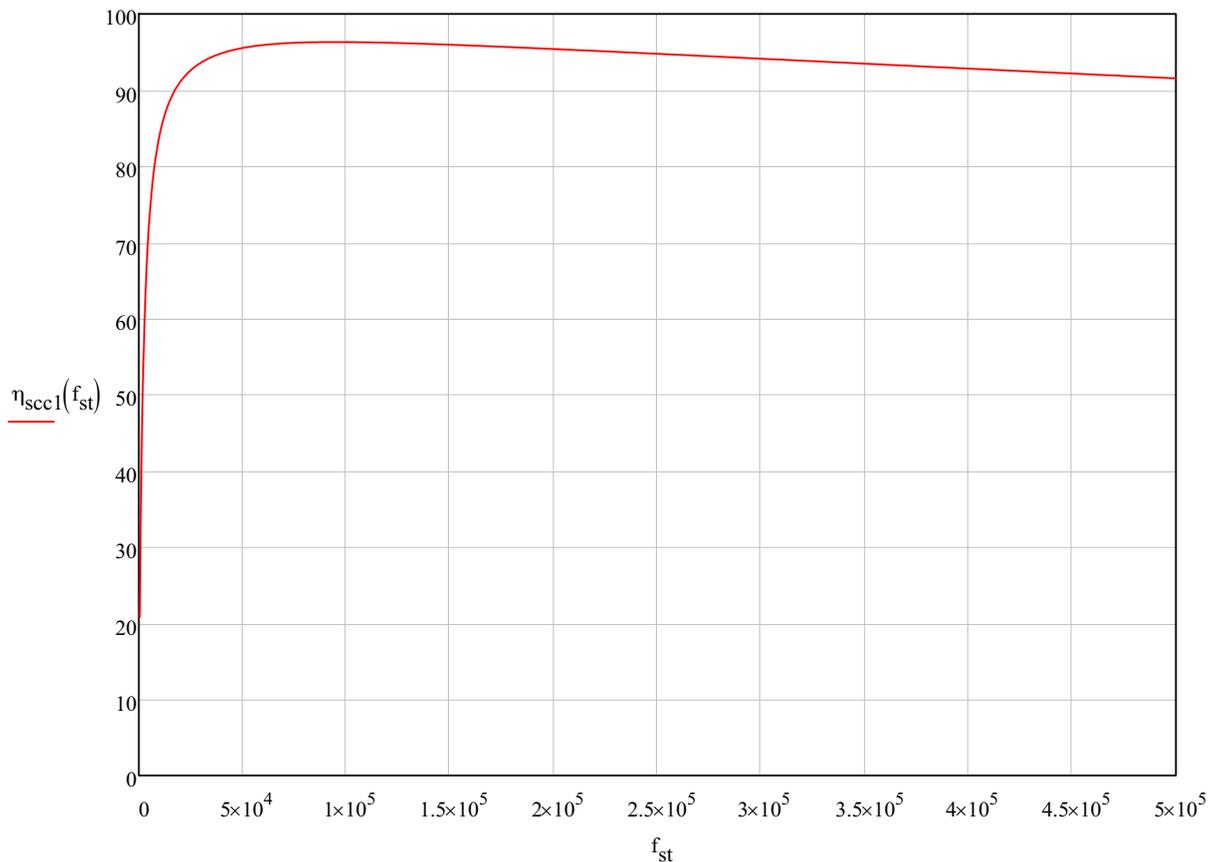
$$P_{totc1}(f_{st}) := P_{csc1}(f_{st}) + P_{ssc1}(f_{st}) + P_{cap1}(f_{st}) + P_{cesr2}(f_{st})$$

Perdas de totais no SCC

$$P_{totc1}(f_{sc}) = 1.29772$$

$$\eta_{scc1}(f_{st}) := \left(\frac{P_o}{P_o + P_{totc1}(f_{st})} \right) \cdot 100$$

Rendimento do SCC



Projeto do conversor buck síncrono 3 interleaving

Especificações de projeto

$V_{ib} := 3$	Tensão de entrada
$V_{ob} := 1$	Tensão de saída diferencial
$P_{ob} := 30$	Potência de saída
$I_{ob} := \frac{P_{ob}}{V_{ob}} = 30$	Corrente de saída
$R_{ob} := \frac{V_{ob}}{I_{ob}} = 0.03333$	Resistência de saída
$f_{sb} := 160000$	Frequência de comutação
$D_{sp} := \frac{V_{ob}}{V_{ib}} = 0.33333$	Razão cíclica
$\Delta I_L\% := 10$	Ondulação de corrente percentual
$\Delta V_C\% := 1$	Ondulação de tensão percentual

Dados dos interruptores

$R_{dsonb} := 0.0016$	Resistência dos interruptores
$C_{ossb} := 1200 \times 10^{-12}$	Capacitância de saída
$t_{rh} := 9 \times 10^{-9}$	Tempo de subida
$t_{fb} := 9 \times 10^{-9}$	Tempo de descida

MOSFET: BSC016N06NST

Projeto do conversor buck síncrono

$$I_{L3} := \frac{I_{ob}}{3} = 10 \quad \text{Corrente média no indutor}$$

$$\Delta I_{L3} := \frac{\Delta I_L\%}{100} \cdot I_{L3} = 1 \quad \text{Ondulação de corrente absoluta}$$

$$\Delta V_{C3} := \frac{\Delta V_C\%}{100} \cdot V_o = 0.03 \quad \text{Ondulação de tensão absoluta}$$

$$L_{bc3} := \frac{V_{ib} \cdot D_{sp} \cdot (1 - D_{sp})}{\Delta I_{L3} \cdot f_{sb}} = 4.16667 \frac{1}{H} \cdot \mu H \quad \text{Indutância calculada}$$

Projeto do indutor

$$L_b := 10 \times 10^{-6} \quad \text{Indutância (+ ou - 20\%)}$$

$$\Delta I_L := \frac{V_{ib} \cdot D_{sp} \cdot (1 - D_{sp})}{L_b \cdot f_{sb}} = 0.41667 \quad \text{Ondulação de corrente para a indutância escolhida}$$

$$R_L := 0.01 \quad \text{Resistência série máxima}$$

$$K_L := 47 \quad \text{Fator para o cálculo da variação de fluxo}$$

$$B_{pp} := K_L \cdot L_b \cdot \Delta I_L \cdot 10^6 = 195.83333 \quad \text{Variação de fluxo}$$

$$P_{.n} := 10 \times 10^{-3} \quad \text{Perdas no núcleo em 100 kHz (datasheet)}$$

$$R_{sense} := 1.2 \cdot 10^{-3} \quad \text{Resistência do sensor de corrente (ACS7013)}$$

INDUTOR: HCMA1707-100-R

Cálculo de perdas

$$I_{ef13} := \sqrt{D_{sp}} \cdot I_{L3} = 5.7735 \quad \text{Corrente eficaz nos interruptores superiores}$$

$$I_{ef23} := \sqrt{1 - D_{sp}} \cdot I_{L3} = 8.16497 \quad \text{Corrente eficaz nos interruptores inferiores}$$

$$P_{cd3} := 3R_{dsonb} \cdot I_{ef13}^2 + 3R_{dsonb} \cdot I_{ef23}^2 = 0.48 \quad \text{Perdas de condução}$$

$$P_{sw3}(f_{st}) := 6 \cdot I_{L3} \cdot V_{ib} \cdot \left(\frac{t_{rb} + t_{fb}}{2} \right) \cdot f_{st} \quad \text{Perdas de comutação}$$

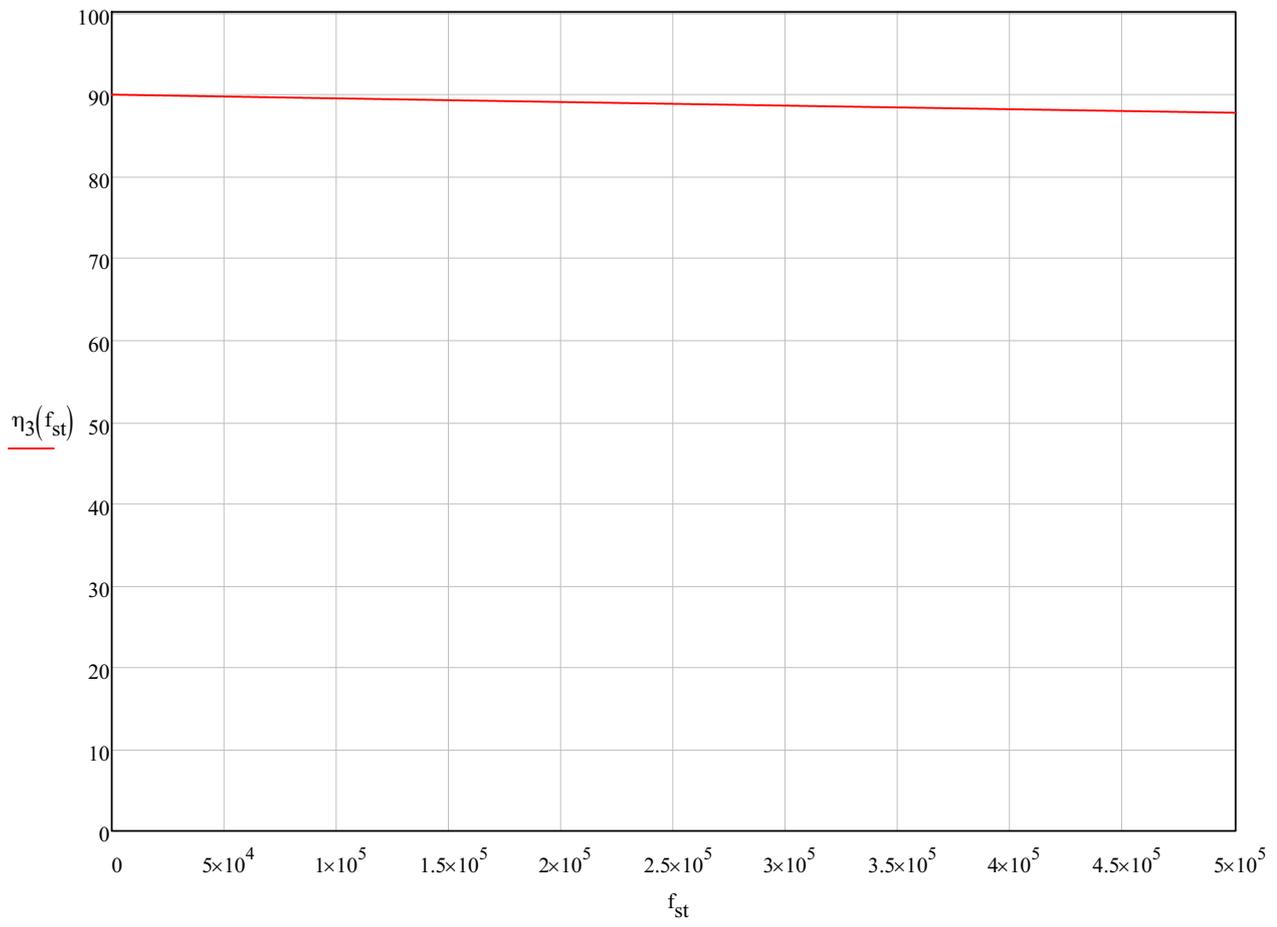
$$P_{cap3}(f_{st}) := 6 \cdot C_{ossb} \cdot f_{st} \cdot V_{ib}^2 \quad \text{Perdas capacitivas}$$

$$P_{cdl3} := 3R_L \cdot I_{L3}^2 = 3 \quad \text{Perdas de condução no indutor}$$

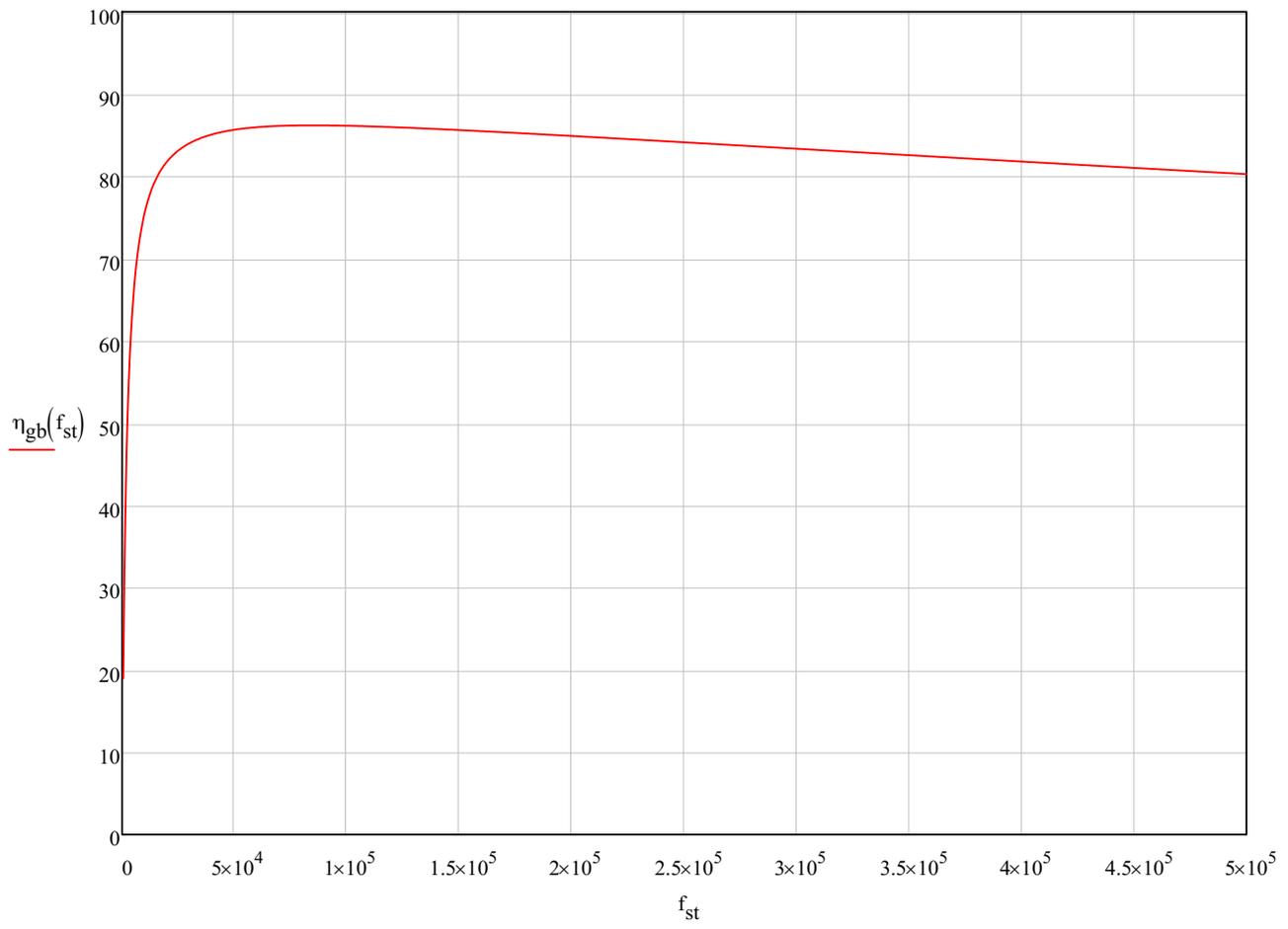
$$P_{sense} := 3R_{sense} \cdot I_{L3}^2 = 0.36 \quad \text{Perdas no sensor de corrente}$$

$$P_{t3}(f_{st}) := P_{sw3}(f_{st}) + P_{cap3}(f_{st}) + P_{cdl3} + P_{.n} + P_{sense} \quad \text{Perdas totais}$$

$$\eta_3(f_{st}) := \left(\frac{P_o}{P_o + P_{t3}(f_{st})} \right) \cdot 100 \quad \text{Rendimento}$$



$$\eta_{gb}(f_{st}) := \frac{\eta_3(f_{st})}{100} \cdot \eta_{scc1}(f_{st})$$



ANEXO A

NÚCLEO DO INDUTOR USADO NO
CONVERSOR BUCK-BUCK



AMOS Core Part No. : APH46P60

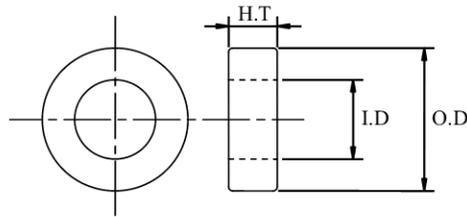
◎ **Advanced Powder core**

◎ **Core Dimensions**

Bare Core Dimensions (mm)			Finished Core Dimensions (mm)		
O.D _{typical}	I.D _{typical}	H.T _{typical}	O.D _{max.}	I.D _{min.}	H.T _{max.}
46.7	24.1	18.0	47.6	23.3	18.9

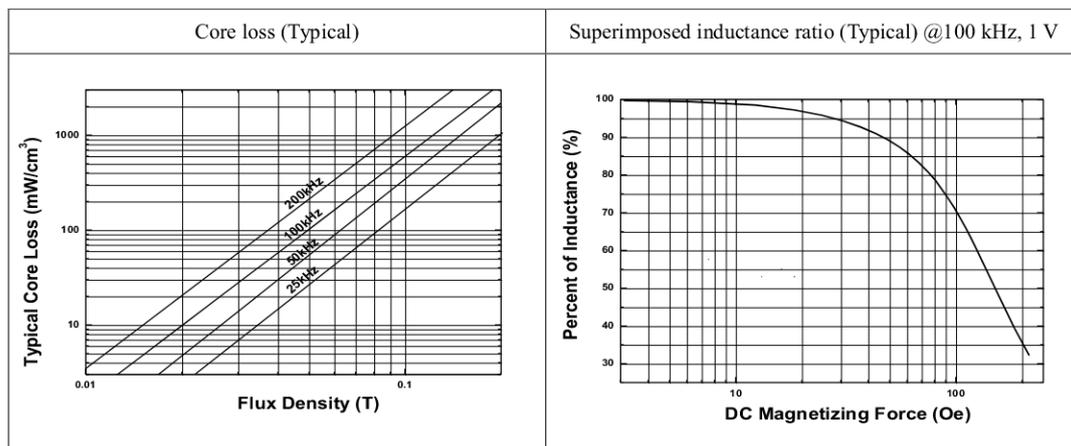
◎ **Magnetic Properties**

L _m (mm)	A _C (mm ²)	W _a (mm ²)	W _a A _C (mm ⁴)	Vol (mm ³)	A _L (nH)
107.4	199.0	426.4	84854	22609	135 ± 8 %



◎ **Hi-pot Test**

Model	Testing Method	Test Result	Coating Material	Remarks
APH46P60	1200V _{rms} , 60 Hz, 1 mA current, 1 sec.	PASS	EPOXY RESIN	Color: Blue



DESIGNED	CHECKED	APPROVED
<i>J.H YEOUM</i>	<i>J.T NAM</i>	<i>S.C YANG</i>
Feb. 19 2010	Feb. 19 2010	Feb. 19 2010

ANEXO B

CAPACITOR USADO NO MSCC E NO BKSI

CKG57NX7S1C107M500JH

TDK Item Description : CKG57NX7S1C107MT****



Application & Main Feature

Commercial Grade (MEGACAP Type)

Series

CKG57N(5750) [EIA CC2220]



Dimensions

L 6.00mm +/-0.5mm
 W 5.00mm +/-0.5mm
 T 5.00mm +/-0.5mm
 E 1.60mm +/-0.3mm

Temperature Characteristic

X7S (-55 to 125 degC +/-22%)

Rated Voltage

1C (16Vdc)

Capacitance

100uF

Capacitance Tolerance

M (+/-20%)

Dissipation Factor

7.5% Max.

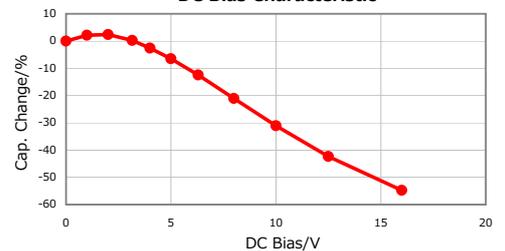
Insulation Resistance

1Mohm Min.

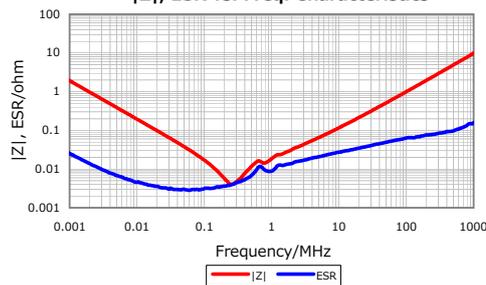
AEC-Q200

Not Applicable

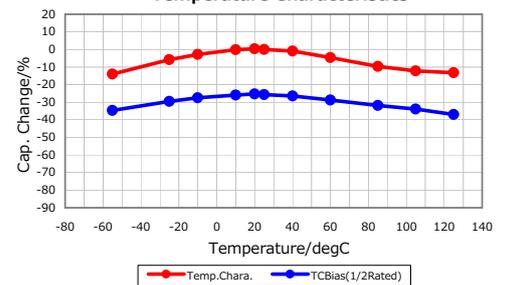
DC Bias Characteristic



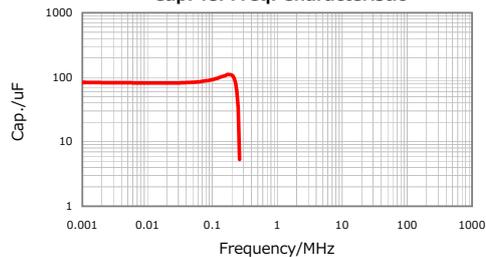
|Z|, ESR vs. Freq. Characteristics



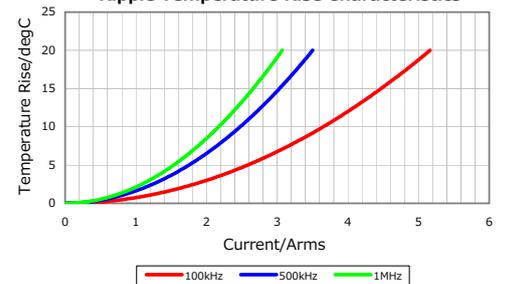
Temperature Characteristics



Cap. vs. Freq. Characteristic



Ripple Temperature Rise Characteristics



Characterization Sheet (Multilayer Ceramic Chip Capacitors)



All specifications are subject to change without notice.

January 4, 2016

ANEXO C

INDUTOR USADO NO BKSI

HCMA1707

Automotive grade High current power inductors



Product features

- AEC-Q200 qualified
- High current carrying capacity
- Magnetically shielded, low EMI
- Frequency range up to 1 MHz
- Inductance range from 1.5 μ H to 68 μ H
- Current range from 5.2 A to 40 A
- 17.5 mm x 17.2 mm footprint surface mount package in a 7.0 mm height
- Iron powder core material

Applications

- Body electronics
 - Central body control module
 - Headlamps, tail lamps and interior lighting
 - Heating ventilation and air conditioning controllers (HVAC)
 - Doors, window lift and seat control
- Advanced driver assistance systems
 - Adaptive cruise control (ACC)
 - Automatic parking control
 - Collision avoidance system
 - Car black box system
- Infotainment and cluster electronics
 - Audio subsystem: head unit and trunk amp
 - Digital instrument cluster
 - In-vehicle infotainment (IVI) and navigation
- Chassis and safety electronics
 - Airbag control unit
 - Electronic stability control system (ESC)
 - Electric parking brake
 - Electronic Power Steering (EPS)
 - Anti-Lock Braking System (ABS)

Environmental Data

- Storage temperature range (Component):
-55 °C to +125 °C
- Operating temperature range: -55 °C to +125 °C
(ambient plus self-temperature rise)
- Solder reflow temperature:
J-STD-020 (latest revision) compliant



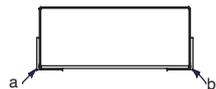
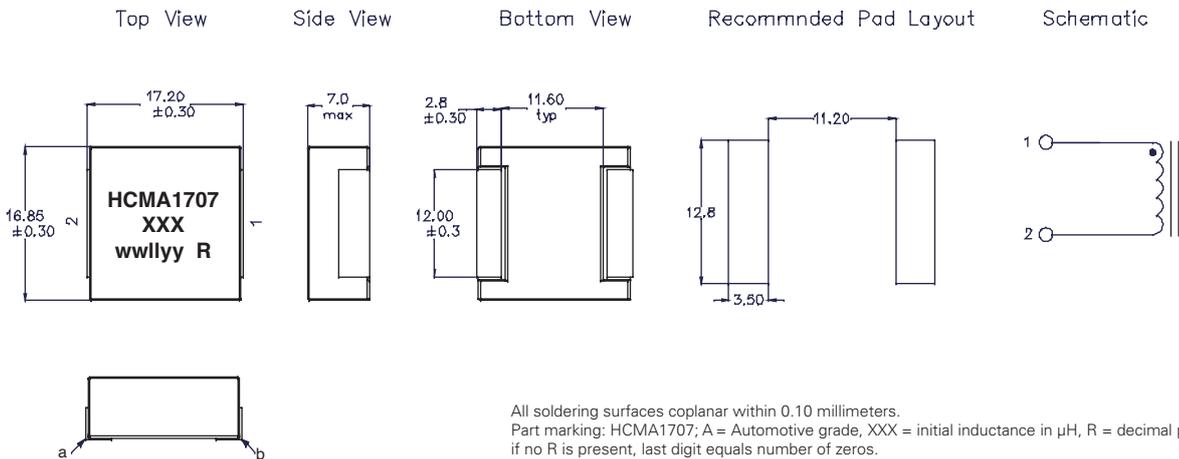
Product Specifications

Part Number ⁶	OCL ¹ ±20% (μH)	FLL min. ² (μH)	I _{rms} ³ (A)	I _{sat} ⁴ (A)	DCR (mΩ) @ +20 °C (typical)	DCR (mΩ) @ +20 °C (maximum)	K-factor ⁵
HCMA1707-1R5-R	1.5	0.96	40	40	1.85	2.15	124
HCMA1707-2R2-R	2.2	1.41	37	34	2.15	2.50	103
HCMA1707-4R7-R	4.7	3.01	27	24	4.12	4.72	76
HCMA1707-6R8-R	6.8	4.35	20	22	6.55	7.55	60
HCMA1707-8R2-R	8.2	5.25	16	20	8.10	8.70	55
HCMA1707-100-R	10	6.40	14	18	9.30	10	47
HCMA1707-150-R	15	9.60	12	13	14.5	15.5	43
HCMA1707-220-R	22	14.1	9.5	11	21	23	37
HCMA1707-330-R	33	21.1	9.0	10	35	37	28
HCMA1707-470-R	47	30.1	6.8	7.5	41	47	25
HCMA1707-680-R	68	43.5	5.2	6.5	74	85	20

1. Open Circuit Inductance (OCL) Test Parameters: 100 kHz, 0.25 V_{rms}, 0.0 Adc, +25 °C.
2. Full Load Inductance (FLL): Test parameters: 100 kHz, 0.25 V_{rms}, I_{sat}, +25 °C.
3. I_{rms}: DC current for an approximate temperature rise of 40 °C without core loss. Derating is necessary for AC currents. PCB layout, trace thickness and width, air-flow, and proximity of other heat generating components will affect the temperature rise. It is recommended that the temperature of the part not exceed +125 °C under worst case operating conditions verified in the end application.
4. I_{sat}: Peak current for approximately 20% rolloff at +25 °C.

5. K-factor: Used to determine B_{pp} for core loss (see graph). B_{pp} = K * L * ΔI. B_{pp}:(Gauss), K: (K-factor from table), L: (Inductance in μH), ΔI (Peak to peak ripple current in amps).
6. Part Number Definition: HCMA1707-yyy-R
 - HCMA1707 = Product code and siz
 yyy= Inductance value in uH, R = decimal point,
 if no R is present then third character = number of zeros.
 - "-R" suffix = RoHS compliant

Dimensions (mm)

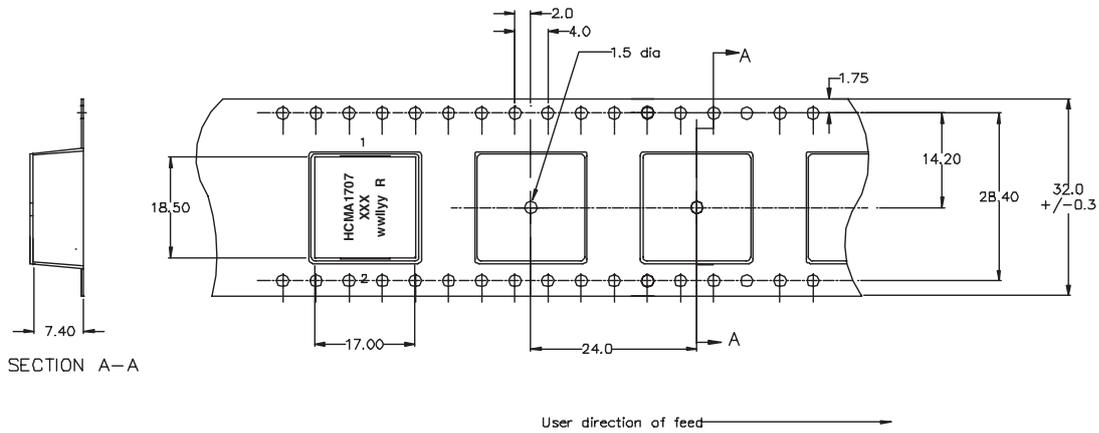


DCR measured between point "a" and point "b"

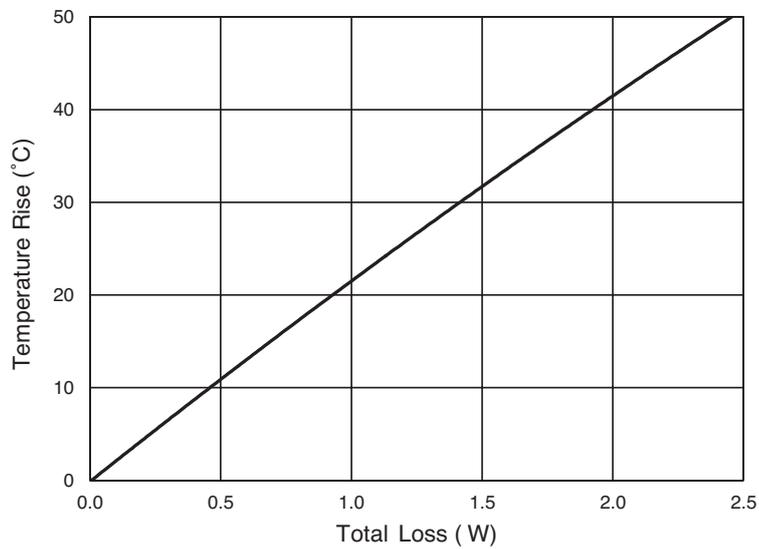
All soldering surfaces coplanar within 0.10 millimeters.
 Part marking: HCMA1707; A = Automotive grade, XXX = initial inductance in μH, R = decimal point; if no R is present, last digit equals number of zeros.
 wwllly = date code, R = revision level
 Color: Grey
 Do not route traces or vias underneath the inductor

Packaging information (mm)

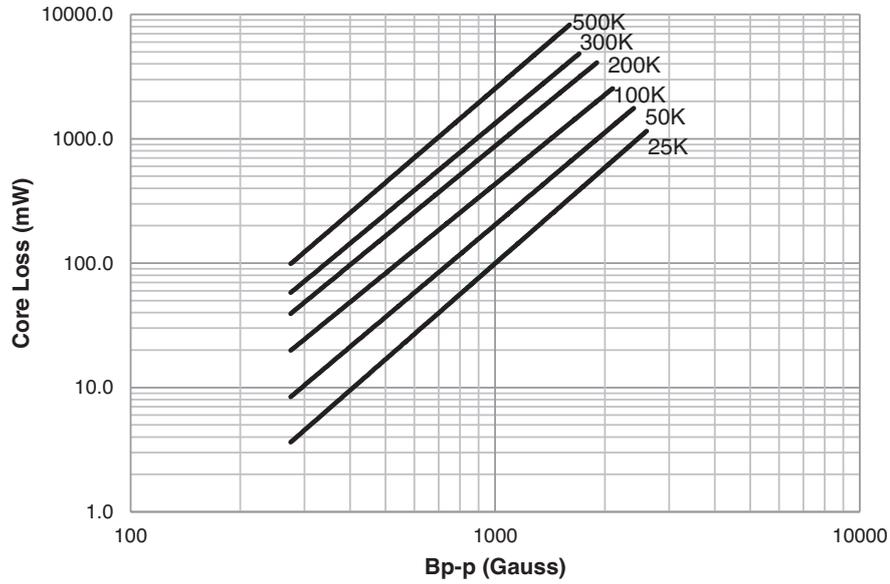
Supplied in tape and reel packaging , 350 parts per 13" diameter reel



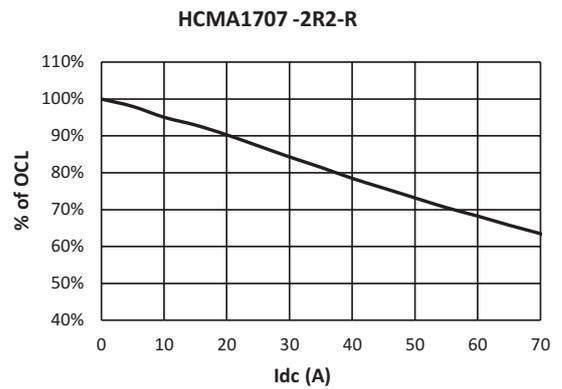
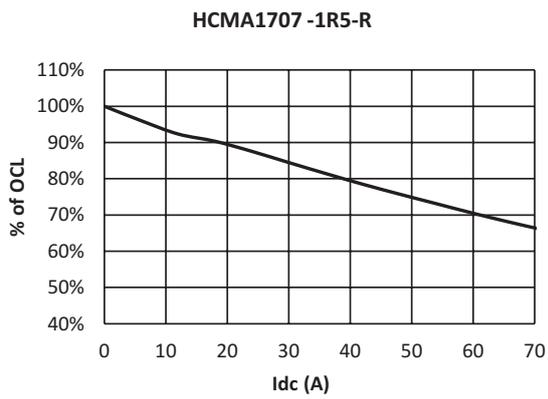
Temperature rise vs. total loss



Core loss vs. B_{p-p}

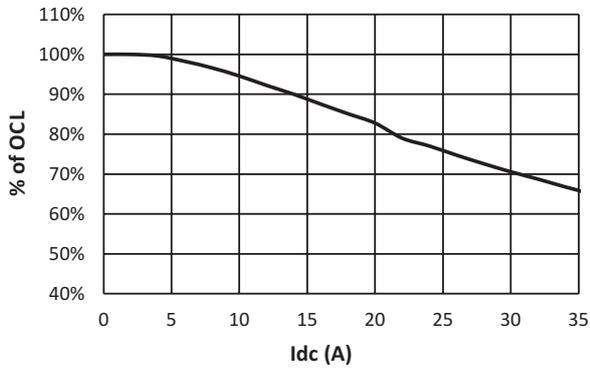


Inductance characteristics

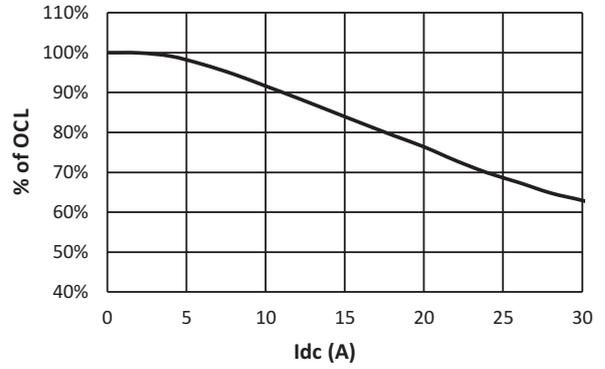


Inductance characteristics

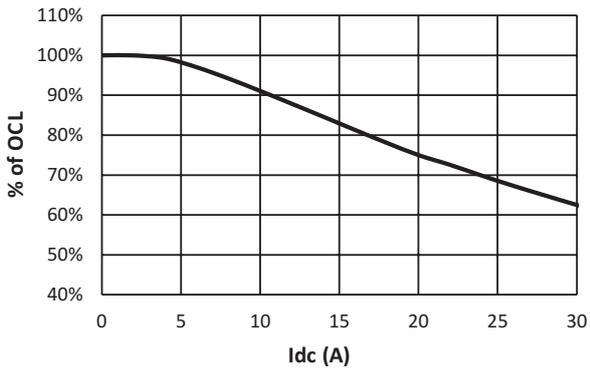
HCMA1707 -4R7-R



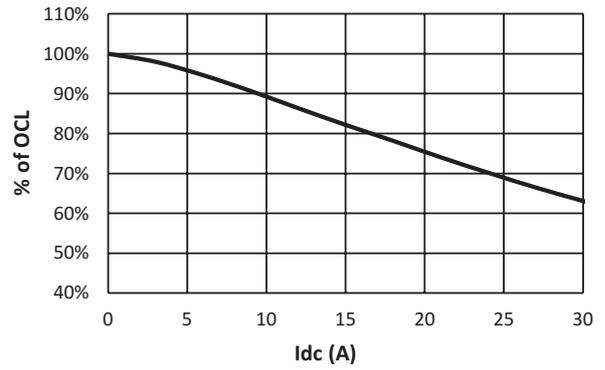
HCMA1707 -6R8-R



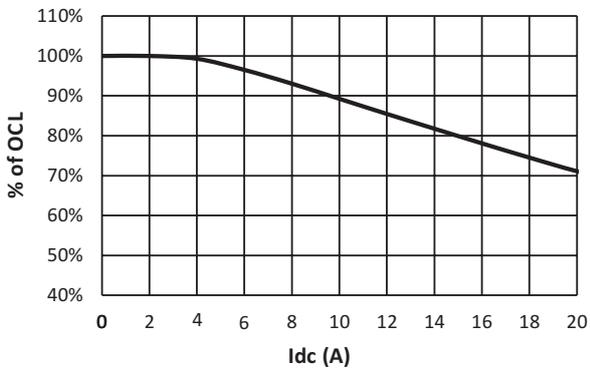
HCMA1707 -8R2-R



HCMA1707 -100-R



HCMA1707 -150-R



HCMA1707 -220-R

