



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Ricardo Batista Peres

**Implementação de PLL (*Phase Locked Loop*) Digital Para Transferência de
Energia Sem Fio**

Florianópolis-SC
2023

Ricardo Batista Peres

Implementação de PLL (*Phase Locked Loop*) Digital Para Transferência de Energia Sem Fio

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do título de Mestre em Engenharia Elétrica.
Orientador: Prof. Fabian Leonardo Cabrera Riano, Dr

Florianópolis-SC
2023

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Peres, Ricardo Batista

Implementação de PLL (Phase Locked Loop) Digital Para
Transferência de Energia Sem Fio / Ricardo Batista Peres ;
orientador, Fabian Leonardo Cabrera Riano, 2023.

97 p.

Dissertação (mestrado) - Universidade Federal de Santa
Catarina, Centro Tecnológico, Programa de Pós-Graduação em
Engenharia Elétrica, Florianópolis, 2023.

Inclui referências.

1. Engenharia Elétrica. 2. DPLL. 3. PLL. 4. CMOS. 5.
Transferência de Energia Sem Fio. I. Riano, Fabian
Leonardo Cabrera. II. Universidade Federal de Santa
Catarina. Programa de Pós-Graduação em Engenharia Elétrica.
III. Título.

Ricardo Batista Peres

Implementação de PLL (*Phase Locked Loop*) Digital Para Transferência de Energia Sem Fio

O presente trabalho em nível de Mestrado foi avaliado e aprovado por banca examinadora composta pelos seguintes membros:

Prof. Marcio Cherem Schneider, Dr.
Universidade Federal de Santa Catarina

Prof. Roddy Alexander Romero Antayhua, Dr.
Instituto Federal de Santa Catarina

Eng. Heider Marconi Guedes Madureira, Dr.
Chipus Microeletrônica

Certificamos que esta é a **versão original e final** do trabalho de conclusão que foi julgado adequado para obtenção do título de Mestre em Engenharia Elétrica.

Prof. Telles Brunelli Lazzarin, Dr
Coordenação do Programa de
Pós-Graduação

Prof. Fabian Leonardo Cabrera Riano, Dr
Orientador

Florianópolis-SC, 2023.

Dedicado a minha esposa Mayara Santos Cayres, minha
filha Sophia Cayres Peres, meu pai Antonio Peres Puga,
minha falecida mãe Zulmira Maria Batista Peres e a toda
família.

Agradecimentos

Primeiramente a Deus!

Ao professor Dr. Fabian Leonardo Cabrera Riano pela orientação e grande ajuda na pesquisa desenvolvida.

À Chipus Microeletrônica pela oportunidade concedida para a realização deste trabalho.

E a todos os colegas de trabalho que influenciaram, de alguma forma, este projeto.

Resumo

Nesta dissertação é apresentado um sintetizador de frequência para aplicações de transferência de energia sem-fio na frequência de 1 GHz. O sintetizador é baseado em uma malha de controle de fase com compensação digital (DPLL) usando oscilador em anel para menor impacto na área em silício. O circuito foi projetado na tecnologia CMOS 65 nm. A fundamentação teórica para o projeto de um DPLL é feita, partindo das características de PLLs convencionais, análises de estabilidade e ruído para o PLL tipo I e tipo II. Esses fundamentos são utilizados no projeto do DPLL e também dos blocos que o formam. O conversor de tempo para digital (TDC) projetado utiliza uma estratégia para aumentar a faixa de operação sem aumento significativo de área. Esse TDC gera sinais para o ajuste grosso e fino da malha de modo a reduzir o tempo de acomodação. Um oscilador controlado digitalmente é projetado usando um conversor digital-analógico em conjunto com um oscilador controlado por tensão. O divisor de frequência possui 4 valores para o módulo de divisão. Desta forma, poderá ser observado o comportamento dinâmico do DPLL na ocasião da medição do chip. É apresentado o projeto de malha para um DPLL tipo I. Nesse projeto de malha, a função de transferência do filtro é encontrada no domínio s e depois convertida para o domínio z utilizando a aproximação *Backward Difference*. Simulações nos ambientes digital, analógico e misto foram realizadas para verificar o correto funcionamento do circuito projetado. Também foi feito o leiaute do DPLL incluindo PADs, estruturas de depuração e *buffers*. O DPLL proposto atinge uma área de $0,06 \text{ mm}^2$, um tempo de acomodação de $8 \mu\text{s}$ para um passo de frequência na saída de 128 MHz. O ruído de fase estimado é de -100 dBc/Hz na frequência de *offset* de 1 MHz. O consumo de potência foi estimado em 3,4 mW quando o DPLL opera em 1 GHz e tensão de alimentação de 1,2 V.

Palavras-chave: DPLL. PLL. Transferência de Energia Sem Fio. CMOS.

Abstract

This dissertation presents a frequency synthesizer for wireless power transfer applications at a frequency of 1 GHz. The synthesizer is based on a Digitally compensated Phase Locked Loop (DPLL) using a ring oscillator for less impact on silicon area. The circuit was designed using 65 nm CMOS technology. The theoretical basis for the design of a DPLL is made, starting from the characteristics of conventional PLLs, stability and noise analyzes for PLL type I and type II. These fundamentals are used in the design of the DPLL and also in the blocks that form it. The designed Time-to-Digital Converter (TDC) uses a strategy to increase the operating range without significantly increasing the area. This TDC generates signals for coarse and fine adjustment of the loop in order to reduce the settling time. A Digitally Controlled Oscillator is designed using a Digital-to-Analog Converter in conjunction with a Voltage-Controlled Oscillator. The frequency divider has 4 values for the division module. In this way, the dynamic behavior of the DPLL can be observed when measuring the chip. The loop design for a type-I DPLL is presented. In this loop design, the filter transfer function is found in the s-domain and then converted to the z-domain using the Backward Difference approximation. Simulations in digital, analog and mixed environments were performed to verify the correct functioning of the designed circuit. The DPLL layout was also designed including PADS, debug structures and buffers. The proposed DPLL achieves an area of 0.06 mm^2 , a settling time of $8 \mu\text{s}$ for an output frequency step of 128 MHz. The estimated phase noise is -100 dBc/Hz at the offset frequency of 1 MHz. Power consumption was estimated at 3.4 mW when the DPLL operates at 1 GHz and a supply voltage of 1.2 V.

Keywords: DPLL. PLL. Wireless Power Transfer. CMOS.

Lista de figuras

Figura 1 – Exemplo básico de transferência de energia sem fio	18
Figura 2 – Sistema WPT com detalhes do transmissor	19
Figura 3 – Diagrama de blocos de um PLL convencional	20
Figura 4 – Exemplo de um PLL tipo I entrando na condição de <i>lock</i>	22
Figura 5 – Filtro de malha em PLL tipo I	25
Figura 6 – Modelo para PLL tipo I	26
Figura 7 – Comportamento da função de transferência em malha aberta do PLL tipo I	26
Figura 8 – Modelo de ruído do PLL tipo I	27
Figura 9 – Diagrama de blocos de PFD+CP+LF	29
Figura 10 – Modelo para PLL tipo II	30
Figura 11 – Comportamento da função de transferência em malha aberta do PLL tipo II	31
Figura 12 – Modelo de ruído do PLL tipo-II	32
Figura 13 – Diagrama de blocos de um DPLL convencional	34
Figura 14 – Topologias base de osciladores, (a) oscilador LC e (b) oscilador em anel	37
Figura 15 – Exemplo de filtro digital para DPLL (a) tipo I, (b) tipo II de segunda ordem e (c) tipo II de terceira ordem	39
Figura 16 – Detector de fase <i>Bang-Bang</i> de 1 bit	39
Figura 17 – TDC convencional	40
Figura 18 – TDC Vernier	41
Figura 19 – TDC baseado em oscilador em anel	42
Figura 20 – Estrutura de exemplo de um divisor multi módulo	43
Figura 21 – Domínio dos blocos existentes no DPLL	44
Figura 22 – Diagrama de blocos do DPLL proposto	45
Figura 23 – Diagrama de blocos do TDC sem o bloco de ajuste grosso	46
Figura 24 – Elemento de atraso do oscilador em anel	47
Figura 25 – Diagrama de blocos do TDC	49
Figura 26 – Circuito de ajuste FINO	50
Figura 27 – Diagrama de blocos do decodificador de estados	50
Figura 28 – Decodificador de ciclos	51
Figura 29 – Circuito de ajuste grosso	52
Figura 30 – Circuito gerador dos sinais de controle	52
Figura 31 – Formas de onda do circuito de controle	52
Figura 32 – Sinais do TDC	53
Figura 33 – Diagrama de blocos do DCO	55

Figura 34 – VCO à esquerda e a chave de controle grosso da frequência à direita	55
Figura 35 – Secção transversal do varactor	56
Figura 36 – Comparação entre (linha sólida) capacitância do varactor em função da tensão entre os terminais e (linha tracejada) capacitancia de um capacitor Poly (P+) sobre <i>N-Well</i>	56
Figura 37 – Exemplo de sobreposição de frequências para valores adjacentes do ajuste grosso	57
Figura 38 – Conversor D/A	58
Figura 39 – Possível comportamento de um conversor D/A com a presença de descasamento	59
Figura 40 – <i>vctrl</i> versus ajuste fino no domínio do tempo	60
Figura 41 – <i>vctrl</i> versus ajuste fino	61
Figura 42 – Frequência do DPLL versus ajuste fino para diferentes códigos de ajuste grosso	62
Figura 43 – Ruído de fase do DCO (dBc / Hz) operando em 1 GHz	63
Figura 44 – Divisor de frequência 14/15/16/17	63
Figura 45 – Resposta do filtro digital	65
Figura 46 – Diagrama de blocos de PLL digital para análise de malha	65
Figura 47 – Diagrama de Bode projetado do DPLL tipo I	67
Figura 48 – Resposta ao degrau do DPLL tipo I projetado	68
Figura 49 – Estimativa do ruído do DPLL projetado	69
Figura 50 – <i>Buffer</i> de entrada do sinal de referência	70
Figura 51 – Sinais do <i>buffer</i> de entrada para o sinal de referência de 16 MHz	71
Figura 52 – <i>Buffer</i> de saída do PLL	72
Figura 53 – Sinais do <i>buffer</i> de saída do chip	73
Figura 54 – Proteção ESD primária	74
Figura 55 – <i>Buffer</i> analógico para medição da tensão de controle	74
Figura 56 – Simulação de PSRR do <i>buffer</i> analógico	75
Figura 57 – Função de transferência DC do <i>buffer</i> analógico	75
Figura 58 – Diagrama de Bode do <i>buffer</i> analógico	76
Figura 59 – Histograma da tensão de <i>offset</i> - MC 350 amostras	76
Figura 60 – Leiaute do oscilador controlado digitalmente	77
Figura 61 – Leiaute do DAC	78
Figura 62 – Leiaute do oscilador controlado por tensão	78
Figura 63 – Leiaute do DPLL	79
Figura 64 – Leiaute do DPLL com divisões dos blocos	80
Figura 65 – Leiaute do DPLL sem estruturas de depuração, PADs e <i>buffers</i>	80
Figura 66 – Comportamento da frequência da saída e tensão de controle na inicialização do DPLL	82

Figura 67 – Comportamento da frequência de saída e sinal de controle para uma mudança no valor do divisor multi módulo de 16 para 14	83
Figura 68 – Circuito melhorado para o DAC	88
Figura 69 – Imagem da placa de circuito impresso usada nas medições	94

Lista de tabelas

Tabela 1 – Comparação com Estado da Arte	23
Tabela 2 – Contribuição dos ruídos dos blocos no ruído de fase para PLL tipo I	28
Tabela 3 – Contribuição dos ruídos dos blocos no ruído de fase para PLL tipo II	33
Tabela 4 – Exemplo de funcionamento do decodificador de estados com número de bits reduzidos	51
Tabela 5 – Tamanho e valor dos componentes utilizados no DCO	59
Tabela 6 – Tabela verdade para o projeto do circuito combinacional	63
Tabela 7 – Tamanho e valor dos componentes utilizados no <i>buffer</i> de entrada .	71
Tabela 8 – Tamanho e valor dos componentes utilizados no <i>buffer</i> de saída . .	73
Tabela 9 – Tamanho e valor dos componentes utilizados no <i>buffer</i> analógico .	77
Tabela 10 – Contribuição aproximada dos blocos na área do DPLL	81
Tabela 11 – Comparação com Estado da Arte	84

Lista de abreviaturas e siglas

AMS	<i>Analog and Mixed-Signal</i>
BBPFD	<i>Bang-Bang Phase and Frequency Detector</i>
BEC	<i>Bubble Error Correction</i>
CFTL	<i>Continuous Frequency Tracking Loop</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CP	<i>Charge Pump</i>
DAC	<i>Digital to Analog Converter</i>
DC	<i>Direct Current</i>
DCDL	<i>Digital Controlled Delay Line</i>
DCO	<i>Digitally Controlled Oscillator</i>
DECAP	<i>Decoupling Capacitor</i>
DLF	<i>Digital Loop Filter</i>
DPLL	<i>Digital Phase Locked Loop</i>
DTC	<i>Digital to Time Converter</i>
DZF	<i>Dead-Zone Free</i>
EMI	<i>Electromagnetic interference</i>
ESD	<i>Electrostatic Discharge</i>
FPC	<i>Feed-forward Phase-error Cancellation</i>
FPEC	<i>Fast Phase Error Correction</i>
GND	<i>Ground</i>
IIR	<i>Infinite Impulse Response</i>
IJC	<i>Injection Controller</i>
IoT	<i>Internet of Things</i>
LF	<i>Loop Filter</i>
LO	<i>Local Oscillator</i>
LSB	<i>Least Significant Bit</i>
MOS	<i>Metal Oxide Semiconductor</i>
OTTDC	<i>Optimized Threshold Time to Digital Converter</i>
PA	<i>Power Amplifier</i>
PCB	<i>Printed Circuit Board</i>
PD	<i>Phase Detector</i>
PFD	<i>Phase and Frequency Detector</i>
PLL	<i>Phase Locked Loop</i>
PM	<i>Phase Margin</i>
PN	<i>Phase Noise</i>
PVT	<i>Process, Voltage and Temperature</i>
RFID	<i>Radio Frequency Identification</i>

RO	<i>Ring Oscillator</i>
TDC	<i>Time to Digital Converter</i>
VCO	<i>Voltage Controlled Oscillator</i>
WPT	<i>Wireless Power Transfer</i>
ZOH	<i>Zero Order Hold</i>

Lista de símbolos

f_0	Frequência fundamental do transmissor WPT
Φ_{REF}	Fase do sinal de referência
Φ_{DIV}	Fase do sinal de realimentação
$\Delta\Phi$	Diferença entre as fases de realimentação e referência
v_{ctrl}	Tensão analógica de controle do VCO
Φ_{PLL}	Fase do sinal de saída do PLL
N	Valor do módulo de divisão de frequência
T_{DIV_F}	Período do pulso em estado estacionário do sinal de realimentação
T_{REF}	Período do sinal de referência
K_{PD}	Constante de ganho proporcional do detector de fase
K_{VCO}	Constante de ganho do VCO
A_{CL}	Função de transferência em malha fechada
t_s	Tempo de acomodação
$S_{N,PLL}$	Densidade espectral de ruído do PLL
$S_{N,REF}$	Densidade espectral de ruído da referência
$S_{N,DIV}$	Densidade espectral de ruído do divisor de frequência
$S_{N,PD}$	Densidade espectral de ruído do detector de fase
$S_{N,VCO}$	Densidade espectral de ruído do oscilador controlado por tensão
S_N	Densidade espectral de ruído
ω_{comp}	Frequência angular dos polos complexos
I_{CP}	Corrente de carga e descarga do CP
Up	Sinal proveniente do PFD para uma diferença positiva de fase
$Down$	Sinal proveniente do PFD para uma diferença negativa de fase
$S_{N,CP}$	Densidade espectral de ruído da bomba de carga
K_{CP}	Constante de ganho proporcional da bomba de carga
N_{DIV}	Número de bits do barramento do controle de frequência
N_{TDC}	Número de bits do barramento da saída do TDC
N_{DLF}	Número de bits do barramento da saída do DLF
VP	Tensão de saída do VCO positiva
VN	Tensão de saída do VCO negativa
I_{VDD}	Corrente da alimentação
VDD	Tensão de alimentação
f_{ro}	Frequência de oscilação de um oscilador em anel
τ	Tempo de propagação da célula de atraso
CL_{dac}	Capacitância total na saída do DAC
ω_{pdac}	Frequência angular do polo na saída do DAC
C_{par}	Capacitância parasita total entre o nó v_{ctrl} e terra AC
ω_u	Frequência angular de ganho unitário em malha aberta

K_{DLF}	Constante de ganho proporcional do DLF
K_{LF}	Constante de ganho proporcional do LF
$Err[k]$	Valor discreto do erro da fase
$ctrl[k]$	Valor discreto do controle da frequência
$C(z)$	Valor discreto do controle da frequência
T	Período de amostragem do TDC
ω_{REF}	Frequência angular de referência
ζ	Fator de amortecimento da malha
ω_z	Frequência angular do zero
K_{TDC}	Constante de ganho do TDC
ω_n	Frequência angular natural da malha
ω_{bw}	Frequência angular da largura de banda do DPLL
S_{vctrl}	Ruído de quantização na tensão de controle
K_{DAC}	Varição de 1 LSB na tensão de controle
$P_{REFspurs}$	Potência dos <i>spurs</i> da referência
K_{DCO}	Constante de ganho do DCO
R_f	Resistor de realimentação
C_{bi}	Capacitor de desacoplamento DC de entrada
C_{bo}	Capacitor de desacoplamento DC de saída
R_{pd}	Resistor de <i>pull-down</i>
R_{ab}	Resistor para polarização de corrente
C_C	Capacitor de compensação
R_C	Resistor para anular RHP zero
$PSRR$	<i>Power Supply Rejection Ratio</i>

Sumário

1	INTRODUÇÃO	18
1.1	MOTIVAÇÃO	18
1.2	ESTADO DA ARTE	23
1.3	OBJETIVOS	24
1.4	ORGANIZAÇÃO DO DOCUMENTO	24
2	FUNDAMENTAÇÃO TEÓRICA	25
2.1	MALHA DE CONTROLE DE FASE (PHASE LOCKED LOOP)	25
2.1.1	Classificação de PLLs	25
2.1.1.1	PLL Tipo I	25
2.1.1.1.1	<i>Ruído em PLL Tipo I</i>	27
2.1.1.2	PLL Tipo II	29
2.1.1.2.1	<i>Ruído em PLL Tipo II</i>	31
2.1.1.3	PLL N-Inteiro	32
2.1.1.4	PLL N Fracionário	33
2.2	PLLs COM COMPENSAÇÃO DIGITAL (DPLLs)	34
2.2.1	Elementos básicos	34
2.2.2	Vantagens e Desvantagens Comparado ao PLL Convencional	35
2.3	TOPOLOGIAS DOS BLOCOS	36
2.3.1	Oscilador Controlado Digitalmente	36
2.3.2	Filtro de Malha Digital	38
2.3.3	Conversor de tempo para digital	38
2.3.3.1	Detector de Fase <i>Bang-Bang</i>	39
2.3.3.2	Conversor de Tempo Para Digital Convencional	40
2.3.3.3	Arquitetura Vernier	40
2.3.3.4	<i>Ring Oscillator</i> TDC (RO-TDC)	41
2.3.4	Divisor de Frequência	42
3	PROJETO DO PLL DIGITAL	44
3.1	MALHA DE CONTROLE DE FASE COM COMPENSAÇÃO DIGITAL (DPLL)	44
3.2	CONVERSOR DE TEMPO PARA DIGITAL (TDC)	45
3.2.1	Função de Transferência	53
3.2.2	Formas de onda	53
3.3	OSCILADOR CONTROLADO DIGITALMENTE (DCO)	54
3.3.1	VCO	54
3.3.2	DAC	57
3.3.3	Função de Transferência	60
3.3.4	Formas de Onda	60

3.4	DIVISOR DE FREQUÊNCIA	62
3.5	FILTRO DIGITAL DA MALHA (DLF)	64
3.5.1	Formas de onda	64
3.6	PROJETO DE MALHA DO DPLL	64
3.6.1	Projeto de malha para DPLL Tipo I	66
3.6.2	Projeto de malha para DPLL Tipo II	68
3.7	<i>BUFFER</i> DE ENTRADA	70
3.7.1	Formas de Onda	71
3.8	<i>BUFFER</i> DE SAÍDA	71
3.8.1	Formas de Onda	72
3.9	PROTEÇÃO PRIMÁRIA	72
3.10	CIRCUITO PARA MONITORAR A TENSÃO DE CONTROLE	73
3.11	LEIAUTE	76
3.11.1	Blocos internos	76
3.11.2	DPLL	78
3.11.3	DPLL Com Marcações Diferenciando Blocos.	79
3.11.4	Núcleo do DPLL	79
4	RESULTADOS	82
4.1	SIMULAÇÕES	82
4.1.1	DPLL	82
4.1.2	Resumo Dos Resultados	84
5	CONCLUSÃO E RECOMENDAÇÕES	85
5.1	CONCLUSÃO	85
5.2	RECOMENDAÇÕES	86
	REFERÊNCIAS	89
	APÊNDICE A – RELAÇÃO ENTRE MARGEM DE FASE E FATOR DE AMORTECIMENTO PARA PLL TIPO I DE SE- GUNDA ORDEM	92
	APÊNDICE B – RELAÇÃO ENTRE BANDA DA MALHA E FATOR DE AMORTECIMENTO	93
	APÊNDICE C – PLACA DE CIRCUITO IMPRESSO	94
	ANEXO A – CÓDIGO VERILOG PARA EMULAR O COMPORTA- MENTO DO OSCILADOR NA SIMULAÇÃO DO TDC	95
	ANEXO B – SCRIPT OCTAVE PARA MALHA DE DPLL TIPO-I	96

1 Introdução

1.1 Motivação

Com o avanço da tecnologia, é evidente o crescimento no desenvolvimento de dispositivos da denominada "Internet das Coisas" (*Internet of Things* - IoT) (DING *et al.*, 2020). Um dos desafios enfrentados por esses dispositivos é a alimentação dos circuitos, devido à necessidade de autonomia energética. Dentre as diversas soluções existentes para esse problema, destaca-se a transferência de energia sem fio (*Wireless Power Transfer* - WPT). Um sistema WPT consiste em um dispositivo transmissor, um receptor e um acoplamento, conforme ilustrado na Figura 1. O funcionamento básico de um sistema WPT ocorre da seguinte forma: o transmissor possui uma fonte própria de energia elétrica, a partir da qual é gerado um sinal variante no tempo que é injetado no lado primário do acoplamento. Esse sinal oscilatório gera um campo magnético no indutor primário, induzindo, por sua vez, uma tensão elétrica no indutor secundário. No lado secundário, o receptor pode retificar e utilizar a energia recebida.

A eficiência na transferência de energia depende principalmente da frequência do sinal utilizado e das características geométricas dos indutores. Especificamente, há uma frequência ótima na qual o fator de qualidade dos indutores é maximizado. Essa frequência (f_0 na Figura 2) deve ser gerada pelo bloco denominado Oscilador Local (*Local Oscillator* - LO) no transmissor. O sinal do LO é fortalecido pelo amplificador de potência (*Power Amplifier* - PA), o qual gera a amplitude necessária para alimentar o indutor primário. O mesmo canal de comunicação usado para transferir energia pode, eventualmente, ser utilizado para comunicação de dados de forma bidirecional (do primário para o secundário e vice-versa). A modulação de dados no transmissor geralmente é aplicada no PA (modulação em amplitude). Por outro lado, as informações recebidas de volta podem ser encontradas na envoltória do sinal nos terminais do indutor. Isso ocorre porque o lado secundário realiza a modulação de carga para se

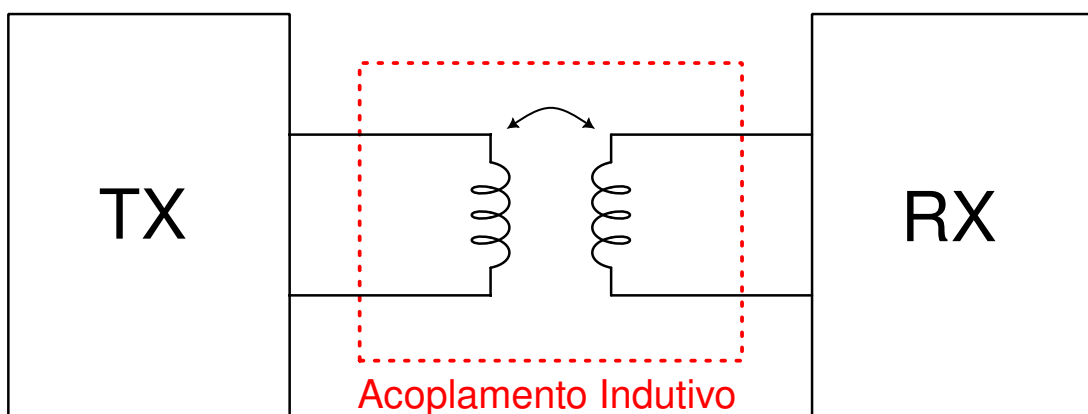


Figura 1 – Exemplo básico de transferência de energia sem fio

Fonte: (Autor - 2023)

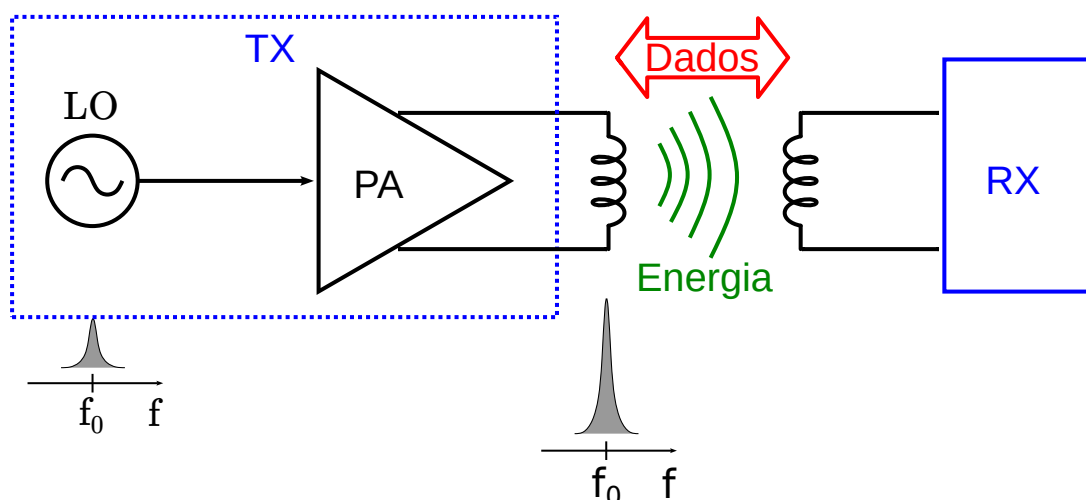


Figura 2 – Sistema WPT com detalhes do transmissor

Fonte: (Autor - 2023)

comunicar com o lado primário do acoplamento. Portanto, a recuperação dos dados no transmissor é realizada utilizando um bloco detector de envoltória.

A partir da descrição fornecida no parágrafo anterior, é possível inferir a importância do bloco LO, uma vez que sua função é gerar uma frequência estável e de boa pureza espectral, especificada em termos de ruído de fase e componentes indesejados de frequência fixa (*spurs*).

O sistema WPT é inerentemente relacionado com a energização de *tags* de Identificação por Radiofrequência (*Radio Frequency Identification* - RFID) (ROSELLI *et al.*, 2013). Embora a maioria dessas aplicações opere na frequência de 13,56 MHz, têm sido demonstradas aplicações em frequências consideravelmente mais altas, visando uma maior eficiência energética. Por exemplo, em (CABRERA; RANGEL DE SOUSA, 2014) foi demonstrado um sistema WPT com eficiência ótima alcançada em uma frequência de aproximadamente 1 GHz.

Para frequências de algumas dezenas de MHz, é possível implementar o LO com osciladores a cristal, os quais fornecem frequências altamente precisas (com variações na ordem de ppm - partes por milhão) e excelente qualidade espectral. Já para frequências na faixa de centenas de MHz e superiores, é possível implementar osciladores em circuito integrado, por exemplo osciladores em anel ou osciladores LC. No entanto, as frequências desses osciladores integrados podem variar em dezenas de pontos percentuais e exibem ruído de fase consideravelmente alto. Com o objetivo de combinar as vantagens da alta frequência nos osciladores integrados com a alta precisão dos osciladores de cristal, é necessário projetar uma Malha de Controle de Fase (*Phase Locked Loop* - PLL).

Um PLL convencional possui a arquitetura mostrada na Figura 3. Ele é composto pelos blocos: Detector de Fase (*Phase Detector* - PD), Filtro de Malha (*Loop Filter* - LF), Oscilador Controlado por Tensão (*Voltage Controlled Oscillator* - VCO) e Divisor

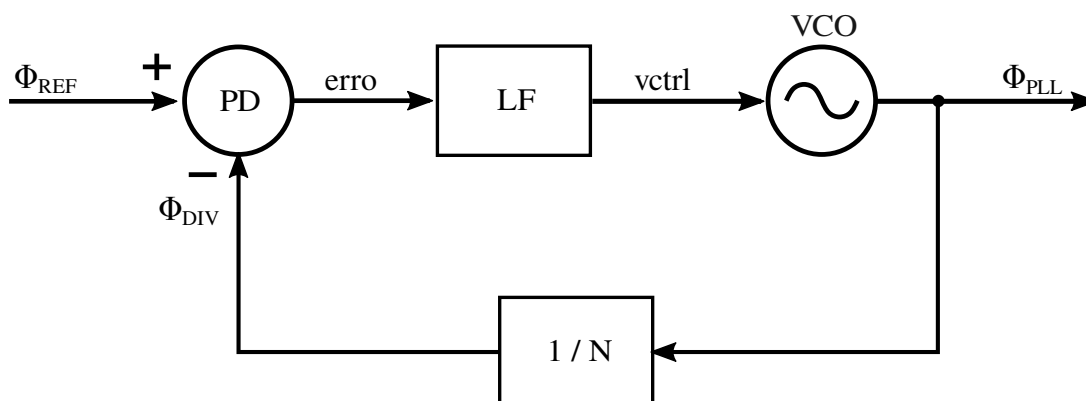


Figura 3 – Diagrama de blocos de um PLL convencional
Fonte: (Autor - 2023)

de Frequência.

O PLL pode ser estudado como um sistema de controle, onde a variável controlada é a fase de saída. Quando o PLL opera em estado estacionário, o sinal de erro depende do bloco de compensação (filtro) usado. A escolha do tipo de filtro pode levar uma diferença entre fases igual a zero. Em outros casos, a diferença entre fases é inversamente proporcional ao ganho de malha. Em PLLs como na Figura 3, a tensão na saída do LF (v_{ctrl}) é proporcional a essa diferença entre as fases. Essa tensão atua na frequência de saída do PLL através do VCO. Se o PLL for projetado corretamente, tomando os cuidados para sempre levar o circuito até a frequência desejada (condição de *lock*), então a frequência em Φ_{DIV} é a mesma frequência que em Φ_{REF} , sendo assim, a frequência em Φ_{PLL} é N vezes maior que a frequência em Φ_{REF} .

O funcionamento de cada um dos blocos, mostrado na Figura 3, é explicado como segue.

1. Detector de Fase

Há diferentes formas de implementar o detector de fase (porta XOR, *flip-flop*, multiplicador analógico). Cada uma delas é caracterizada por uma função de transferência específica, mas em todos os casos a informação da diferença entre as fases (Φ_{REF} e Φ_{DIV}) está em baixas frequências. No entanto, há também componentes residuais em frequências mais altas, as quais devem ser atenuadas pelo filtro de malha.

Uma abordagem mais completa pode ser realizada com um Detector de Fase e Frequência (*Phase and Frequency Detector* - PFD) que, além de detectar a diferença de fases, é capaz de discriminar a diferença entre as frequências. Esse bloco é utilizado em conjunto com a bomba de carga, que injeta ou extrai carga do filtro com base na diferença de fases ($\Delta\Phi$). Existem circuitos que ampliam a faixa de operação do PFD, como mencionado em (CABRERA; ROA; NOIJE, 2008), evitando assim efeitos indesejáveis, como o *Cycle Slipping*.

2. Filtro de Malha

O filtro passa-baixa atenua as componentes de alta frequência geradas pelo PD e define as características estáticas (ruído de fase e *spurs*) e dinâmicas (tempo de acomodação) da malha. Tais características dependem da localização dos polos e zeros, influenciando a estabilidade do sistema.

Para o projeto do filtro junto com o circuito PD, ou PFD+Bomba de Carga (*Charge Pump* - CP), é necessário considerar também a magnitude das interferências geradas na tensão de controle, pois essas interferências aparecem no espectro de saída do PLL como *spurs*.

Em PLLs convencionais, o filtro é implementado com dispositivos passivos (resistores e capacitores). Geralmente esses componentes causam um grande impacto na área utilizada em Silício, para gerar polos/zero no sistema em determinadas frequências. Uma técnica para reduzir a área do LF é fazer a compensação da malha no domínio digital como mostrado nessa dissertação. Algumas vantagens de usar compensação digital são maior grau de liberdade para a geração de polos e zeros no sistema; Polos/zeros podem ser adicionados sem a necessidade de grandes capacitores; Tornar o projeto mais rápido com a capacidade de portar um projeto de uma tecnologia para outra, principalmente em tecnologias mais avançadas.

3. Oscilador Controlado por Tensão

O VCO é encarregado de gerar o sinal de saída do PLL, sendo que a frequência em sua saída é diretamente proporcional à tensão de controle em sua entrada (*vctrl*). Geralmente, em circuitos integrados, ele é implementado com osciladores em anel ou osciladores LC. Os osciladores LC são os maiores responsáveis pelo impacto na área em silício, pois estes usam grandes indutores integrados dentro do chip. No entanto, muitas vezes eles são preferidos por apresentar melhor compromisso entre potência e ruído de fase comparado aos osciladores em anel.

Ao projetar a faixa de operação do VCO é importante considerar variações de processo, tensão e temperatura (*Process, Voltage and Temperature* - PVT) desse circuito, a fim de garantir que a frequência de oscilação seja atingida para todas as condições de operação.

4. Divisor de Frequência

A malha assegura que, em estado estacionário, a frequência do sinal de realimentação (Φ_{DIV}) seja igual à frequência no sinal de referência (Φ_{REF}). Portanto, a divisão de frequência no ramo da realimentação ($\Phi_{DIV} = \Phi_{PLL} / N$) resulta em uma frequência de saída N vezes maior que a frequência de referência.

Divisores de frequência são normalmente implementados por meio de circuitos digitais sequenciais, o qual também simplifica o controle do módulo de divisão usando uma palavra digital.

A Figura 4 mostra um exemplo do comportamento de um PLL com o intuito de explicar o funcionamento da malha. Neste exemplo, o circuito PD utilizado é uma porta XOR, sendo sua saída nível lógico '1' sempre que houver uma diferença entre o nível lógico de suas entradas e '0' caso contrário. É assumido um filtro RC de primeira ordem.

Inicialmente, a frequência em Φ_{DIV} é menor do que a frequência em Φ_{REF} . A diferença entre as fases, evidente na figura, causa aumento na largura dos pulsos no sinal de erro, o que por sua vez aumenta a tensão de controle v_{ctrl} . Ao aumentar a tensão de controle também aumenta a frequência de saída do PLL e, conseqüentemente a frequência em Φ_{DIV} . Dessa forma, no estado estacionário T_{DIV_F} é igual à T_{REF} .

O funcionamento em PLLs digitais é similar ao explicado acima. A diferença é que os blocos, PD, LF e VCO são substituídos pelos blocos Conversor de Tempo para Digital (Time to Digital Converter - TDC), Filtro de Malha Digital (Digital Loop Filter - DLF) e Oscilador Controlado Digitalmente (Digitally Controlled Oscillator - DCO), respectivamente. Em (STASZEWSKI *et al.*, 2004) é detalhada a viabilidade de usar um PLL digital em tecnologias mais recentes (*deep-submicron* CMOS), uma vez que a resolução no domínio do tempo melhora em detrimento da resolução no domínio da tensão, causado pela diminuição na tensão de alimentação.

O estado da arte mostra que há uma tendência para o uso de circuitos PLL com compensação digital (chamados nesse documento de DPLL). Técnicas como em (HO; CHEN, M. S.-W., 2019) são utilizadas para aumentar o desempenho dos DPLLs.

Neste contexto, o projeto proposto é de um DPLL na frequência de 1 GHz em tecnologia CMOS 65 nm, para ser usado em transferência de energia sem fio.

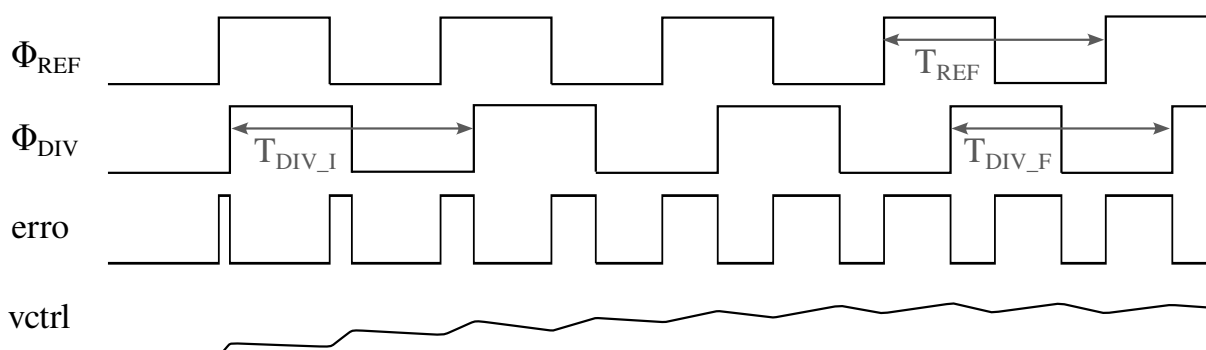


Figura 4 – Exemplo de um PLL tipo I entrando na condição de *lock*

Fonte: (Autor - 2023)

1.2 Estado da Arte

É apresentado nesta seção o estado da arte dos DPLLs. A tabela 1 mostra alguns trabalhos recentemente publicados sendo todos de DPLLs com nó tecnológico entre 40 nm e 65 nm.

Tabela 1 – Comparação com Estado da Arte

	(UN <i>et al.</i> , 2019)	(SEONG <i>et al.</i> , 2019)	(KANG; LIU, 2022)	(REHMAN <i>et al.</i> , 2021)
Ano	2019	2019	2022	2021
Nó Tecnológico	65 nm	65 nm	40 nm	55 nm
Topologia	Bang-Bang DPLL	FPEC DPLL	FPC PLL	CFTL PLL
Tipo do VCO/DCO	Anel	Anel	Anel	LC
F_{ref} (MHz)	50	75	50	32
F_{out} (GHz)	1,3-2,65	2,4 (2,3-2,55)	1,6	2,402-2,48
PN@1MHz (dBc / Hz)	-90 ⁽¹⁾	-119,8	-118,25	-110,78
Tempo de acomodação (μ s)	8 ⁽²⁾	< 1500 ⁽³⁾	-	38 ⁽¹⁾
Alimentação (V)	1	1,2	1,1	0,5 para o DCO
Potência dissipada (mW)	2,4@2,4 GHz	6	5	0,46
Área (mm^2)	0,12	0,055 ⁽⁴⁾	0,05 ⁽⁴⁾	0,129

¹ Estimado a partir de dados apresentados.

² Tempo de acomodação para um erro inicial de 82 MHz.

³ Tempo de acomodação considerando a calibração dos parâmetros do circuito.

⁴ Considerando área ativa.

Em (UN *et al.*, 2019) é proposto um DPLL com a implementação de um detector de fase *Bang-Bang* (essa topologia é melhor explicada no Capítulo 2). Para conseguir um rápido tempo de acomodação duas técnicas são propostas, (i) Um esquema de calibração do ganho do Conversor Digital para Tempo (*Digital to Time Converter* - DTC) livre do efeito de descasamento; (ii) Duas malhas separadas para o ajuste grosso e ajuste fino. Um oscilador gera a frequência de saída. O projeto apresenta o menor tempo de estabilização entre os projetos comparados (8 μ s para um erro inicial de 82 MHz), e possui uma área de 0,12 mm^2 .

O segundo projeto em comparação é (SEONG *et al.*, 2019). O autor propõe um DPLL com oscilador em anel. Para diminuir a desvantagem desta topologia de oscilador (ruído de fase) é usado um circuito de Correção Rápida do Erro de Fase (*Fast Phase-Error Correction* - FPEC) que faz uma rápida correção de fase atuando diretamente no DCO. Além disso, para minimizar o erro de quantização utiliza um TDC com Limiar Otimizado (*Optimized Threshold Time-to-Digital Converter* - OTTDC), em que os atrasos do DTCs são calibrados. Possui um alto valor para frequência de referência, o que pode dificultar a utilização de um oscilador a cristal.

O trabalho em (KANG; LIU, 2022) propõe um PLL com oscilador em anel com *Feed-forward Phase-error Cancellation* (FPC) para melhorar o ruído de fase de osciladores em anel. O autor descreve que usando essa técnica o erro de fase pode ser

rapidamente compensado pelo *Digital Controlled Delay Line* (DCDL). Também propõe um *Dead-Zone Free Bang-Bang Phase and Frequency Detector* (DZF BBPFD) eliminando a histerese do BBPFD, causada por tempos de *setup* e *hold*, e melhorando a resolução deste (consequentemente melhor ruído de fase em banda).

Em (REHMAN *et al.*, 2021) é proposto um DPLL que foca em baixo consumo e baixo custo em aplicações IoT. Consiste em utilizar uma malha de *track* contínuo (CFTL) para ajustar a frequência de saída próximo ao valor desejado, após o *track*, é habilitado um bloco de controle de injeção IJC para ajustar a fase do DCO. Uma baixa tensão de alimentação é usada para o oscilador LC para baixo consumo de potência. Valor de tempo de acomodação extraído dos resultados apresentados é de $38\ \mu\text{s}$.

1.3 Objetivos

- Projetar um DPLL operando em 1 GHz buscando um melhor compromisso entre área, ruído de fase, spurs, tempo de estabilização e consumo de potência.
- Fazer o leiaute do DPLL em ambos os domínios analógico e digital.
- Preparar o circuito para ser enviado à fabricação na tecnologia CMOS 65 nm.
- Verificar o desempenho do circuito através de simulação.

1.4 Organização do Documento

No Capítulo 1 é apresentada a motivação para o uso de PLLs, destacando sua funcionalidade básica e a tendência em adotar a compensação digital. Além disso, é feita uma revisão do estado da arte dos DPLLs e são estabelecidos os objetivos deste trabalho.

No Capítulo 2 é discutida a fundamentação teórica, abordando diferentes tipos de PLLs, com ênfase nos DPLLs, e apresentando algumas topologias comumente utilizadas.

O projeto do DPLL e de seus blocos constituintes, detalhando as etapas de projeto e os parâmetros considerados, é apresentado no Capítulo 3.

No Capítulo 4 são apresentados os resultados obtidos a partir da implementação do DPLL, destacando métricas relevantes.

Por fim, no Capítulo 5, são apresentadas as conclusões e recomendações derivadas deste estudo, enfatizando os principais resultados alcançados, as contribuições do trabalho e possíveis direções futuras para a pesquisa na área.

2 Fundamentação Teórica

2.1 Malha de Controle de Fase (Phase Locked Loop)

Nesta seção são mostrados alguns detalhes de implementação dos PLLs. É exibida a classificação dos PLLs dependendo do tipo de filtro usado e dependendo do fator de divisão. Também é feita uma análise de estabilidade da malha e de ruído para cada tipo de PLL.

2.1.1 Classificação de PLLs

De acordo com o filtro de malha, os PLLs podem ser tipo I ou tipo II. A nomenclatura é devida à função de transferência em malha aberta, onde o PLL tipo I apresenta um polo na origem e o PLL tipo II apresenta dois polos na origem (RAZAVI, 2011).

2.1.1.1 PLL Tipo I

O PLL tipo I é formado pelos seguintes blocos: PD, filtro passa-baixa, VCO e divisor de frequência. Essa composição pode ser vista na Figura 3, sendo que o bloco LF é um filtro RC de primeira ordem como mostrado na Figura 5.

Para fazer uma análise da malha é necessário considerar o modelo exposto na Figura 6. No filtro de malha, ω_p representa o módulo da frequência do polo sendo $\omega_p = 1/RC$. No Detector de Fase K_{PD} representa o ganho proporcional do bloco. Já no VCO, K_{VCO} representa o ganho de frequência por unidade na tensão de controle (rad/[s.V]).

Como a variável controlada é a fase e não a frequência, o VCO é representado por um integrador, pois um passo de tensão na entrada ocasiona um acúmulo de fase na saída, ou em outras palavras, um passo de tensão na entrada gera um passo de frequência na saída. Como resultado, a função de transferência em malha aberta (A_{OL}) é mostrada a seguir.

$$A_{OL}(s) = \frac{K_{PD}K_{VCO}}{s(1 + s/\omega_p)N} \quad (1)$$

O diagrama de Bode é mostrado na Figura 7. Nota-se que o PLL possui dois polos, um localizado na origem e outro igual ao polo do LF.

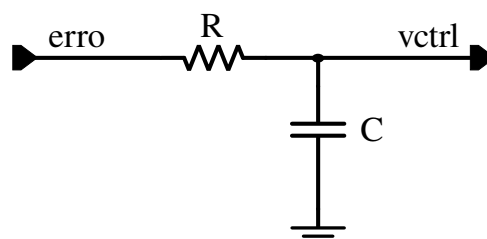


Figura 5 – Filtro de malha em PLL tipo I
Fonte: (Autor - 2023)

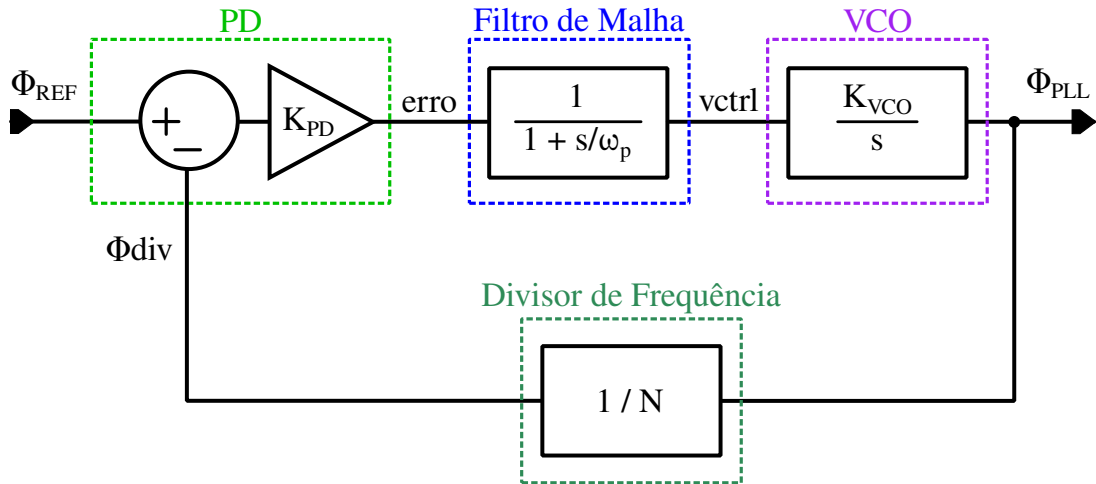


Figura 6 – Modelo para PLL tipo I
 Fonte: (Autor - 2023)

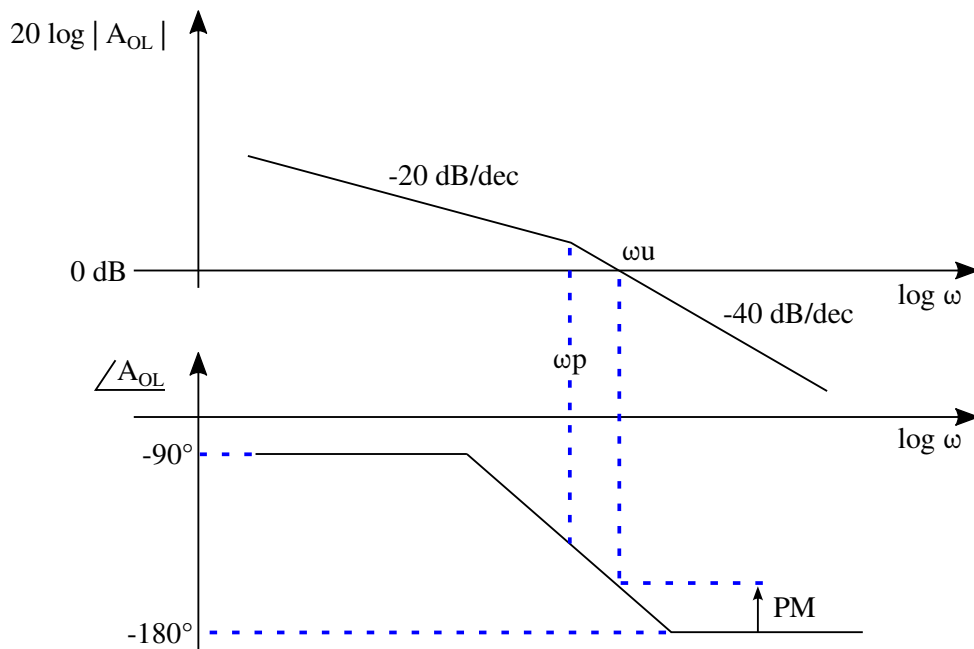


Figura 7 – Comportamento da função de transferência em malha aberta do PLL tipo I
 Fonte: (Autor - 2023)

Neste tipo de PLL, quanto maior for o ganho de malha menor a margem de fase (PM), pois a frequência de ganho unitário em malha aberta (ω_u) aumenta e a fase nessa frequência se aproxima de -180° . Consequentemente, esse tipo de PLL está limitado quanto a ganho de malha elevado.

A função de transferência em malha fechada (A_{CL}) é mostrada na equação abaixo.

$$A_{CL}(s) = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_p} + s + \frac{K_{PD}K_{VCO}}{N}} \quad (2)$$

A função de transferência mostrada na equação (2) pode ser escrita na seguinte

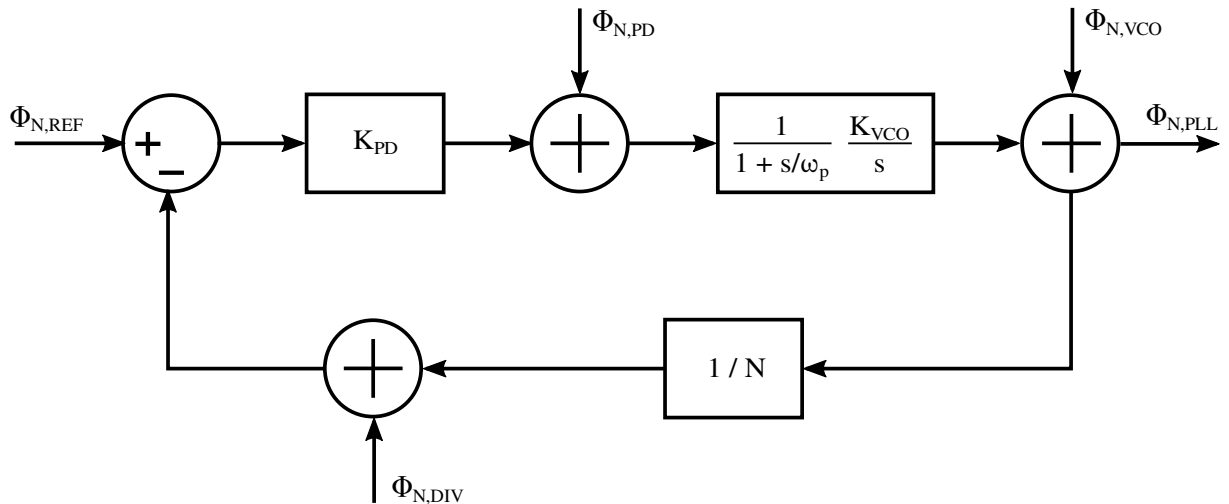


Figura 8 – Modelo de ruído do PLL tipo I
 Fonte: (Autor - 2023)

forma,

$$A_{CL}(s) = \frac{N\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3)$$

onde ω_n é a frequência natural e ζ é o fator de amortecimento.

Com as equações (2) e (3) podemos chegar nas seguintes expressões para ω_n e ζ .

$$\omega_n = \sqrt{\frac{K_{PD}K_{VCO}\omega_p}{N}} \quad (4)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{N\omega_p}{K_{PD}K_{VCO}}} \quad (5)$$

Desconsiderando efeitos não-lineares, o tempo de acomodação é inversamente proporcional a $\zeta\omega_n$; sendo assim, o tempo de acomodação (t_s) é $t_s \propto \frac{1}{\omega_p}$.

Uma outra limitação desse tipo de PLL é com relação ao capacitor C do filtro de malha. Para diminuir os *spurs* na saída, valores altos para essa capacitância são preferidos, pois os componentes de alta frequência em *vctrl* são atenuados. Porém, fazendo isso, o polo ω_p , mostrado na Figura 7, fica localizado em frequências mais baixas e, quanto menor a frequência de um polo não dominante menor é PM. Além disso, diminuir ω_p incrementa o tempo de acomodação.

2.1.1.1.1 Ruído em PLL Tipo I

Para a análise do ruído de fase no PLL tipo I, o modelo da Figura 8 é usado. Neste modelo os principais contribuidores ao ruído são considerados. O ruído na saída do PLL é composto pela soma dos contribuidores, sendo cada um deles mostrado nas equações de (6) a (9).

$$\frac{S_{N,PLL}}{S_{N,REF}} = |A_{CL}(j\omega)|^2 \quad (6)$$

Tabela 2 – Contribuição dos ruídos dos blocos no ruído de fase para PLL tipo I

Ruído do Bloco	Função de Transferência	Contribuição ao Ruído de Fase
VCO		
<p>S_N [dBc/Hz]</p> <p>$S_{N,VCO}$</p> <p>-20dB/dec</p> <p>ω</p>	<p>$\frac{S_{N,PLL}}{S_N}$ [dB]</p> <p>0 dB</p> <p>20dB/dec</p> <p>ω_{comp} ω_p ω</p>	<p>$S_{N,PLL}$ [dBc/Hz]</p> <p>-20dB/dec</p> <p>ω_{comp} ω_p ω</p>
DIV+REF+PD		
<p>S_N [dBc/Hz]</p> <p>$S_{N,DIV} + S_{N,REF} + \frac{S_{N,PD}}{K_{PD}}$</p> <p>$\omega$</p>	<p>$\frac{S_{N,PLL}}{S_N}$ [dB]</p> <p>20 log N</p> <p>-40dB/dec</p> <p>ω_{comp} ω</p>	<p>$S_{N,PLL}$ [dBc/Hz]</p> <p>-40dB/dec</p> <p>ω_{comp} ω</p>

$$\frac{S_{N,PLL}}{S_{N,DIV}} = |A_{CL}(j\omega)|^2 \quad (7)$$

$$\frac{S_{N,PLL}}{S_{N,PD}} = \left| \frac{A_{CL}(j\omega)}{K_{PD}} \right|^2 \quad (8)$$

$$\frac{S_{N,PLL}}{S_{N,VCO}} = \left| 1 - \frac{A_{CL}(j\omega)}{N} \right|^2 \quad (9)$$

onde, S_N é a densidade espectral do ruído e o subscrito corresponde a sua origem. Para o caso particular $S_{N,PLL}$ é a densidade espectral do ruído na saída do PLL.

Pode ser visto, pelas equações de (6) a (8), que o ruído do respectivo bloco é atenuado em altas frequências pela característica passa-baixa de $A_{CL}(s)$. Por outro lado, a equação (9), mostra que o ruído proveniente do VCO é atenuado em baixas frequências.

A Tabela 2 resume as contribuições dos blocos no ruído de fase do PLL em função da frequência de *offset*. Na primeira coluna da tabela é mostrada a densidade espectral do ruído do respectivo bloco indicado (S_N). A coluna central mostra a função de transferência relativa ao respectivo ruído. Na terceira coluna está a densidade

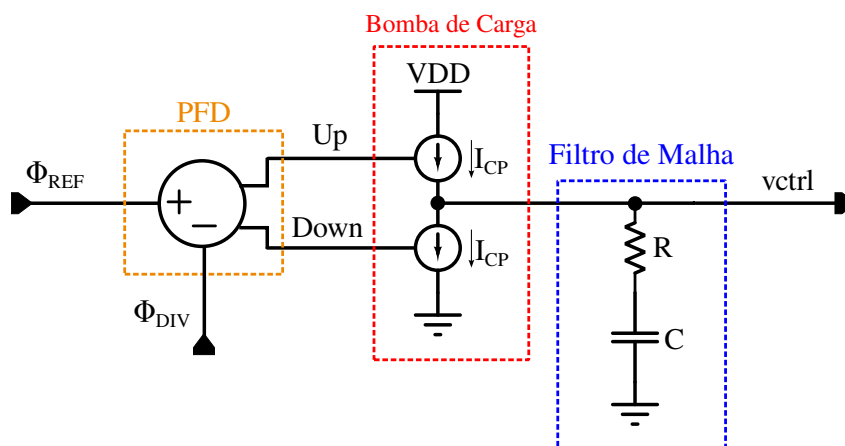


Figura 9 – Diagrama de blocos de PFD+CP+LF
Fonte: (Autor - 2023)

espectral do ruído gerado na saída ($S_{N,PLL}$) referente ao respectivo bloco. Na imagem, ω_{comp} representa a magnitude dos polos complexos existentes quando $\zeta < 1$.

Em baixas frequências da função de transferência do ruído do PLL em relação ao ruído do VCO, a magnitude tem uma inclinação de $+20dB/dec$, isso se deve ao fato de a equação (9) apresentar um zero na origem.

Para simplificação da análise, o ruído do oscilador tem uma inclinação constante de $-20dB/dec$ e o ruído proveniente do divisor de frequência, referência e PD foi considerado um ruído branco.

Para uma mesma margem de fase, a relação $\frac{\omega_{comp}}{\omega_p}$ é constante, portanto, há um compromisso com relação à frequência do polo do filtro de malha. Esse compromisso é de quanto ruído é atenuado do VCO e quanto ruído é atenuado do PD+Divisor+Referência. Quanto mais crítico o ruído da combinação PD+Divisor+Referência melhor uma frequência mais baixa para ω_p . Por outro lado, se mais crítico o ruído do VCO, ω_p deve ser aumentado.

2.1.1.2 PLL Tipo II

Esse tipo de PLL possui os seguintes blocos: PFD, CP, LF, VCO e divisor de frequência. As diferenças entre esse tipo de PLL e o tipo I estão nos blocos PD e LF que são substituídos pelos blocos PFD+CP e uma outra construção para o LF como pode ser visto na Figura 9.

Os blocos VCO e divisor de frequência podem ser os mesmos utilizados no PLL tipo I. O PFD gera dois sinais chamados *up* e *down* que carregam e descarregam o nó *vctrl* com a corrente do CP (I_{CP}). Esse bloco, além de informar a diferença entre as fases, também mostra se a diferença é positiva ou negativa. É necessária atenção no projeto desses blocos em relação ao descasamento entre esses sinais (*Up* e *Down*) e entre essas correntes I_{CP} de carga e de descarga, pois esse é um grande fator que causa os *spurs* da referência no PLL tipo II.

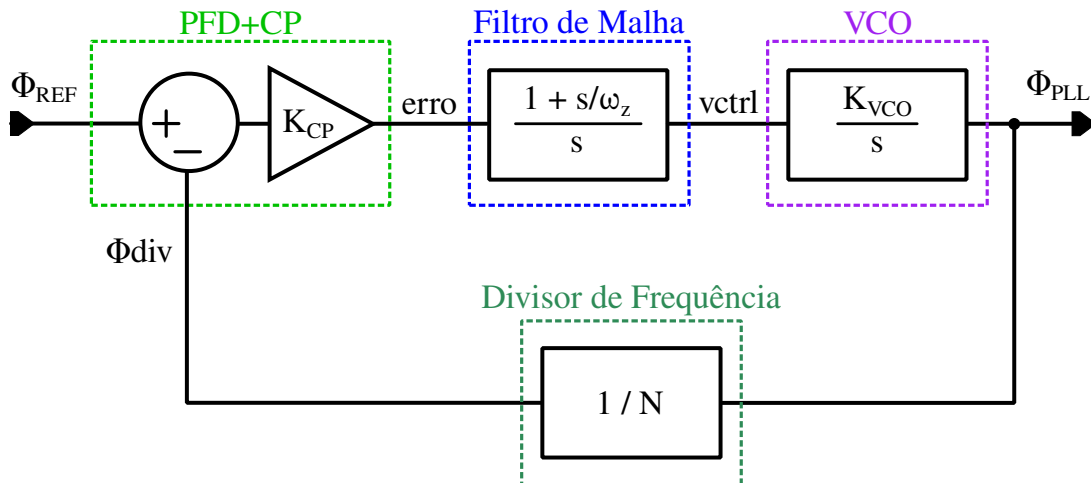


Figura 10 – Modelo para PLL tipo II
 Fonte: (Autor - 2023)

Para a análise da malha, o modelo na Figura 10 é utilizado neste trabalho.

A combinação do CP + LF gera um polo adicional na origem em malha aberta, sendo esse um PLL tipo II. Essa combinação opera como um integrador fazendo com que o erro de fase em estado estacionário seja nulo, diferentemente do PLL tipo I. A função de transferência do PFD + CP + LF, derivada em (RAZAVI, 2011) pode ser vista abaixo.

$$\frac{vctrl}{\Delta\Phi} = K_{CP} \frac{\frac{s}{\omega_z} + 1}{s} \quad (10)$$

onde, $K_{CP} = \frac{I_{cp}}{2\pi C}$ e $\omega_z = 1/(RC)$ é o módulo da frequência angular do zero.¹

A função de transferência em malha aberta (A_{OL}) é,

$$A_{OL}(s) = K_{CP}K_{VCO} \frac{1 + s/\omega_z}{s^2N} \quad (11)$$

O diagrama de Bode é representado pelas assíntotas na Figura 11.

A inclinação de -40 dB/dec na magnitude do ganho em baixas frequências é causado pelos dois polos localizados na origem. Ao contrário do PLL tipo I, quanto maior o ganho de malha melhor é a estabilidade do sistema, pois ω_U aumenta, e isso implica em uma maior margem de fase como mostrado na figura². Aumentando também o valor da capacitância do filtro de malha, resulta em uma diminuição na frequência do zero; conseqüentemente, melhora a estabilidade do sistema. Logo, não temos um compromisso entre o valor da capacitância do filtro e estabilidade do sistema como para o PLL tipo I.

¹Em termos de projeto é mais útil escrever as equações em função das variáveis de projeto (I_{CP} , R e C), porém o foco nesta seção é ter uma ideia geral do sistema; então, optou-se por escrever em termos de ganhos, polos e zeros.

²Na verdade há um limite para ganho de malha muito elevado, pois isso aumentaria a banda do PLL acarretando em uma piora na aproximação do tempo contínuo

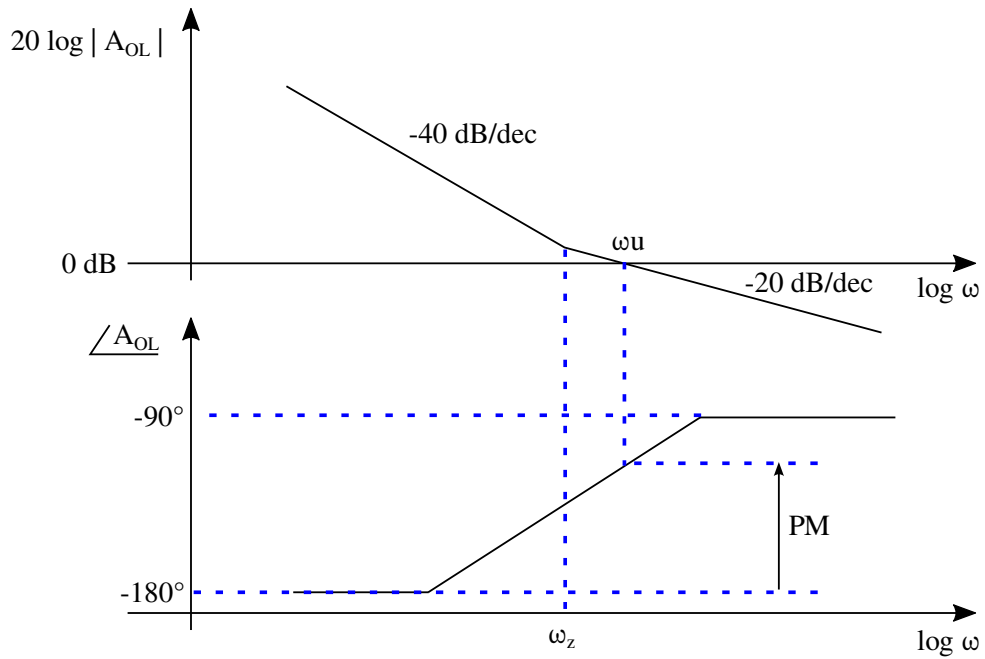


Figura 11 – Comportamento da função de transferência em malha aberta do PLL tipo II

Fonte: (Autor - 2023)

A função de transferência em malha fechada (A_{CL}) é mostrada na equação abaixo.

$$A_{CL}(s) = \frac{K_{CP}K_{VCO} \left(\frac{s}{\omega_z} + 1 \right)}{s^2 + \frac{K_{CP}K_{VCO}}{\omega_z N} s + \frac{K_{CP}K_{VCO}}{N}} \quad (12)$$

Escrevendo o denominador na forma $s^2 + 2\zeta\omega_n s + \omega_n^2$ é possível chegar nas equações abaixo.

$$\zeta = \frac{1}{2\omega_z} \sqrt{\frac{K_{CP}K_{VCO}}{N}} \quad (13)$$

$$\omega_n = \sqrt{\frac{K_{CP}K_{VCO}}{N}} \quad (14)$$

Os valores para ζ e ω_n afetam a constante de tempo da malha que é entre $1/(2\zeta\omega_n)$ e $1/(\zeta\omega_n)$ como descrito em (RAZAVI, 2011).

2.1.1.2.1 Ruído em PLL Tipo II

A mesma análise de ruído feita para o PLL tipo I também pode ser feita para o PLL tipo II. Neste trabalho, essa análise é feita usando o modelo de ruído mostrado na Figura 12.

Os principais contribuidores ao ruído são considerados neste modelo. O ruído na saída do PLL é composto pela soma dos contribuidores, sendo cada um deles

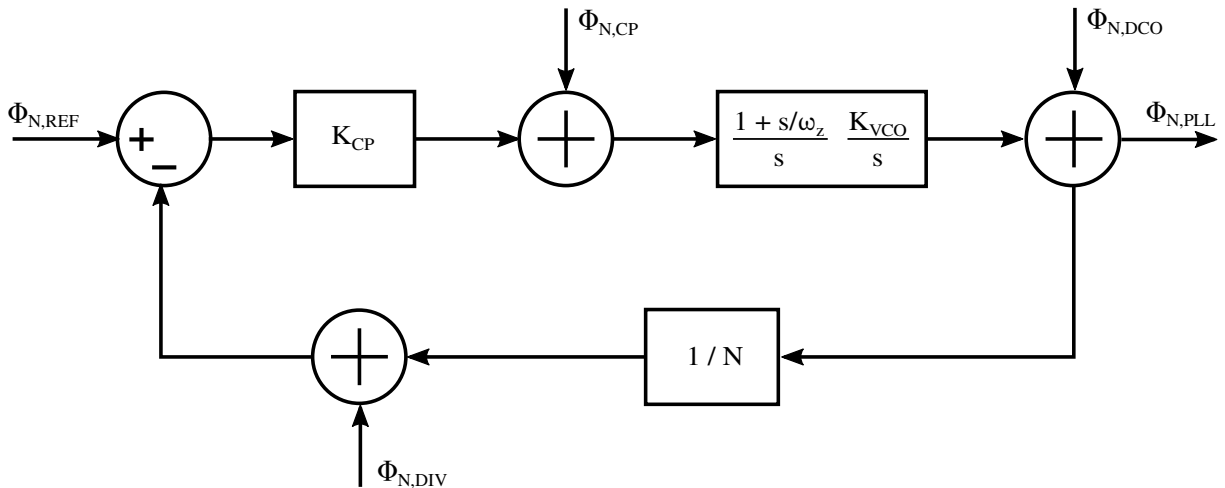


Figura 12 – Modelo de ruído do PLL tipo-II
 Fonte: (Autor - 2023)

mostrado nas equações de (15) a (18).

$$\frac{S_{N,PLL}}{S_{N,REF}} = |A_{CL}(j\omega)|^2 \quad (15)$$

$$\frac{S_{N,PLL}}{S_{N,DIV}} = |A_{CL}(j\omega)|^2 \quad (16)$$

$$\frac{S_{N,PLL}}{S_{N,CP}} = \left| \frac{A_{CL}(j\omega)}{K_{CP}} \right|^2 \quad (17)$$

$$\frac{S_{N,PLL}}{S_{N,VCO}} = \left| 1 - \frac{A_{CL}(j\omega)}{N} \right|^2 \quad (18)$$

As funções de transferência e a contribuição ao ruído estão desenhadas na Tabela 3 em função da frequência de *offset*. A magnitude da frequência dos polos complexos ω_{comp} estão presentes em sistemas onde $\zeta < 1$. Note que em baixas frequências, o ruído do VCO é fortemente atenuado neste tipo de PLL se comparado ao PLL tipo I; isso é devido à característica da malha.

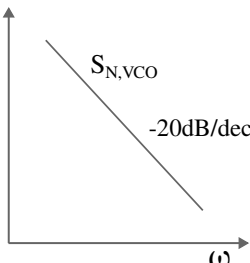
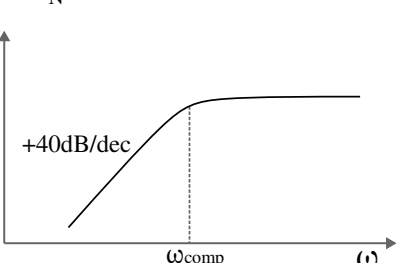
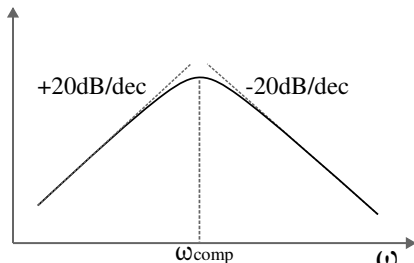
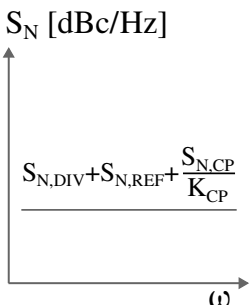
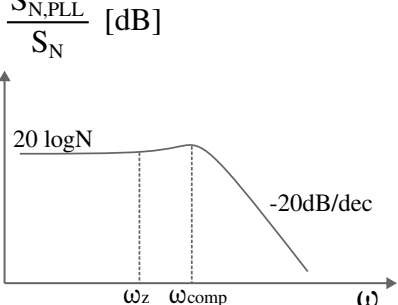
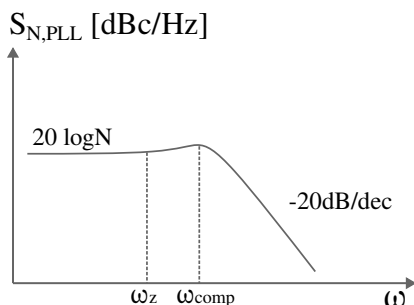
Análogo ao PLL tipo I, existe um compromisso com relação a quanto de ruído dos blocos Divisor+PFD+CP é atenuado e quanto de ruído do VCO é atenuado para a contribuição do ruído de fase na saída do PLL.

Os PLLs também podem ser divididos com relação ao valor que podem multiplicar a frequência de referência. Eles são chamados de PLL N inteiro e PLL N fracionário. A seguir é mostrada a diferença entre essas arquiteturas e como cada uma delas opera.

2.1.1.3 PLL N-Inteiro

PLL N inteiros são aqueles em que a divisão da frequência é feita por um valor inteiro. Dessa forma o valor da frequência de saída consegue atingir somente valores

Tabela 3 – Contribuição dos ruídos dos blocos no ruído de fase para PLL tipo II

Ruído do Bloco	Função de Transferência	Contribuição ao Ruído de Fase
VCO		
S_N [dBc/Hz] 	$\frac{S_{N,PLL}}{S_N}$ [dB] 	$S_{N,PLL}$ [dBc/Hz] 
DIV+REF+CP		
S_N [dBc/Hz] $S_{N,DIV} + S_{N,REF} + \frac{S_{N,CP}}{K_{CP}}$ 	$\frac{S_{N,PLL}}{S_N}$ [dB] $20 \log N$ 	$S_{N,PLL}$ [dBc/Hz] $20 \log N$ 

múltiplos da frequência de referência.

Como a banda do PLL é limitada a aproximadamente um décimo da frequência de referência, não é viável para PLL N inteiro ter um passo de frequência pequeno, entre um canal e outro, pois seria necessário um baixo valor para a frequência de referência e conseqüentemente, uma banda muito pequena para este PLL. Outra desvantagem para uma frequência de referência baixa é a contribuição do ruído dos blocos: referência, PFD+CP e divisor, pois estes são multiplicados por N, o que resulta em uma maior contribuição ao ruído de fase no PLL. Neste caso, PLL N fracionário é empregado.

2.1.1.4 PLL N Fracionário

O PLL N fracionário tem a capacidade de multiplicar a frequência por uma fração do valor da frequência de referência. O jeito simples de fazer essa fração é dividir a frequência ora por um valor e ora por outro. Se, por exemplo, metade do tempo o PLL divide a frequência por 64 e outra metade por 65 o resultado final será de uma divisão por 64,5.

Pelo fato de a malha do PLL ter uma característica passa-baixa, essa variação entre 64 e 65 é filtrada. Porém, a filtragem natural da malha não é suficiente e são gerados *spurs da referência*, pois essa variação apresenta uma periodicidade igual ao

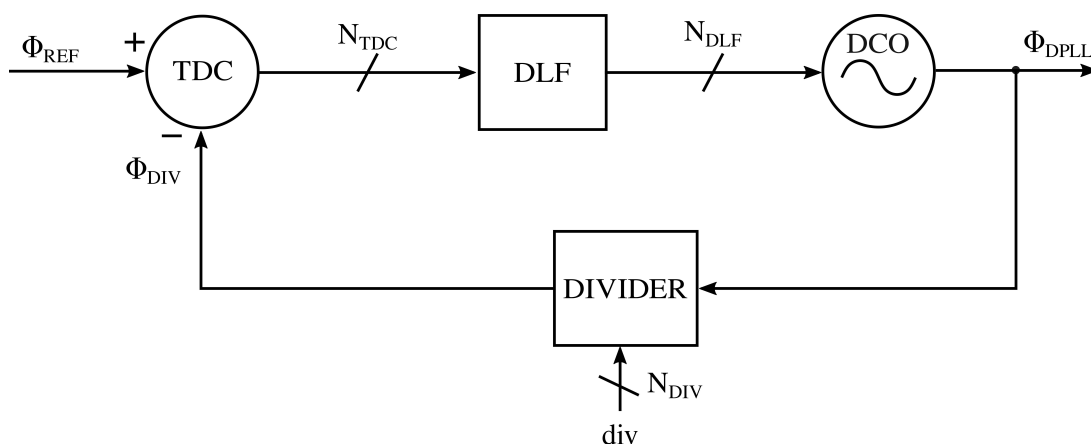


Figura 13 – Diagrama de blocos de um DPLL convencional

Fonte: (Autor - 2023)

valor da referência. Por isso técnicas como modulação sigma delta pode ser empregada como em (RIANO, 2010) fazendo a randomização de divisão fracionária.

Mesmo com a randomização, o PLL N fracionário apresenta os chamados *spurs* fracionários. Isso acontece por causa dessa divisão parcial ainda possuir componentes periódicos. Portanto, técnicas como *dithering* podem ser empregadas para minimizar tais *spurs* (HO; CHEN, M. S.-W., 2019).

2.2 PLLs com Compensação Digital (DPLLs)

Os PLLs podem ser com compensação analógica, como aqueles PLLs convencionais que temos detalhado até esse ponto. Há também os PLLs híbridos (KIM; CHO, 2019), onde temos blocos analógicos e digitais para fazer a compensação da malha, PLLs com compensação no domínio digital, chamados nesse projeto de DPLLs, e também os PLLs puramente digitais, sendo seu projeto geralmente feito totalmente no domínio digital como em (KHALIRBAGINOV, 2021).

2.2.1 Elementos básicos

O DPLL é composto basicamente dos blocos: TDC, DLF, DCO e divisor de frequência. Seu diagrama de blocos em alto nível pode ser visto na Figura 13.

O TDC é o circuito que gera em sua saída um valor proporcional à diferença entre a fase do sinal de referência e a fase do sinal de retorno. Essa saída, conhecida como erro, é representada por uma palavra digital.

DLF é um circuito inteiramente digital responsável pela geração dos polos e zeros para a compensação da malha. O projeto deste circuito afeta diretamente as características do DPLL como ruído, tempo de acomodação e estabilidade. Nesta dissertação é mostrado um exemplo de como projetar esse bloco para um DPLL tipo I e a base teórica para o projeto desse bloco para DPLL tipo II.

O DCO é o circuito que faz a conversão da palavra digital gerada pelo DLF em um sinal de frequência proporcional ao valor da palavra digital.

O divisor de frequência funciona exatamente como nos PLLs convencionais, a frequência em Φ_{div} é N vezes menor que a frequência em Φ_{out} .

Na Figura 13 os símbolos N_{DIV} , N_{TDC} e N_{DLF} representam o número de bits dos barramentos digitais existentes no DPLL, definidos de acordo com as especificações do DPLL. O N_{DIV} é escolhido de acordo com a faixa de frequência em que o DPLL deve operar e também o valor do passo entre as frequências. O N_{TDC} é definido de acordo com o ruído de quantização projetado no TDC. E N_{DLF} é de acordo com o número de bits presentes no DCO.

2.2.2 Vantagens e Desvantagens Comparado ao PLL Convencional

Existem algumas vantagens do PLL compensado digitalmente comparado com o PLL convencional com malha analógica.

As vantagens são:

- Flexibilidade: Os DPLLs são mais flexíveis em relação à implementação dos polos e zeros da malha.
- Portabilidade: Uma vez que há um projeto existente eles são mais fáceis e rápidos de portar entre um projeto e outro e, até mesmo, entre tecnologias diferentes.
- Variações de processo: Circuitos digitais são mais resilientes a variações de processo comparados aos blocos analógicos do PLL convencional, deixando assim o projeto mais robusto.
- Consumo de potência: Circuitos digitais conseguem trabalhar com uma tensão de alimentação menor que circuitos analógicos; conseqüentemente, menor o consumo de potência utilizado.

E as desvantagens são:

- Ruído de quantização: Por causa da natureza dos circuitos digitais existem os ruídos de quantização. Esses ruídos são menos impactantes em tecnologias mais avançadas, pois a resolução no domínio do tempo de transições dos sinais digitais é maior e comparável à de sinais analógicos (STASZEWSKI *et al.*, 2004).
- Limitação de velocidade: Circuitos digitais apresentam limitações quanto à máxima frequência de operação; porém, em menor grau em tecnologias mais avançadas.
- Complexidade: Para os DPLLs obter uma boa performance, utilizam técnicas avançadas no projeto que, geralmente, aumentam a complexidade.

- Complexidade: Os DPLLs possuem uma complexidade maior para obter uma boa performance, pois utilizam de técnicas avançadas no projeto.

Em resumo, os DPLL são muito vantajosos comparado ao PLL convencional quando utilizados em tecnologias mais avançadas, onde as desvantagens do DPLL são minimizadas. Porém a complexidade deste aumenta tanto no projeto quanto na verificação.

2.3 Topologias dos Blocos

2.3.1 Oscilador Controlado Digitalmente

Nesta seção são mostrados os tipos de DCO mais comuns apresentados em projetos de circuitos integrados. Os dois principais tipos de DCOs são divididos em: DCOs baseados em osciladores LC e baseados em osciladores em anel, mostrados na Figura 14a e 14b, respectivamente. Para cada um desses tipos de DCOs existem diversas topologias, cada uma com suas vantagens e desvantagens. Aqui serão explicadas apenas as duas configurações apresentadas na Figura 14.

Os DCOs baseados em oscilador em anel, além da possibilidade de utilizar múltiplas fases, têm menor impacto em área comparado aos DCOs baseados em oscilador LC. Entretanto, estes últimos apresentam melhor compromisso entre ruído de fase e consumo de potência.

Um dos desafios no projeto de DCOs, além das especificações de ruído e consumo, é cobrir uma faixa necessária de frequência (considerando variações PVT), com alta resolução e, acima disso, que a variação da frequência em função da palavra digital na entrada seja o mais linear possível.

Algumas técnicas para o controle da frequência são mostradas a seguir.

1. Chaves para adicionar capacitâncias nos nós

DCOs com essa técnica podem ser tanto os osciladores LC quanto os osciladores em anel. A Figura 14a mostra uma opção de como adicionar os capacitores nos nós em osciladores LC. Quanto mais capacitâncias conectadas ao nó menor é a frequência de oscilação. A condição de cada chave (aberta ou fechada) conectada a esses capacitores é determinada pelo valor da palavra digital de entrada do DCO. Outro método pode ser utilizado mudando a capacitância entre os nós VP e VN do oscilador como em (ZHANG; OTTO, 2017).

2. Controlar a corrente que alimenta o oscilador ou a tensão de alimentação

Esse ajuste é feito na corrente I_{VDD} ou na tensão de alimentação VDD como mostra a Figura 14b. Esta é uma técnica utilizada em oscilador em anel. Quanto maior a corrente entregue para o oscilador ou sua tensão de

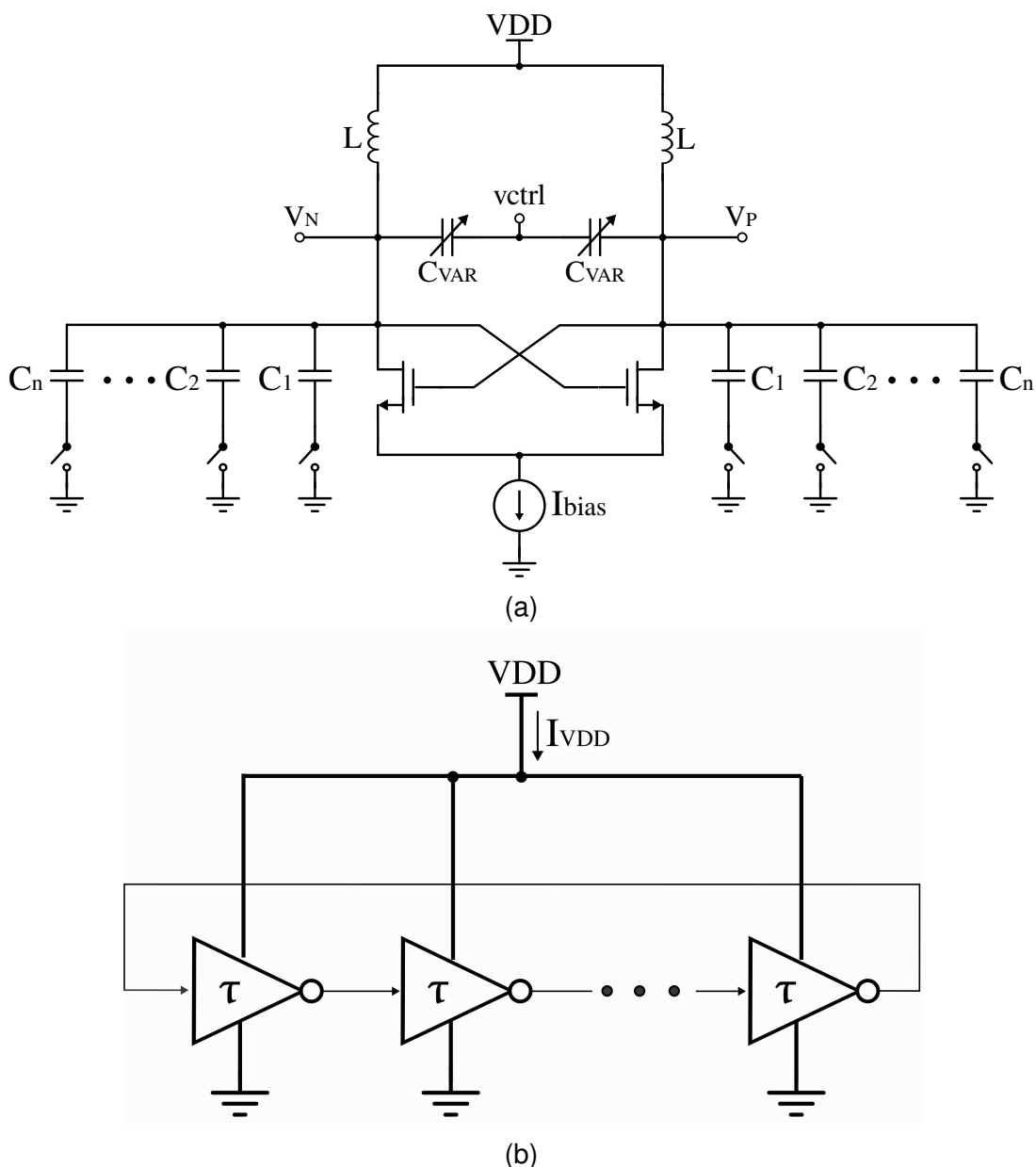


Figura 14 – Topologias base de osciladores, (a) oscilador LC e (b) oscilador em anel
 Fonte: (Autor - 2023)

alimentação, maior é sua frequência de oscilação. A variação dessa corrente, ou tensão, é feita através da palavra digital de entrada. Com relação ao controle por corrente, ela também pode ser feita pelo GND ao invés de VDD como em (SELVARAJ; BAYRAM; NEGRA, 2020).

3. Modificar a constante de tempo (τ) nas células de atraso

No caso de osciladores em anel, também há a possibilidade de controlar a frequência alterando a constante de tempo de cada célula. Um jeito de implementar isso é modificar a força dos transistores da célula de atraso. Um exemplo do uso desse método é proposto em (LIN; LU; CHEN, Y.-J. E., 2019).

4. Usar um Conversor Digital-Analógico (*Digital to Analog Converter* - DAC) junto com VCO

O uso do DAC pode ser feito separadamente do VCO como em (BHANDARI; KOTABAGI; NAYAK, 2021). A principal vantagem dessa escolha está na diminuição dos *spurs* na saída, pois o polo gerado na saída do DAC pode ser projetado para atenuar componentes de interferência na tensão de controle do DPLL.

2.3.2 Filtro de Malha Digital

O filtro digital tem que ser adequadamente projetado examinando o lugar dos polos e zeros, que afetam a performance do DPLL.

Dentre as variedades de filtros digitais, o projeto pode ser feito considerando os polos e zeros de forma similar à de um PLL tipo I ou tipo II.

Nesta seção são apresentados os filtros conhecidos como *Infinite Impulse Response* (IIR). As Figuras 15a e 15b mostram como pode ser feita a implementação de tais filtros para PLL tipo I e tipo II, respectivamente. Um exemplo adicional pode ser visto na Figura 15c sendo uma implementação de um filtro digital para DPLL tipo II de terceira ordem.

Na Figura 15a é gerado somente um polo no filtro, a Figura 15b é gerado polo na origem e um zero, enquanto na Figura 15c são gerados dois polos, sendo um deles na origem, e um zero.

A equação de transferência de cada um desses exemplos segue abaixo.

$$\frac{y}{x} = \frac{1}{1 - az^{-1}} \quad (19)$$

$$\frac{y}{x} = \frac{1 + bz^{-1}}{1 - z^{-1}} \quad (20)$$

$$\frac{y}{x} = \frac{1}{1 - z^{-1}} \cdot \frac{1 + bz^{-1}}{1 - az^{-1}} \quad (21)$$

Nestes filtros, as malhas de *feedforward* representam os zeros do filtro e as malhas de retorno representam os polos. Dessa forma, com específicos coeficientes "a" e "b" e também específicos atrasos, os polos e zeros podem ser devidamente projetados.

O projeto do filtro digital utilizado no projeto pode ser visto na seção 3.5.

2.3.3 Conversor de tempo para digital

Nesta seção são apresentadas as topologias mais comuns do TDC encontradas na literatura.

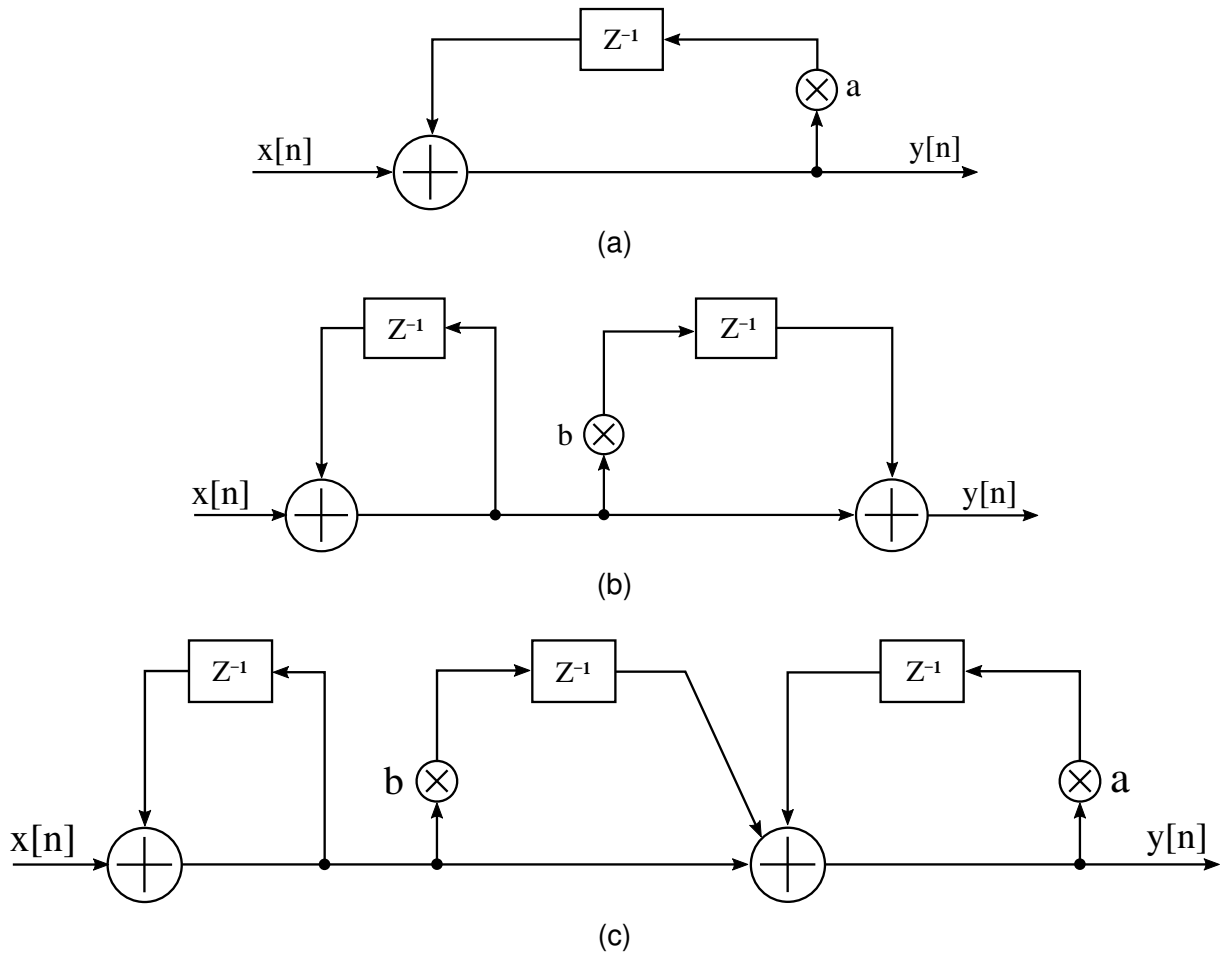


Figura 15 – Exemplo de filtro digital para DPLL (a) tipo I, (b) tipo II de segunda ordem e (c) tipo II de terceira ordem

Fonte: (Autor - 2023)

2.3.3.1 Detector de Fase *Bang-Bang*

O detector de fase *Bang-Bang* é uma topologia geralmente simples. A construção mais simples é com um *flip-flop* tipo D como na Figura 16. Esta figura mostra um detector de fase *Bang-Bang* de 1 bit. Sua saída mostra quando a borda de subida do sinal de realimentação ocorre antes ou depois da borda de subida do sinal de referência. Por não apresentar uma resolução boa, a desvantagem dessa topologia é o ruído de quantização que geralmente influencia no ruído em banda do DPLL.

Existem outras topologias de detectores de fase *Bang-Bang*, onde a saída pode

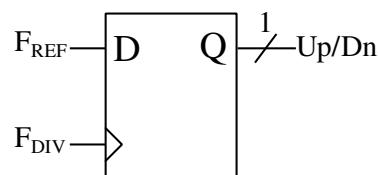


Figura 16 – Detector de fase *Bang-Bang* de 1 bit

Fonte: (Autor - 2023)

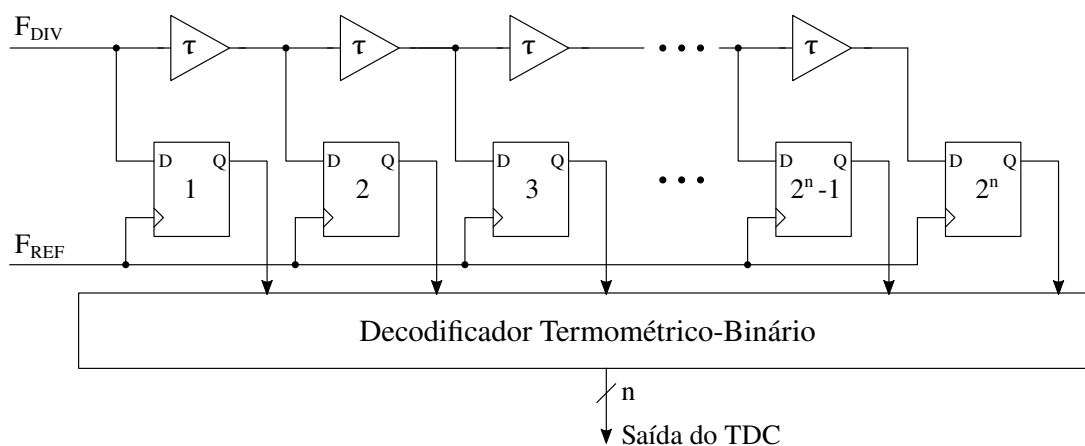


Figura 17 – TDC convencional

Fonte: (Autor - 2023)

atingir mais que dois valores, informando a posição da fase de retorno em relação à fase da referência e também se o erro está dentro de uma faixa aceitável.

Existem publicações apresentando o detector *Bang-Bang* com mais possíveis valores em sua saída como em (KANG; LIU, 2022).

2.3.3.2 Conversor de Tempo Para Digital Convencional

Esta topologia consiste em N *buffers* em cascata, cada saída de um *buffer* conecta à entrada D de um *flip-flop* (Figura 17). O sinal da saída do divisor de frequência é conectado na entrada do primeiro *buffer* enquanto o sinal de referência é conectado no terminal de relógio dos *flip-flops*. O sinal do divisor se propaga na cadeia de *buffers*; quando o sinal da referência faz a transição de subida, as saídas dos *flip-flops* recebem o valor de suas entradas. Dessa forma, a combinação da saída dos *flip-flops* é de código termométrico³ representando a diferença no tempo entre o sinal do divisor e o sinal da referência.

Uma característica dessa topologia é que o erro de quantização é limitado pelo atraso (τ) da célula do *buffer*. A topologia a seguir apresenta uma melhoria com relação a essa limitação. Outra desvantagem é que o número de estágios pode ficar muito grande se o período da referência for muito maior que o atraso do *buffer*, ocasionando maior área no silício.

2.3.3.3 Arquitetura Vernier

Essa topologia é similar à topologia convencional com a diferença que outra rede de *buffers* é colocada em cascata também no sinal de relógio entre um *flip-flop*

³Código termométrico representa os valores binários com uma sequência de 0s e 1s de forma que não há nenhuma intercalação entre 0 e 1. Por exemplo, o número decimal 3 pode ser representado por 111, o decimal 2 por 011, 1 por 001 e 0 por 000. Também existe o código bolha, que é a mesma representação, porém invertendo o valor de todos os bits.

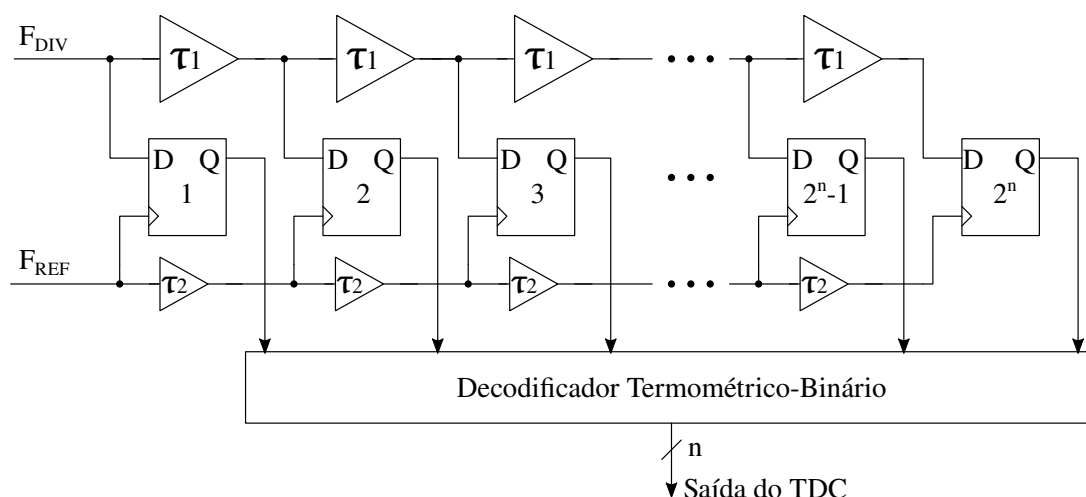


Figura 18 – TDC Vernier

Fonte: (Autor - 2023)

e outro, como mostrado na Figura 18. Mantendo uma diferença entre os atrasos dos *buffers* das entradas dos *flip-flops* em relação ao atraso dos *buffers* do sinal de relógio, a resolução não é mais limitada pelo atraso do *buffer* de entrada e sim pela diferença entre os atrasos dos *buffers* de entrada e os *buffers* do sinal de relógio ($\tau_1 - \tau_2$).

Apesar de essa topologia ter uma melhoria grande com relação ao erro de quantização, ela sofre ainda mais para conseguir cobrir toda a faixa do período do sinal de referência. Existem estratégias para melhorar isso, uma delas é combinar essa topologia com a topologia convencional em cascata diminuindo o número de estágios e mantendo a resolução da arquitetura.

O bloco a seguir apresenta a vantagem de cobrir uma maior faixa do período do sinal da referência sem aumentar a área do circuito.

2.3.3.4 Ring Oscillator TDC (RO-TDC)

Essa topologia pode ser vista na Figura 19. Ao invés de usar uma cadeia de inversores com um número relativamente grande para cobrir a faixa do período do sinal da referência, essa topologia apresenta um oscilador em anel com X estágios; logo, o sinal que se propaga até o último inversor retorna ao primeiro. Um contador é empregado para contar as transições que ocorrem em um dos estágios do oscilador.

A desvantagem desse circuito é que a resolução do TDC é $(2 \times X)$ vezes menor do que a resolução de uma transição da célula de atraso do oscilador, considerando que o contador funciona apenas nas bordas de subida ou de descida. Sendo assim, quanto maior o número de estágios do oscilador, menor é a resolução deste. Uma forma de melhorar isso é usar contadores em todos os estágios do oscilador, porém isso aumenta muito a área e o consumo de potência do circuito.

Em (HSU; STRAAYER; PERROTT, 2008) é proposto um circuito adicional que faz a leitura do estado do oscilador, melhorando a resolução do TDC e também a sua

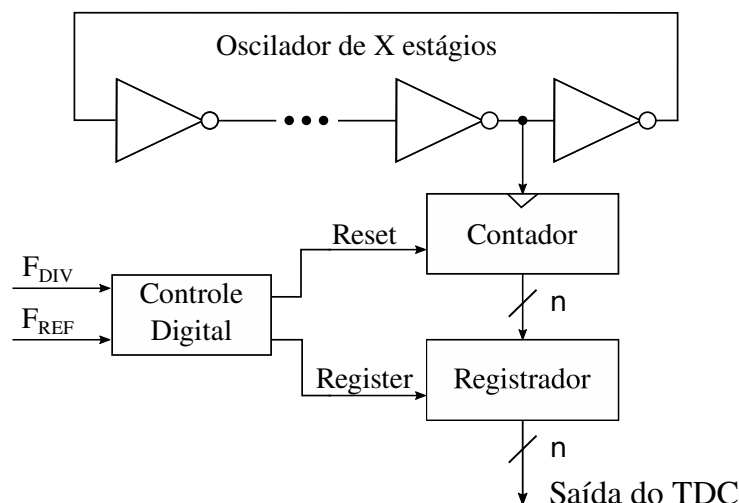


Figura 19 – TDC baseado em oscilador em anel

Fonte: (Autor - 2023)

eficiência.

No trabalho desta dissertação, a ideia de usar um bloco para obter a informação do estado do oscilador também é empregada, como detalhado no Capítulo 3.

2.3.4 Divisor de Frequência

Circuitos sequenciais são comuns para o projeto do divisor de frequência. Para uma divisão fixa, um divisor utilizando somente *flip-flops* pode ser uma solução. Porém, na maioria das aplicações, o PLL deve oscilar em mais de uma frequência e, para isso, é necessário um circuito que faça a divisão da frequência por valores diferentes de acordo com o valor da palavra digital que recebe como entrada.

Um circuito que realiza tal tarefa é o divisor multi módulo. Um método simples para o projeto deste circuito é com o uso de um contador, uma lógica combinacional e um divisor 2/3 como mostrado na Figura 20. O bit representado por "mctrl" na figura, controla se o divisor 2/3 funciona como um divisor por 2 ou por 3. A lógica combinacional controla o sinal "mctrl" de acordo com o valor da palavra digital "div", conseqüentemente o valor do sinal "mctrl" é '0' para um valor específico de pulsos na entrada e '1' para o restante, controlando o valor da divisão total do divisor multi módulo.

No caso de PLLs N fracionário, algumas técnicas são necessárias para conseguir um fator de divisão, como o nome já diz, fracionário. Para implementar tal divisão, é necessário que parte dos pulsos seja dividido por um módulo e a outra parte por outro módulo, resultando em um valor médio para a divisão. O maior problema disso está na geração de sinais periódicos na malha, ocasionando os *spurs* na saída.

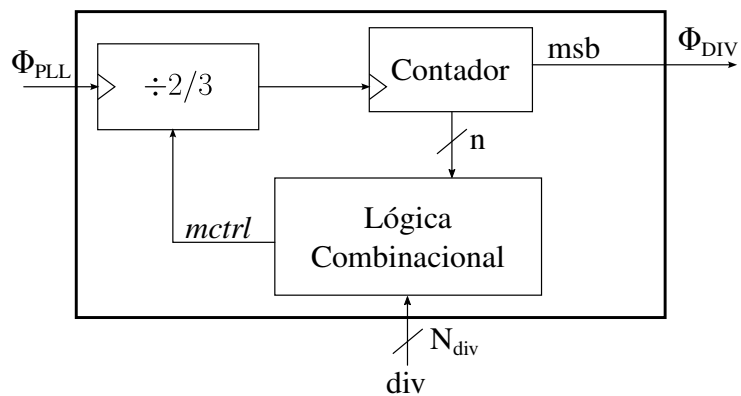


Figura 20 – Estrutura de exemplo de um divisor multi módulo
 Fonte: (Autor - 2023)

3 Projeto do PLL Digital

Neste capítulo é apresentado o circuito projetado para o DPLL. Também é mostrada a topologia utilizada em cada bloco usado.

A Figura 21 ilustra os domínios dos blocos usados no DPLL. Nesta figura está evidente que o DPLL possui três tipos diferentes de blocos, (i) analógicos como DAC, VCO e estruturas de depuração; (ii) blocos digitais como DLF e divisor de frequências; e (iii) bloco AMS (*Analog and Mixed-Signal*) como o caso do TDC que possui um oscilador interno analógico e decodificadores digitais.

Para a simulação em nível de sistema, uma *view* para a configuração das instâncias que o DPLL contém foi criada. Por meio dessa *view*, é possível configurar qual bloco vai ser simulado com modelo Verilog, com um *netlist* em nível de transistor, com uma *view* com os componentes parasitas do leiaute ou com um *netlist* extraído do esquema elétrico (entre outras opções).

3.1 Malha de Controle de Fase com Compensação Digital (DPLL)

Nesta seção são explicadas detalhes de cada parte do circuito proposto ilustrado na Figura 22.

Ele consiste em um TDC que é dividido em duas partes, uma faz o controle automático de ajuste grosso e a outra faz o ajuste fino. O DLF está com sua representação no domínio z . O DCO recebe duas palavras digitais de entrada, sendo uma proveniente do controle grosso e a outra do ajuste fino. O divisor de frequências recebe uma palavra de dois bits para a escolha do módulo da divisão.

O DCO é composto por dois blocos internamente, DAC e VCO. O DAC converte a palavra digital de sua entrada e transforma em uma tensão de controle para o VCO. O VCO utiliza essa tensão como um ajuste fino da frequência e também possui uma estrutura para o controle grosso da frequência. Usando essa mistura de controle fino e controle grosso, torna-se mais fácil atingir uma faixa ampla de frequências e, ao mesmo tempo, conseguir uma boa resolução.

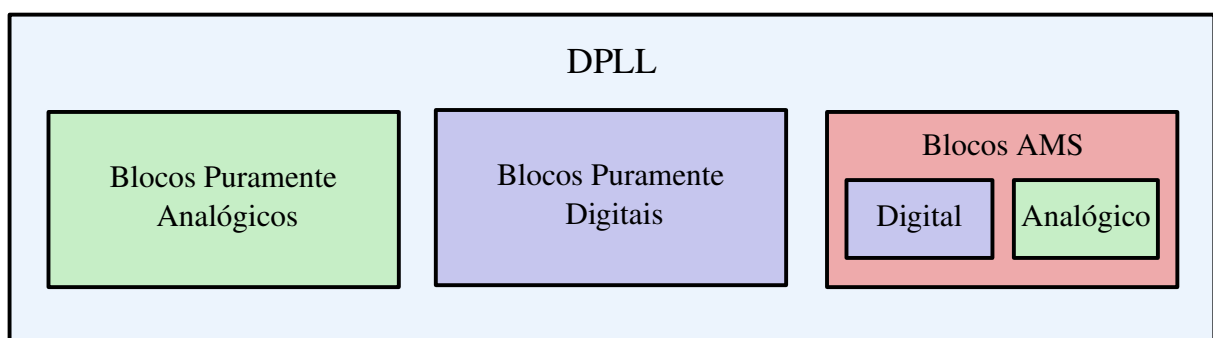


Figura 21 – Domínio dos blocos existentes no DPLL

Fonte: (Autor - 2023)

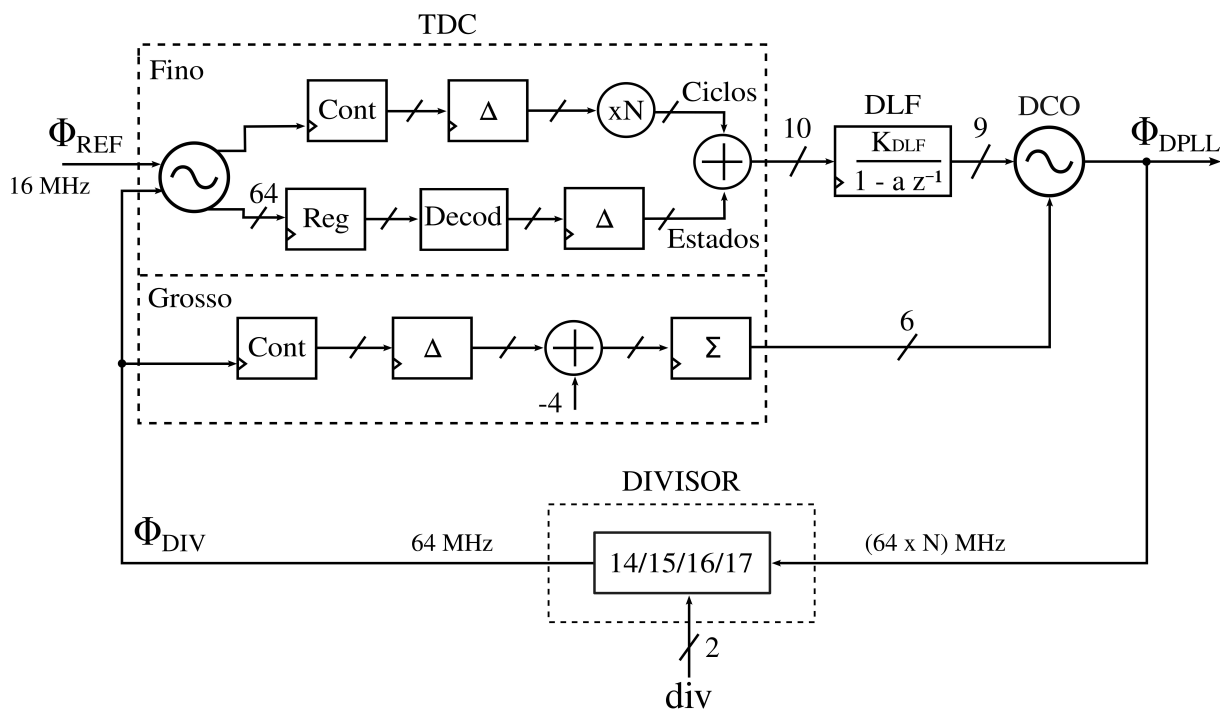


Figura 22 – Diagrama de blocos do DPLL proposto

Fonte: (Autor - 2023)

O controle do ajuste grosso do DCO é feito por meio de um contador (dentro do TDC) que conta os pulsos em Φ_{DIV} para então ser comparado com o valor 4. Se o número de pulsos em Φ_{DIV} for maior que 4, então a palavra do controle grosso do TDC aumenta, consequentemente mais capacitâncias são adicionadas aos nós fazendo com que a frequência diminua. O oposto acontece quando o número de pulsos for menor que 4. Em outras palavras, o controle grosso faz com que a frequência em Φ_{DIV} seja 4 vezes a frequência em Φ_{REF} .

O TDC também constitui em outro circuito que faz a conversão da diferença entre fases em uma palavra digital. Essa conversão é feita por meio de dois ramos, um para a decodificação de ciclos e outro para a decodificação do estado de um oscilador interno ao TDC. Isso é explicado com mais detalhes na seção 3.2.

O DLF serve para manter a estabilidade da malha e o projeto deste afeta diretamente a característica do DPLL.

Como em esse projeto não há uma especificação para diferentes valores de frequência do DPLL, então foi escolhido projetar um divisor de frequência composto por um divisor multi módulo (14/15/16/17) somente para ver o comportamento do DPLL para uma mudança nesta divisão.

3.2 Conversor de tempo para digital (TDC)

Em um período da referência há mais de uma borda de subida no sinal em Φ_{DIV} . Por conta disso, o TDC gera um sinal em sua saída que é proporcional ao tempo entre

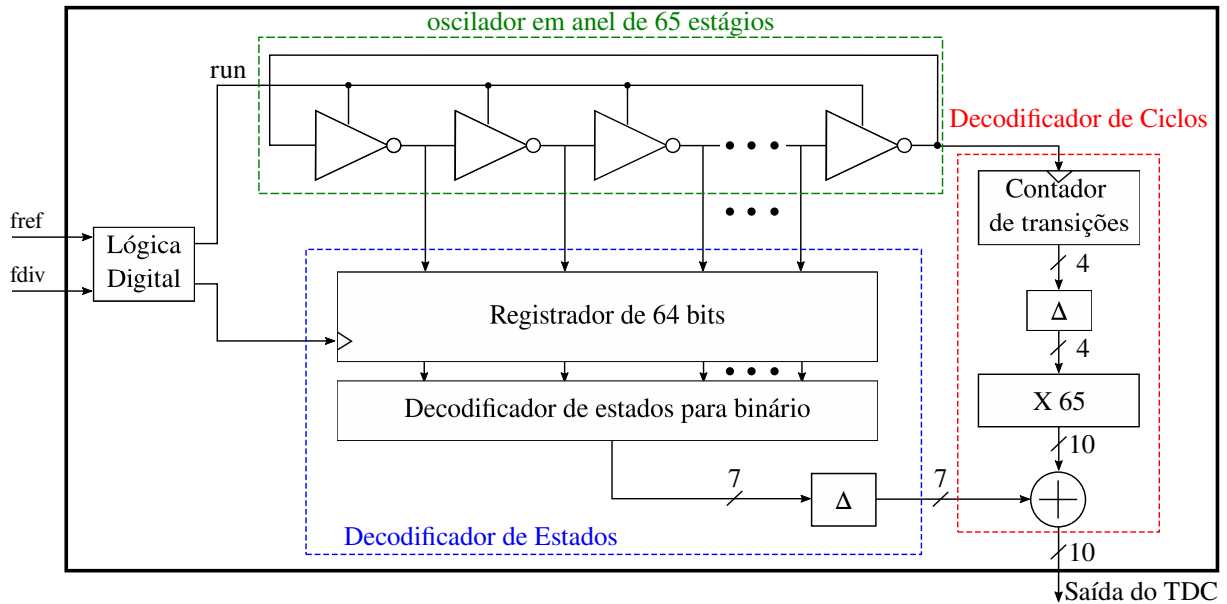


Figura 23 – Diagrama de blocos do TDC sem o bloco de ajuste grosso
 Fonte: (Autor - 2023)

a borda de subida em Φ_{REF} e a primeira borda de subida em Φ_{DIV} .

A Figura 23 mostra a implementação em alto nível do circuito TDC sem a lógica de ajuste grosso. O circuito é constituído de 3 principais blocos: oscilador em anel, decodificador de ciclos e decodificador de estados.

O oscilador em anel consiste em uma cadeia de inversores, como ilustrado na Figura 24. As chaves na alimentação e no terra servem para manter o estado do oscilador quando desabilitado. Pelo fato de não oscilar por todo o período da referência, isso diminui o consumo de potência do circuito. O tamanho das chaves MN_SW e MP_SW foram escolhidas para ter uma resistência, quando ligadas, menor que a resistência dos transistores do inversor MN e MP, respectivamente. A largura de MN e MP foi escolhida para ter os tempos de subida e descida próximos um do outro e, um comprimento do canal com valor diferente do mínimo permitido pela tecnologia que, apesar de afetar a resolução do TDC, foi escolhido para evitar um ruído 1/f elevado.

Para que o circuito projetado apresente oscilação, este deve ter um número ímpar de estágios. Dessa forma pretende-se que a frequência de oscilação seja,

$$f_{ro} = \frac{1}{2\tau X} \quad (22)$$

onde X é o número de estágios e τ é o tempo de propagação de cada estágio.

Com o dimensionamento da célula de atraso, destacada na Figura 24, o tempo de propagação, e também a resolução do TDC, é de 25 ps considerando os parasitas no leiaute.

Para a escolha do número de estágios do oscilador do TDC, foram considerados os dois fatores abaixo:

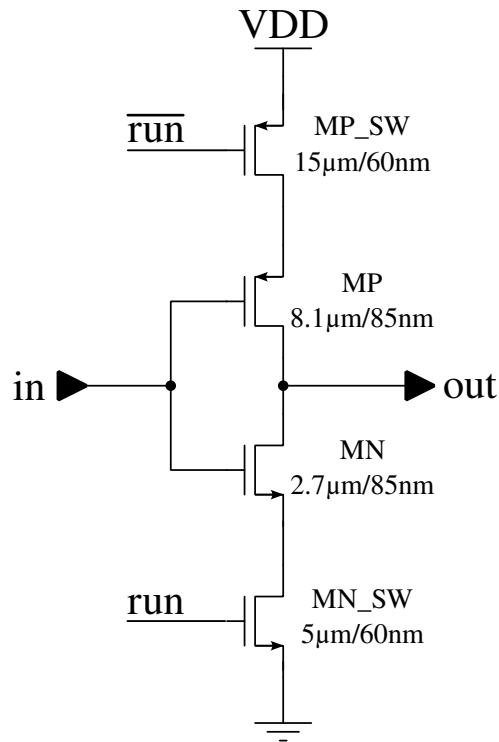


Figura 24 – Elemento de atraso do oscilador em anel
Fonte: (Autor - 2023)

1. Consumo do TDC

Como o bloco de decodificação de estados somente funciona uma vez para cada período da referência, o consumo do TDC é grandemente influenciado pelo oscilador em anel e decodificador de ciclos.

Por causa de as transições neste oscilador serem bem rápidas, para obter uma boa resolução a parte dinâmica do consumo de potência (P_{DIN}) é dominante, sendo dada por,

$$P_{DIN} = C_n VDD^2 f_{ro} X \quad (23)$$

onde f_{ro} é a frequência de oscilação do oscilador em anel do TDC, C_n é a capacitância total na saída de cada estágio e VDD é a tensão de alimentação. Consequentemente, se juntarmos as equações (22) e (23), temos que o consumo dinâmico de potência do oscilador em anel é dado por.

$$P_{DIN} = \frac{C_n VDD^2}{2\tau} \quad (24)$$

Ou seja, este consumo não é impactado pelo número de estágios do oscilador.

Por outro lado, o número de transições no contador de ciclos é menor para um maior número de estágios, fazendo com que o consumo do decodificador de ciclos junto com o oscilador em anel seja menor para maior número de estágios.

2. Probabilidade de erro na saída do TDC

Um problema de meta estabilidade no decodificador de estados pode apresentar um erro máximo na saída do TDC de 1 Bit Menos Significativo (Less Significant Bit - LSB). Entretanto, um problema de meta estabilidade no decodificador de ciclos pode apresentar um erro máximo na saída do TDC de X LSBs. Por conta disso, quanto menos transições no contador do decodificador de ciclos menor a probabilidade de erro na leitura. E esse número de transições é minimizado para maior número de estágios.

Entretanto, existe um possível problema em utilizar osciladores em anel com alto número de estágios, que é de introduzir maior possibilidade de oscilarem em uma frequência harmônica da frequência calculada. Além de diminuir o número de estágios do oscilador, existem outros métodos para diminuir essa possibilidade como (i) projetar o oscilador com um número primo de estágios; (ii) habilitar o oscilador com uma transição rápida (BHUSHAN; KETCHEN, 2010).

Projetar o oscilador com números primo de estágios não foi escolhido, pois o número 65 foi considerado para facilitar a implementação da multiplicação¹ sendo uma operação rápida e de área reduzida. Então, usar rápidas transições no sinal que habilita o oscilador foi a opção utilizada.

O circuito decodificador de estados é composto por um registrador de 64 bits (X-1, pois o último estágio conecta somente ao decodificador de ciclos) que faz a leitura do estado no último momento antes do oscilador ficar desabilitado. Os dados na saída dos registradores são decodificados, primeiro transformando o dado em um sinal termométrico e, logo em seguida, são convertidos para binário. Finalmente a diferença entre o valor atual e o último valor é enviado para a saída deste bloco.

Em paralelo a isso, o decodificador de ciclos conta quantas vezes houve uma transição no último estágio do oscilador do TDC. Esse valor é multiplicado pelo número de estágios desse oscilador, pois o tempo entre uma transição e outra no último estágio é igual ao tempo de propagação de uma célula de atraso multiplicado pelo número de estágios.

Note que, a saída é a soma dos valores calculados nos dois blocos decodificadores, sendo que o decodificador de estados pode apresentar valores negativos.

A Figura 25 representa o diagrama de blocos do TDC. O domínio digital consiste de três circuitos que são: (i) o FINO, que representa o decodificador de estados e o decodificador de ciclos descritos anteriormente, (ii) o GROSSO que é um bloco para um ajuste grosso da malha e (iii) o CONTROLE que gera os sinais necessários para os outros blocos, como o sinal que habilita os registradores "*reg_out*" e o sinal que faz com que o oscilador seja ativado "*run*".

¹ multiplicação por 65 pode ser realizada deslocando para a esquerda 6 vezes os bits e replicando o valor inicial nos bits menos significativos.

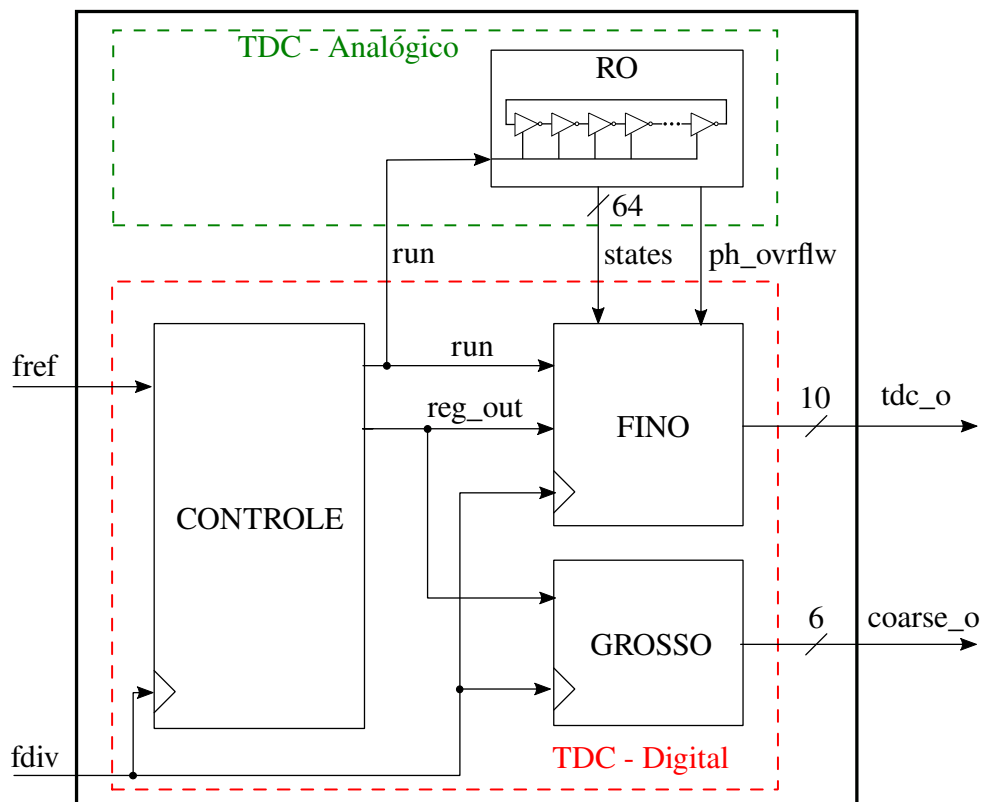


Figura 25 – Diagrama de blocos do TDC

Fonte: (Autor - 2023)

Como dito anteriormente, o bloco FINO representa os decodificadores do estado e de ciclos do oscilador do TDC. A Figura 26 mostra esse bloco com mais detalhes. Este consiste em dois blocos decodificadores e um somador.

O bloco a seguir (Figura 27) detalha o decodificador de estados. Primeiramente, os sinais provenientes de cada estágio do oscilador são registrados. Os dados registrados são convertidos para o formato termométrico ou bolha dependendo do estado do oscilador (se está em um ciclo ímpar ou par). Após isso, outro bloco é necessário para que os dados estejam, independentemente do estado do oscilador, com o formato termométrico. A seguir, os dados passam por um circuito de Correção de Erro Bolha (*Bubble Error Correction* - BEC) que elimina qualquer valor diferente de '1' – causado, por exemplo, por alguma violação dos tempos de *setup* ou *hold* de um dos *flip-flops* do TDC – que estiver entre dois valores '1' (um exemplo pode ser observado na Tabela 4). Finalmente, esse valor é convertido para binário e a diferença entre o valor atual e o último valor decodificado é registrada.

Para detalhar o funcionamento do bloco, a Tabela 4 mostra um exemplo simplificado (número de bits reduzidos) dos valores em cada parte do bloco. Nesta tabela são observados os valores internos para 3 períodos da referência consecutivos. Note que, no terceiro período, o valor da saída é negativo (-3), isso é esperado e acontece quando o valor da saída no último período é maior que o valor no período atual.

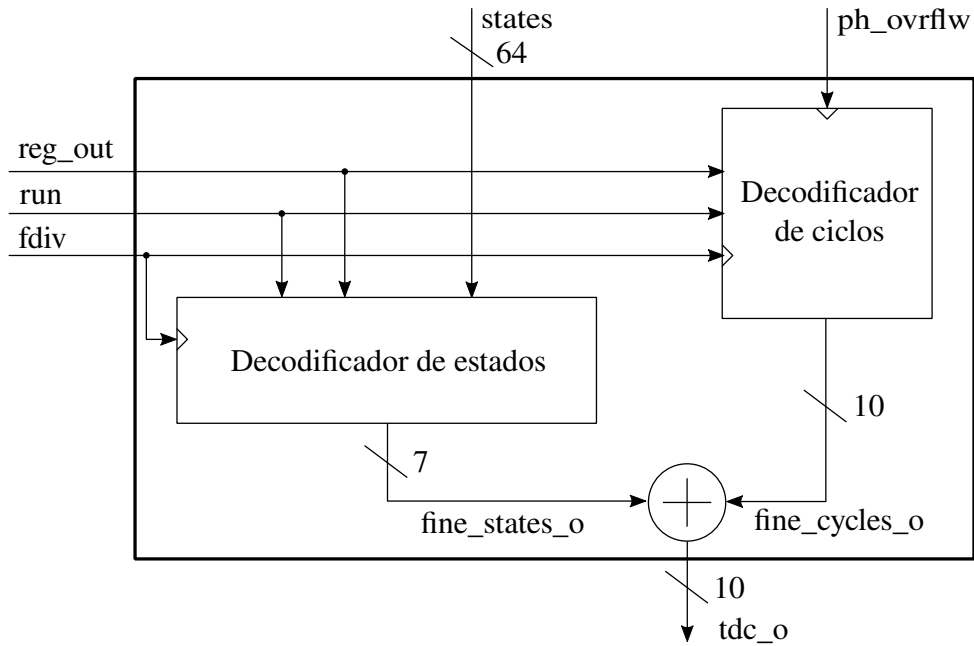


Figura 26 – Circuito de ajuste FINO

Fonte: (Autor - 2023)

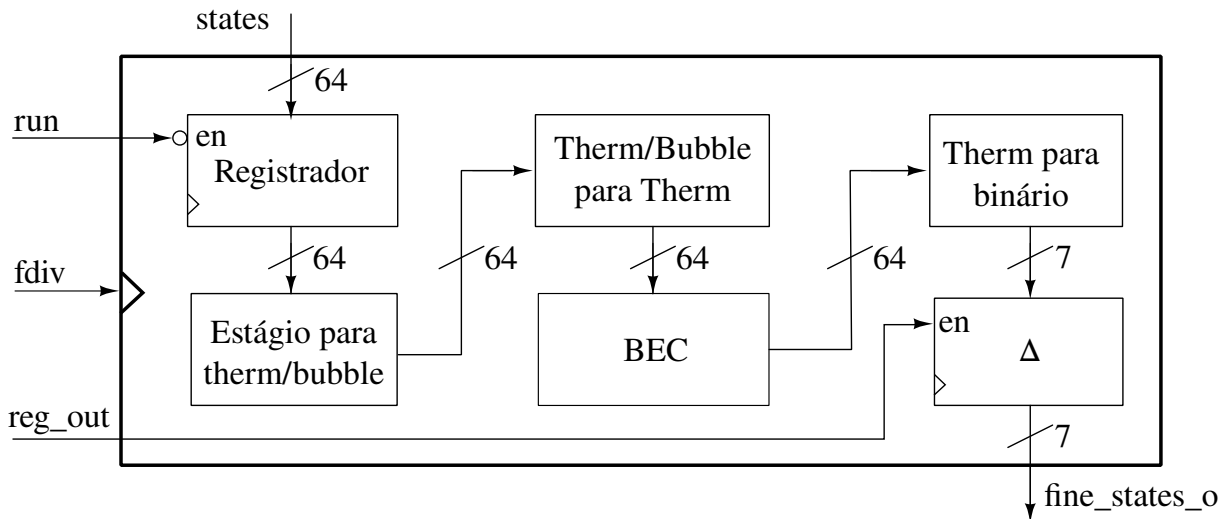


Figura 27 – Diagrama de blocos do decodificador de estados

Fonte: (Autor - 2023)

O bloco BEC é importante em decodificadores termométricos para binário de alta velocidade como descrito em (BUI *et al.*, 2010).

Em (CHUNN; SARIN, 2013) são comparadas topologias de codificadores termométrico para binário. E a topologia escolhida neste projeto é a baseada em multiplexadores devido ao menor número de transistores e menor consumo de potência mostrado no artigo.

Na Figura 28 é exposto o bloco decodificador de ciclos, este consiste em contadores de borda de subida e descida, um diferenciador e um multiplicador.

Dois contadores são usados para contar o número de transições do último estágio do oscilador. O diferenciador serve para que o circuito calcule a diferença entre

Tabela 4 – Exemplo de funcionamento do decodificador de estados com número de bits reduzidos

	Período 1	Período 2	Período 3
states	00101010	01010110	10010101
term/bolha	01111111	00000011	11000000
termométrico	10000000	11X11100	11000000
BEC	10000000	11111100	11000000
binário	0001 (+1)	0110 (+6)	0010 (+2)
fine_states_o	0001 (+1)	0101 (+5)	1101 (-3)

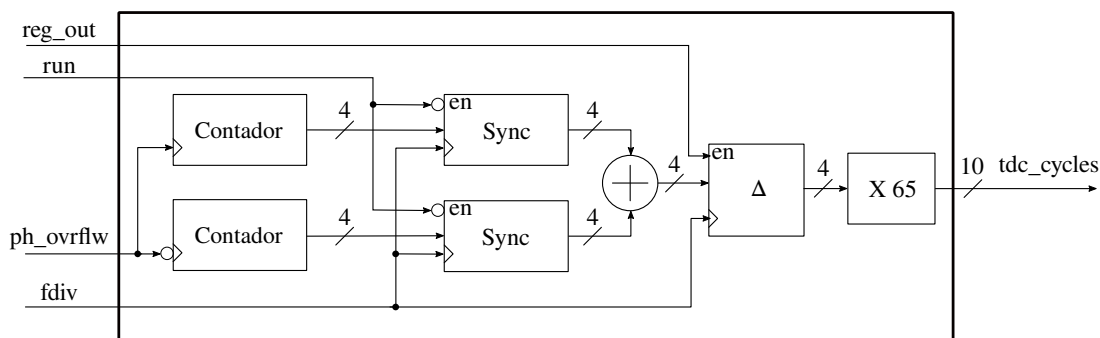


Figura 28 – Decodificador de ciclos

Fonte: (Autor - 2023)

o último valor e o valor corrente. O multiplicador, para que cada transição represente o atraso de todos os estágios do oscilador projetado. Note que nesse circuito há sincronizadores para evitar metaestabilidade, pois no bloco existem dois domínios diferentes de relógio (a saída do último estágio do oscilador do TDC e *fdiv*).

O próximo bloco descrito faz o controle grosso do DCO (Figura 29). Ele consiste em um contador que mostra quantos pulsos do sinal *fdiv* têm em um pulso do sinal de *fref*. O resultado é subtraído por 4 para que em estado estacionário a frequência *fdiv* seja 4 vezes *fref*; isso diminui a faixa em que o TDC precisa operar, reduzindo sua área. Após a subtração, o sinal passa por um acumulador que faz com que o valor do ajuste grosso seja aumentado ou diminuído se o número de pulsos for menor ou maior que 4. O último estágio desse bloco serve para limitar o valor da saída do ajuste grosso em "000000" ou "111111". Sendo assim, o valor nunca transbordará o valor máximo (111111) ou o mínimo (000000). Note que o barramento na saída do acumulador tem 1 bit a mais que a saída do circuito de ajuste grosso, esse bit (bit 7) serve para detectar quando há um transbordamento e, com a ajuda do bit 6, o circuito consegue identificar se deve limitar a saída em "111111" ou "000000".

Finalmente, na Figura 30 está o bloco que gera os sinais de controle: *reg_out* para habilitar os blocos e permitir que eles registrem seus respectivos valores em suas saídas e *run* para ativar o oscilador. Este bloco também consiste em um sincronizador para evitar metaestabilidade quando a borda de *fref* é muito próxima da borda do sinal *fdiv*.

A Figura 31 mostra as formas de onda do circuito de controle. Para que esse

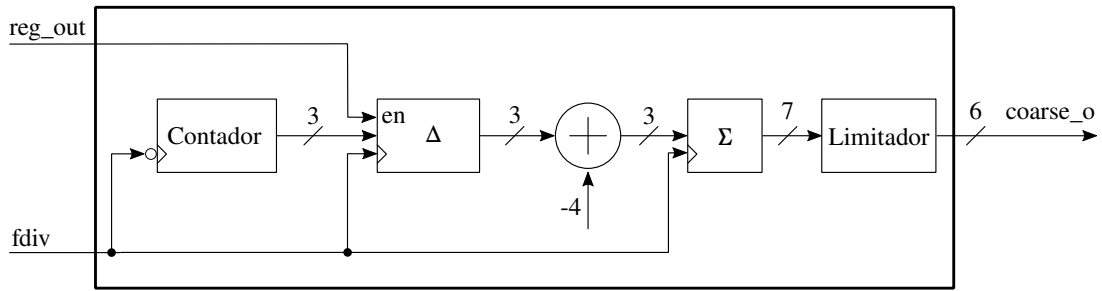


Figura 29 – Circuito de ajuste grosso

Fonte: (Autor - 2023)

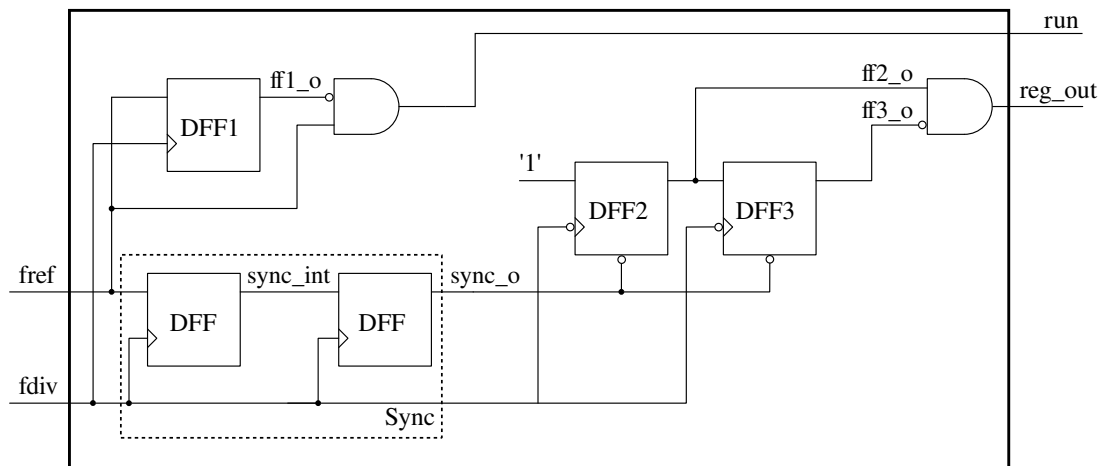


Figura 30 – Circuito gerador dos sinais de controle

Fonte: (Autor - 2023)

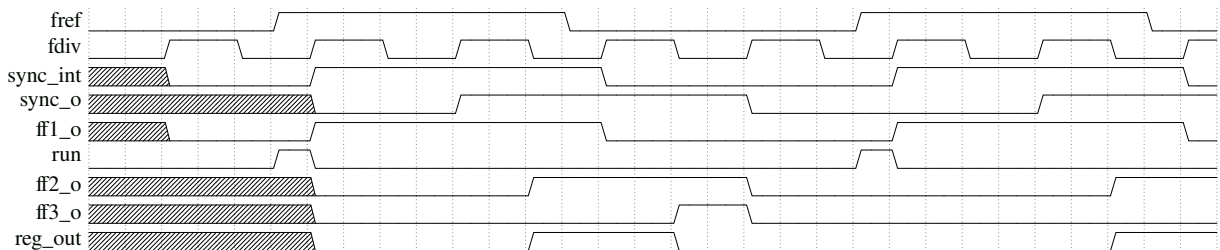


Figura 31 – Formas de onda do circuito de controle

Fonte: (Autor - 2023)

circuito funcione corretamente a frequência do sinal de *fdiv* tem que ser $fdiv \geq 2 \times fref$ em todo o tempo, incluindo quando estiver em estado transitório, para que o sinal *reg_out* seja resetado. Essa restrição não é problema devido ao circuito de controle grosso, que funciona independentemente do controle fino, e faz a frequência *fdiv* ser próxima a $4 \times fref$.

Todos os registradores que são habilitados pelo sinal *reg_out* são ativos nas bordas de subida; dessa forma, o momento do registro dos sinais acontece pelo sinal *fdiv* na primeira borda de subida quando *reg_out* está em '1'.

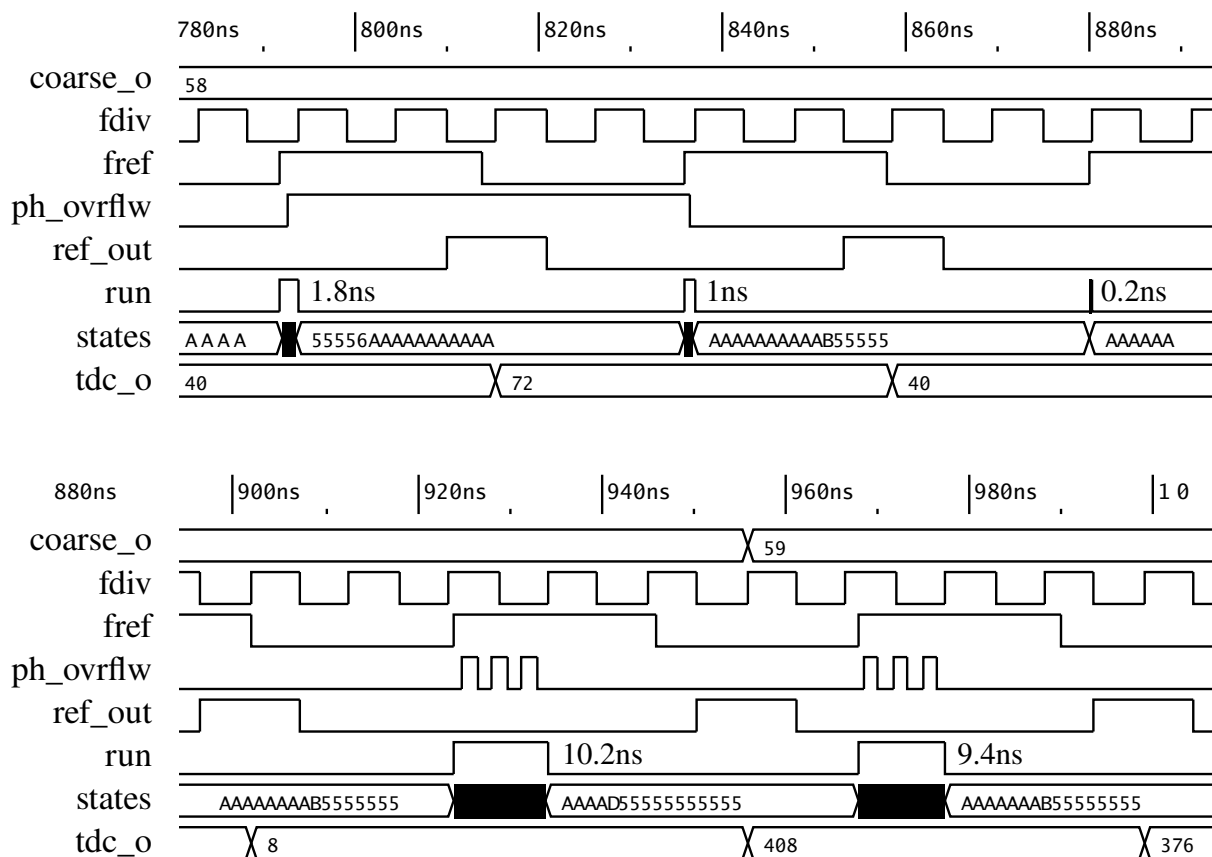


Figura 32 – Sinais do TDC
 Fonte: (Autor - 2023)

3.2.1 Função de Transferência

A função de transferência do TDC pode ser adquirida analisando sua saída e sua entrada. A saída é proporcional à diferença de fases; conseqüentemente, a função de transferência é análoga à de um PD convencional. Sendo assim, a função de transferência é representado por um ganho K_{TDC} como mostrado abaixo.

$$K_{TDC} = \frac{T}{2\pi\Delta t d} \quad (25)$$

onde T é o período do sinal de referência e $\Delta t d$ é a mínima diferença detectada entre fases para um LSB na saída, ou seja, a resolução do TDC.

3.2.2 Formas de onda

A Figura 32 mostra os sinais mais importantes utilizados no projeto do TDC. Essa simulação foi feita no fluxo digital com o simulador Xcelium da Cadence. A figura foi dividida em duas partes para melhor visualização dos sinais e valores, sendo a parte inferior a continuação da simulação da parte superior na figura.

Para o projeto do TDC foi feito um modelo comportamental em código Verilog para emular o RO (ANEXO A). Nesse modelo são descritos somente as saídas em

função da entrada *run*. A saída desse modelo são os sinais *states* ilustrado na figura. Com valores em hexadecimal é mais fácil perceber o sinal sendo propagado através dos estágios apenas observando quando há uma transição do valor hexadecimal 5 para o valor hexadecimal A e vice-versa. Quando o sinal dos estados estão densos, isso é causado por muitas transições naquele espaço de tempo (o oscilador do TDC está ativo). Essa mudança de valor só ocorre quando o sinal *run* está em nível lógico alto; caso contrário, o estado das saídas do oscilador será mantido.

Podemos notar que há uma mudança no sinal de *coarse_o* do valor decimal 58 para o valor decimal 59. Essa mudança é devida ao número de bordas de descida do sinal *fdiv* contadas entre um registro e outro. O número de bordas de descida neste intervalo subtraído do valor decimal 4 é acrescentado no sinal de *coarse_o*.

O sinal *ph_ovrflw* é a saída do último estágio do RO. Consequentemente, pode-se saber a diferença entre as fases (largura do sinal *run*) através da quantidade de pulsos de *ph_ovrflw* e a diferença entre os estados de início e fim do RO.

Do lado de cada pulso do sinal de *run* está marcada a duração desse pulso (diferença entre as fases). A divisão dessa duração pelo valor da resolução do TDC (25 ps) é igual ao valor mostrado, no valor decimal, na saída do TDC em cada período.

O principal parâmetro desse bloco com relação ao ruído do DPLL é a resolução do TDC (Δt_d). É essa resolução que determina o ruído de quantização do TDC.

A equação abaixo mostra o ruído de quantização do TDC (HSU; STRAAYER; PERROTT, 2008).

$$S_{\phi_{PLL}} = 10 \log \left(\frac{1}{T} (2\pi N)^2 \Delta t_d^2 / 12 \right) \quad (26)$$

onde T é o período da referência (T = 62,5 ns).

Nesse projeto o valor da resolução do TDC é $\Delta t_d = 25$ ps, resultando em um ganho $K_{TDC} = 398 \frac{LSB}{rad}$ e um ruído de quantização de -98,7 dBc/Hz.

3.3 Oscilador Controlado Digitalmente (DCO)

O diagrama de blocos do DCO pode ser visto na Figura 33. Para o projeto do DCO foi escolhida a topologia de um DAC em conjunto com um VCO. Foram usados neste projeto 6 bits para o controle grosso e 9 bits para o ajuste fino da frequência. A seguir são mostrados detalhes de cada um desses blocos.

3.3.1 VCO

A Figura 34 mostra a topologia usada para o VCO. Note que além de este bloco ser controlado por uma tensão analógica, também é controlado por uma palavra digital que faz o ajuste grosso da frequência. Na figura também pode ser visto o *buffer* para diminuir os tempos de subida e descida. Os transistores Mpcc na célula de atraso (linhas pontilhadas em azul) funcionam como uma realimentação positiva e servem

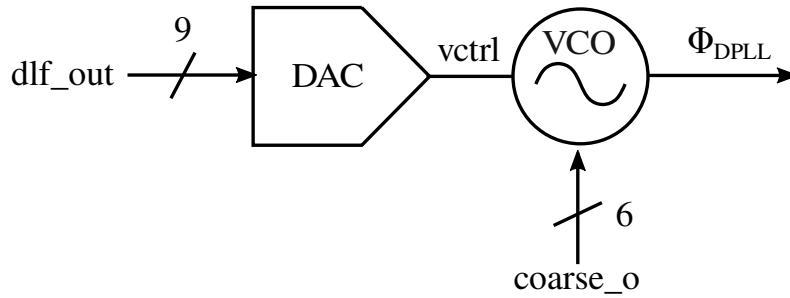


Figura 33 – Diagrama de blocos do DCO
Fonte: (Autor - 2023)

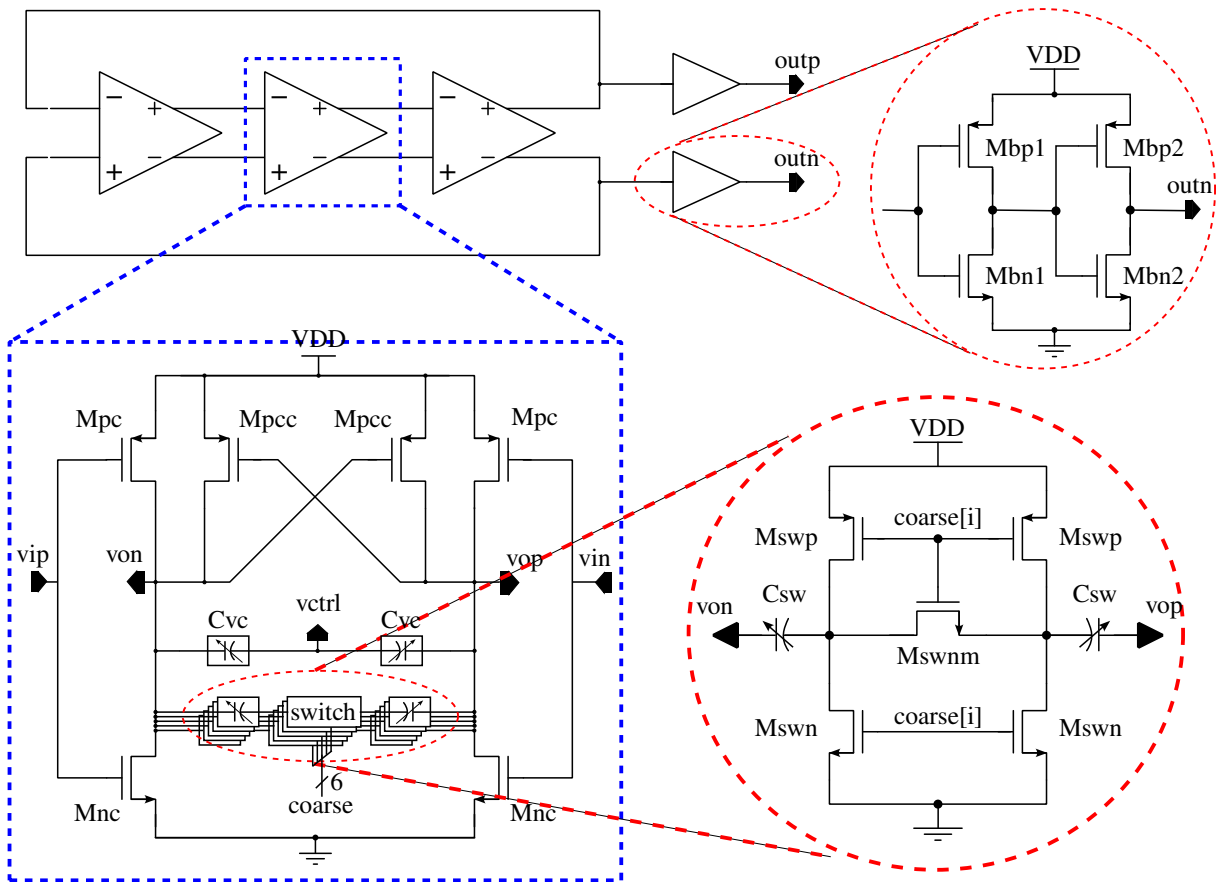


Figura 34 – VCO à esquerda e a chave de controle grosso da frequência à direita
Fonte: (Autor - 2023)

para manter uma defasagem de 180° em relação aos nós diferenciais. Os varactores usados nas chaves do controle grosso, mostrados no canto inferior direito, são todos iguais entre uma chave e outra. Sendo assim, o peso binário do controle está no número de chaves e não na diferença no tamanho deles entre uma chave e outra. A topologia usada para essas chaves preserva a simetria do leiaute do oscilador. Quando o sinal "coarse_[i]" estiver em nível lógico '1', o descasamento na resistência das chaves Mswn pode ocasionar um comportamento diferente entre os sinais diferenciais. Por conta disso é utilizada a chave Mswnm para diminuir essa resistência vista entre o terminal do capacitor e o terra.

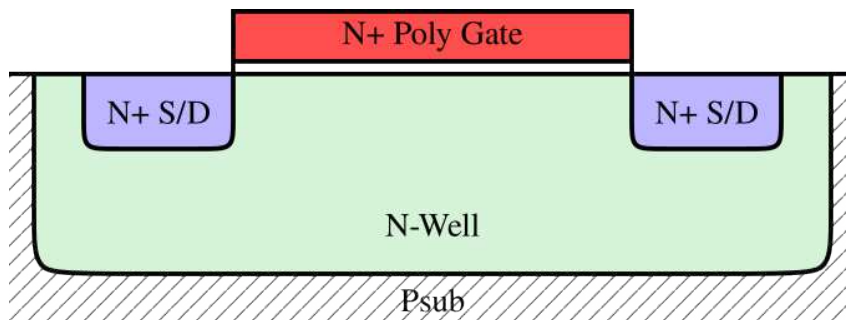
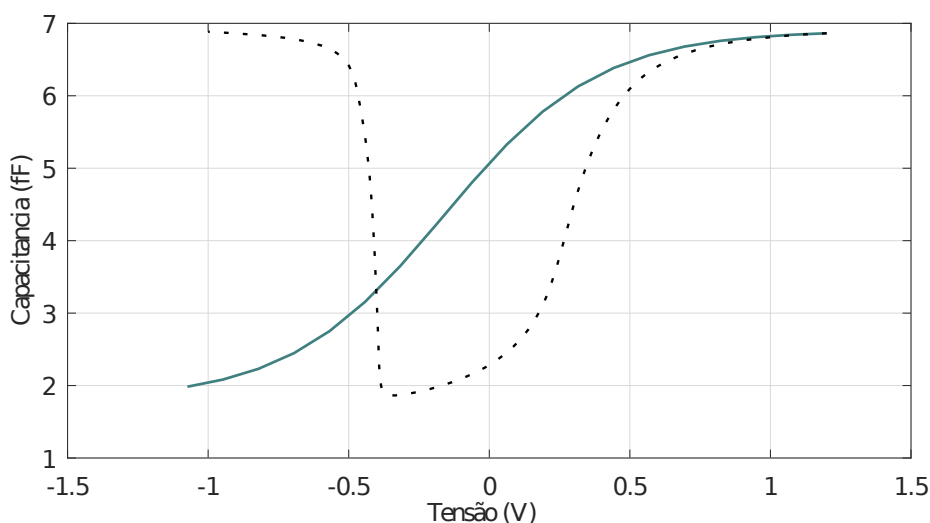


Figura 35 – Seção transversal do varactor

Fonte: (Autor - 2023)

Figura 36 – Comparação entre (linha sólida) capacitância do varactor em função da tensão entre os terminais e (linha tracejada) capacitância de um capacitor Poly (P+) sobre *N-Well*

Fonte: (Autor - 2023)

A seção transversal do varactor está desenhada na Figura 35. Este capacitor é feito com um *Poly N+* sobre um *N-Well*. Devido ao tipo do material do *Poly Gate* ser *N+* e por estar sobre um *N-Well*, a tensão de limiar desse capacitor é deslocada. Consequentemente, a característica desse capacitor tem a forma mostrada na Figura 36. Essa figura, mostra a capacitância de um varactor de tamanho $1\mu\text{m} \times 1\mu\text{m}$ em função de sua tensão de operação. A linha tracejada mostra um exemplo de resposta de um capacitor MOS feito com *Poly P+* sobre um *N-Well*.

Para o controle digital da frequência, um dos terminais de cada varactor é conectado a VDD ou ao Terra, dependendo da frequência de operação desejada no oscilador. Para a malha aumentar a frequência de operação, mais varactores ficam com seu terminal negativo (*N-Well*) conectados ao VDD diminuindo a capacitância total nos nós do oscilador.

Para garantir que o DCO cubra completamente a faixa de frequências, é fundamental que palavras adjacentes de ajuste grosso apresentem a sobreposição conforme

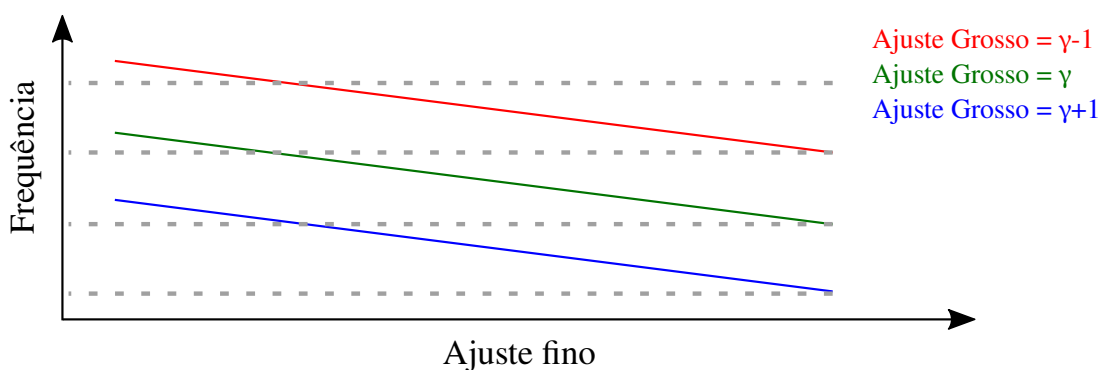


Figura 37 – Exemplo de sobreposição de frequências para valores adjacentes do ajuste grosso

Fonte: (Autor - 2023)

ilustrado na Figura 37. Para obter essa sobreposição, o tamanho dos varactores do VCO (C_{vc}) é 30% maior que o tamanho dos varactores das chaves (C_{sw}).

Existem algumas características que devem ser consideradas para o projeto do oscilador. Uma delas é o número de estágios. Neste projeto foi escolhido o número mínimo de 3 estágios pois, um número pequeno de estágios possibilita o uso de dispositivos com comprimento de canal um pouco maior para um mesmo consumo de potência e frequência de operação, minimizando ainda mais o ruído de fase do oscilador – canal curto produz maior ruído (HAJIMIRI; LIMOTYRAKIS; LEE, 1999). O comprimento de canal dos transistores do VCO é de 150 nm ($2,5 \times L_{min}$).

Outra consideração no projeto da célula de atraso é com relação aos tempos de subida e descida em suas saídas. A relação da largura do canal entre os transistores PMOS e NMOS é definida para manter esses tempos aproximadamente iguais. Quando mais simétricas as transições menor é o ruído de fase do oscilador (HAJIMIRI; LIMOTYRAKIS; LEE, 1999).

3.3.2 DAC

A topologia do conversor D/A é como mostra a Figura 38. Por simplicidade, a topologia escolhida para a geração de corrente utiliza apenas um resistor e um transistor NMOS. O circuito também consiste em um espelho de corrente e a razão de espelhamento é controlada pela palavra digital. Na saída do espelho de corrente há um resistor conectado ao VDD. Quando a palavra digital define uma razão de espelhamento maior, a tensão de controle (v_{ctrl}) diminui. O nível de inversão dos transistores NMOS (definido por R_{bias} , VDD e o tamanho dos transistores) é escolhido de acordo com os itens abaixo.

- Faixa de variação da tensão de controle – Quanto maior o nível de inversão, maior será a tensão para manter o transistor saturado e, conseqüentemente, menor é a faixa de operação da tensão de controle.

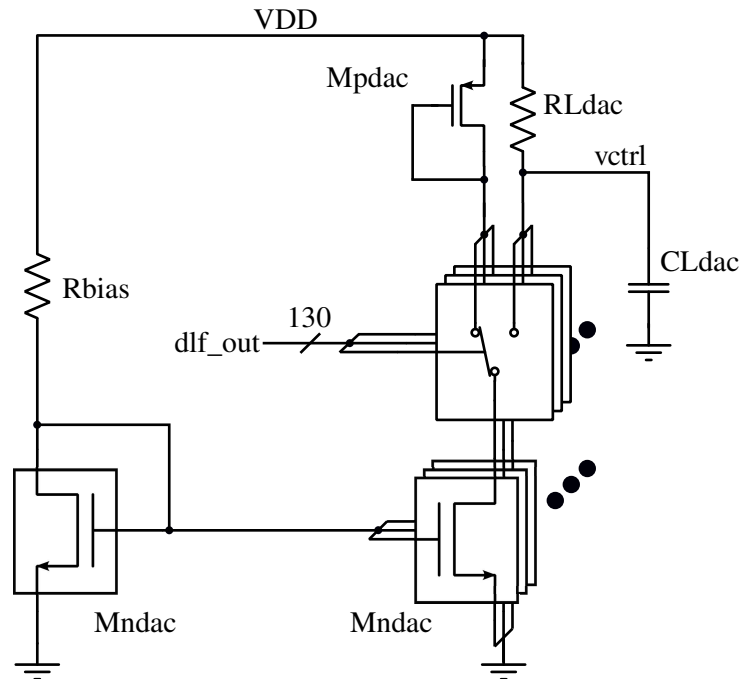


Figura 38 – Conversor D/A

Fonte: (Autor - 2023)

- Descasamento da corrente de dreno – O descasamento da corrente de dreno pode ser minimizado aumentando o tamanho dos dispositivos ou também aumentando o nível de inversão dos transistores (SCHNEIDER; GALUP-MONTORO, 2010).

O resistor RL_{dac} junto com a razão de espelhamento definem a faixa de variação da tensão de controle (v_{ctrl}) em função da palavra digital. O Capacitor CL_{dac} , ajuda a atenuar a interferência na tensão de controle. Esses dois componentes geram um polo adicional na malha que, se não projetado corretamente, pode afetar a estabilidade do sistema. Por conta disto, o módulo desse polo, intitulado ω_{pdac} , é projetado para ser $\omega_{pdac} > 10 \times \omega_U$ e, sendo assim, negligenciado no projeto da malha. Nesse projeto, o módulo desse polo foi projetado na frequência,

$$\omega_{pdac} = \frac{1}{RL_{dac}(CL_{dac} + C_{par})} = 49,6 \text{ Mrad/s} \quad (27)$$

onde C_{par} é toda capacitância adicional vista entre v_{ctrl} e terra AC, estimada aproximadamente em 150 fF. Com o projeto de malha, mostrado posteriormente na seção 3.6, e com a equação (47) mostrada no APÊNDICE A, é possível obter o valor da frequência angular de ganho unitário $\omega_U = 1,43 \text{ Mrad/s}$, sendo esse valor 34,7 vezes menor que a frequência do polo da saída do DAC.

O controle da razão de espelhamento é composto por 130 bits. O bit mais significativo controla 256 transistores unitários, o segundo bit mais significativo controla 128 transistores unitários e o restante (127 bits) controlam, cada bit, um transistor unitário. Em outras palavras, esse DAC utiliza dois métodos, controle termométrico

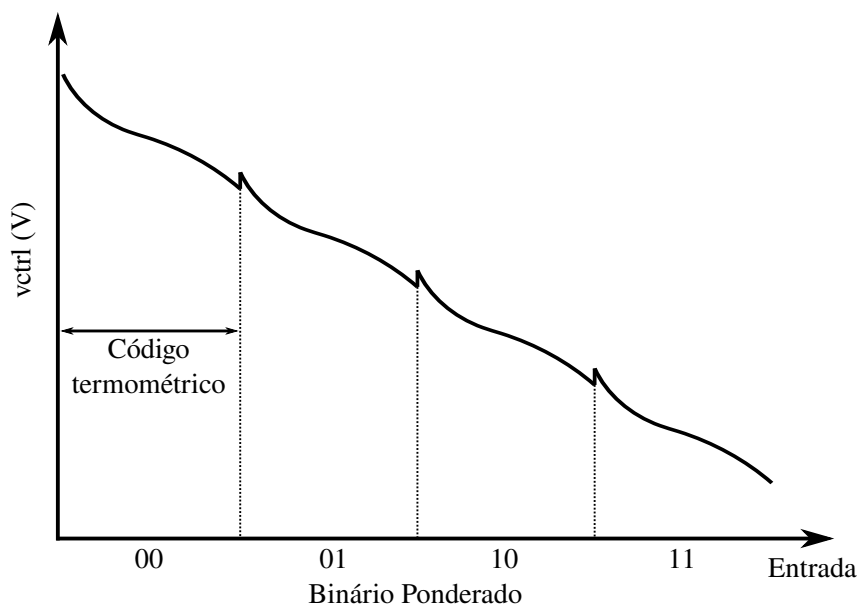


Figura 39 – Possível comportamento de um conversor D/A com a presença de descasamento

Fonte: (Autor - 2023)

Tabela 5 – Tamanho e valor dos componentes utilizados no DCO

	W	L	R	C	Unit
<i>Mpc</i>	9,6	0,15	–	–	μm
<i>Mpcc</i>	6	0,15	–	–	μm
<i>Mnc</i>	8,4	0,15	–	–	μm
<i>Mswp</i>	0,15	0,5	–	–	μm
<i>Mswn</i>	0,5	0,06	–	–	μm
<i>Mswnm</i>	1,05	0,06	–	–	μm
<i>Mbn1</i>	0,2	0,06	–	–	μm
<i>Mbn2</i>	0,33	0,06	–	–	μm
<i>Mbp1</i>	0,6	0,06	–	–	μm
<i>Mbp2</i>	0,99	0,06	–	–	μm
<i>Mpdac</i>	40	0,17	–	–	μm
<i>Mndac</i>	1	5	–	–	μm
<i>Cvc</i>	–	–	–	14	fF @ 0V
<i>Csw</i>	–	–	–	10,8	fF @ 0V
<i>CLdac</i>	–	–	–	160	fF
<i>RLdac</i>	–	–	65	–	k Ω
<i>Rbias</i>	–	–	1,2	–	M Ω

e binário ponderado. A parte do controle termométrico garante, mesmo com a presença de descasamento, um comportamento monotônico dentro da faixa do código termométrico. A parte binário ponderado reduz a área e simplifica o leiaute do DAC. Um exemplo da resposta do DAC com a presença de descasamento é mostrado na Figura 39. Nesta figura é possível perceber que o comportamento de *vctrl* em função do código termométrico é replicado em diferentes valores do código binário ponderado.

Na Tabela 5 pode ser visto os valores dos componentes utilizados no DCO.

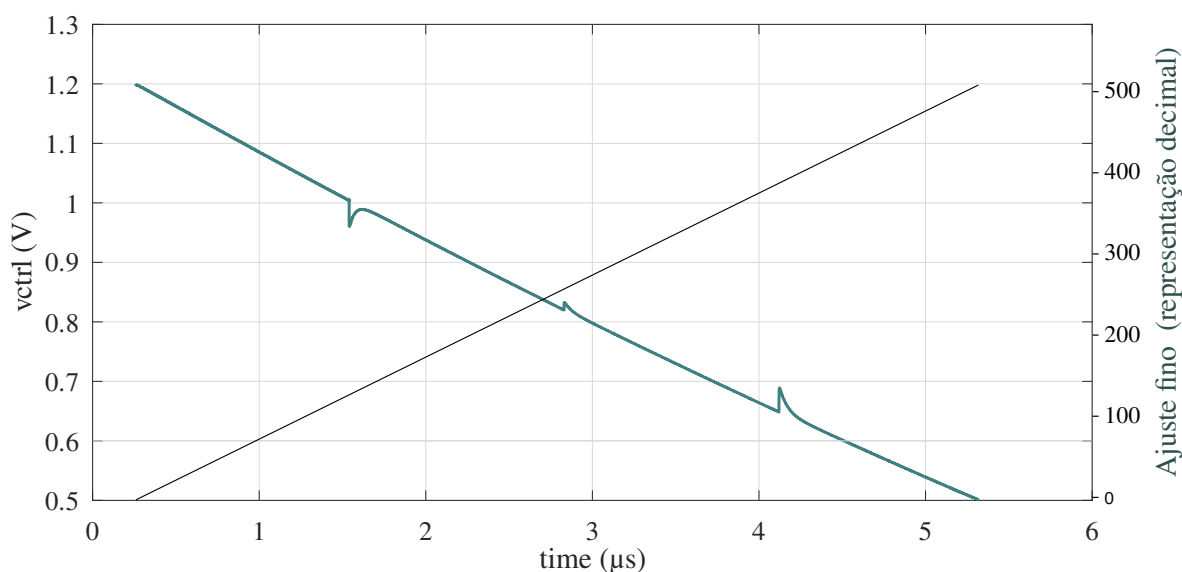


Figura 40 – vctrl versus ajuste fino no domínio do tempo
Fonte: (Autor - 2023)

3.3.3 Função de Transferência

Para simplificar, o DAC é desconsiderado na função de transferência do DCO, pois a função de transferência dele é compensada com o amostrador no TDC (FADALI; VISIOLI, 2012). Assim, a função de transferência do DCO é,

$$\frac{\Phi_{PLL}}{df_{out}} = \frac{K_{DCO}}{s}$$

Onde K_{DCO} representa o ganho do DCO em $\frac{rad}{sLSB}$

3.3.4 Formas de Onda

DAC

Na simulação mostrada na Figura 40, a palavra digital do DAC varia de seu menor valor para o maior e a forma de onda mostrada na figura é a saída do DAC. Essa variação ocorre no domínio do tempo de forma a analisar a resposta do DAC para as transições do ajuste fino.

As partes na figura que mostram uma descontinuidade são devidas às mudanças dos dois bits mais significativos do método binário ponderado comentado. Isso ocorre pois a tensão na porta do transistor Mpdac conectado como diodo (Figura 38) não é a mesma que a tensão de controle, assim quando uma chave que estava ligada no transistor PMOS desliga e liga-se ao nó da tensão de controle acontece uma distribuição de carga fazendo com que ocorra essa descontinuidade vista na figura.

Uma forma de minimizar esse efeito é a utilização de um *buffer* analógico fazendo com que a tensão nos dois nós seja bem próxima uma da outra. Um detalhe

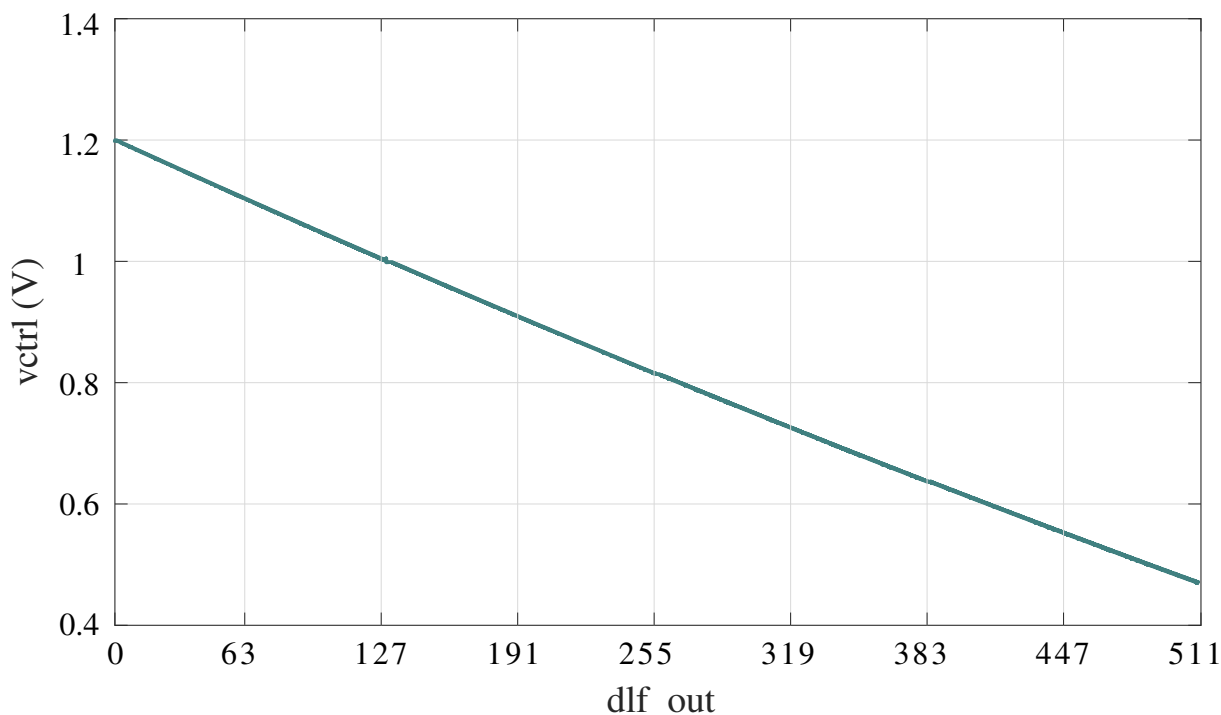


Figura 41 – vctrl versus ajuste fino

Fonte: (Autor - 2023)

que deve ser levado em consideração é que o *buffer* deve ter uma banda e capacidade de corrente suficiente para minimizar esse efeito.

A Figura 41 ilustra a resposta DC do DAC com relação à palavra digital. O passo de 1 LSB dessa palavra digital representa uma variação em vctrl de aproximadamente 1,4 mV, sendo que o ruído integrado na banda de 1 Hz a 100 MHz da tensão de controle simulado no DAC foi de $70,5 \mu V_{RMS}$.

DCO

A Figura 42 mostra a característica de DCO projetado para diferentes valores do ajuste grosso. No eixo X a palavra digital do ajuste fino é variada do valor decimal 0 até 511. No eixo Y é representada a frequência de saída do DCO em GHz.

Para uma configuração do ajuste grosso próximo a frequência de 1 GHz, a frequência do DCO varia aproximadamente 100 kHz a cada 1 LSB ($K_{DCO} = 628 \frac{krad}{sLSB}$).

Como explicado anteriormente, os valores máximos de frequência de uma palavra digital têm sobreposição ao valor mínimo da próxima palavra digital do ajuste grosso. Sendo assim, o PLL consegue abranger toda a faixa de frequência mostrada mesmo com a presença de descasamento.

A faixa de frequência que o DCO abrange deve ser mais ampla do que a faixa de frequência de operação do PLL, garantindo assim que o PLL opere no valor esperado mesmo em caso de variação PVT.

Pode ser observado também que, para frequências menores, o passo da variação de frequência tanto do ajuste grosso quanto do ajuste fino é menor do que em

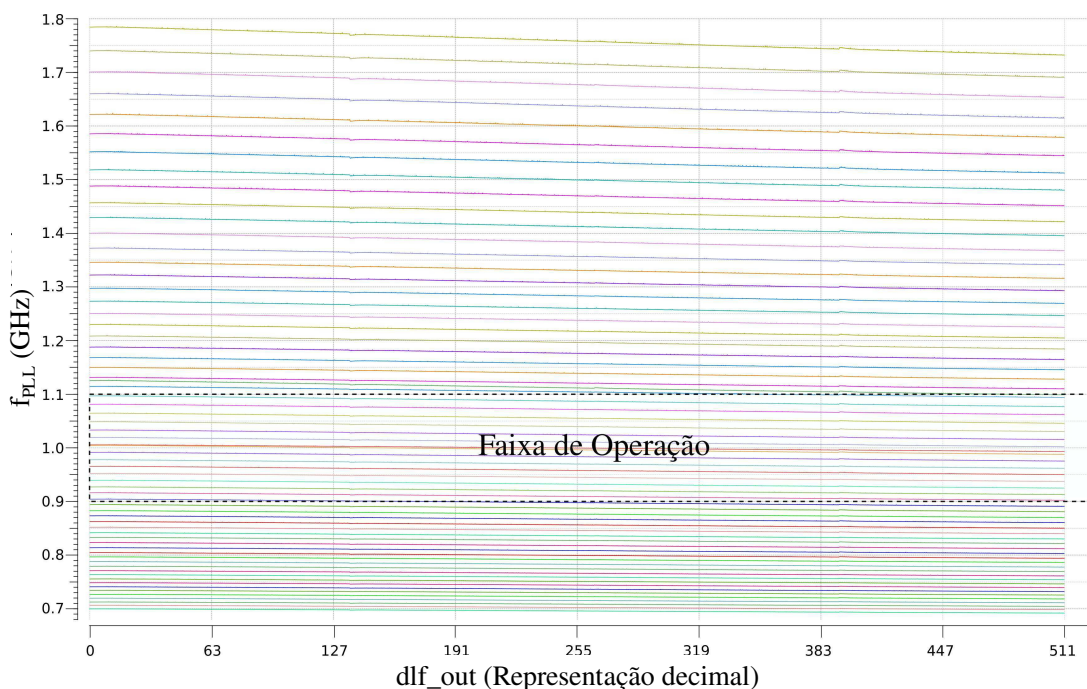


Figura 42 – Frequência do DPLL versus ajuste fino para diferentes códigos de ajuste grosso

Fonte: (Autor - 2023)

frequências mais altas. Isso acontece pois, em frequências mais altas, as capacitâncias que são adicionadas ou removidas nos nós do oscilador são maiores comparadas aos valores de capacitância já existentes nesses nós.

O DCO projetado tem um consumo de corrente de 2,37 mA quando operando em 1 GHz. O ruído de fase do DCO (DAC + VCO) em função da frequência de *offset* está apresentado na Figura 43, para frequência de oscilação de 1 GHz.

3.4 Divisor de Frequência

A Figura 44 mostra como é feito o circuito de divisor de frequência. Nesse circuito, a palavra de 2 bits (*div*) controla o módulo da divisão da frequência.

A parte destacada em vermelho é um divisor 2/3, esse circuito divide a frequência pelos valores 2 ou 3 dependendo do sinal de controle *mctrl*.

Com a inserção de um contador de 0 ao valor decimal 6, e também de uma lógica combinacional, esse circuito é capaz de ter quatro valores diferentes de divisão, com os módulos de divisão 14, 15, 16 e 17. O número de divisões foi escolhido arbitrariamente e foi adicionado apenas para observar o comportamento da malha na mudança entre um fator de divisão e outro.

O projeto desse circuito é feito controlando quantos pulsos, do divisor 2/3, são divididos por 2 e quantos são divididos por 3. A Tabela 6 mostra a tabela verdade para projetar o circuito combinacional.

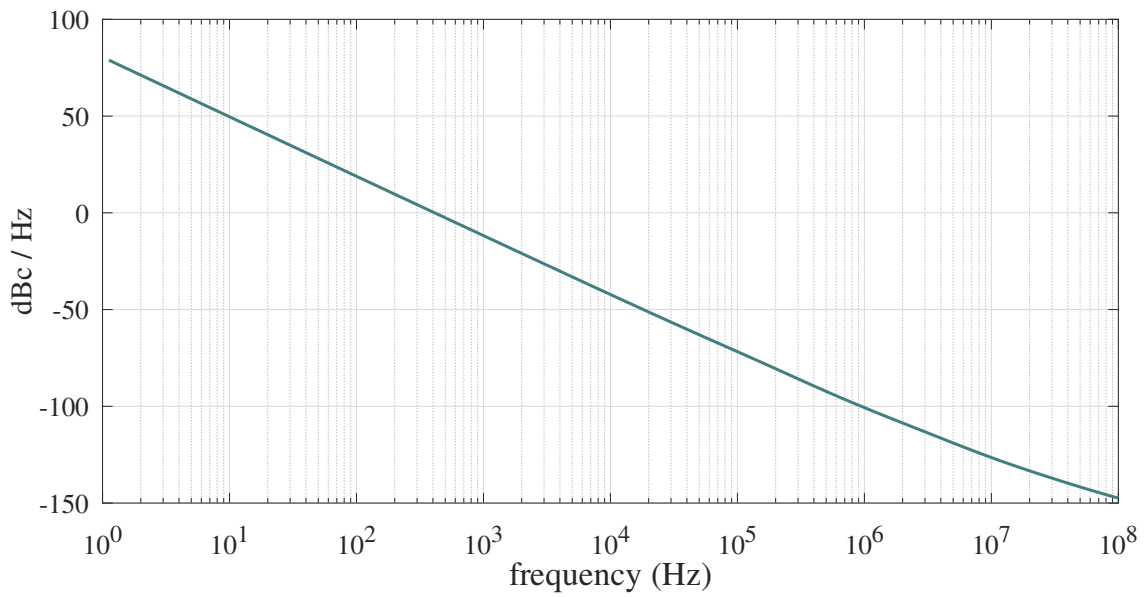


Figura 43 – Ruído de fase do DCO (dBc / Hz) operando em 1 GHz
 Fonte: (Autor - 2023)

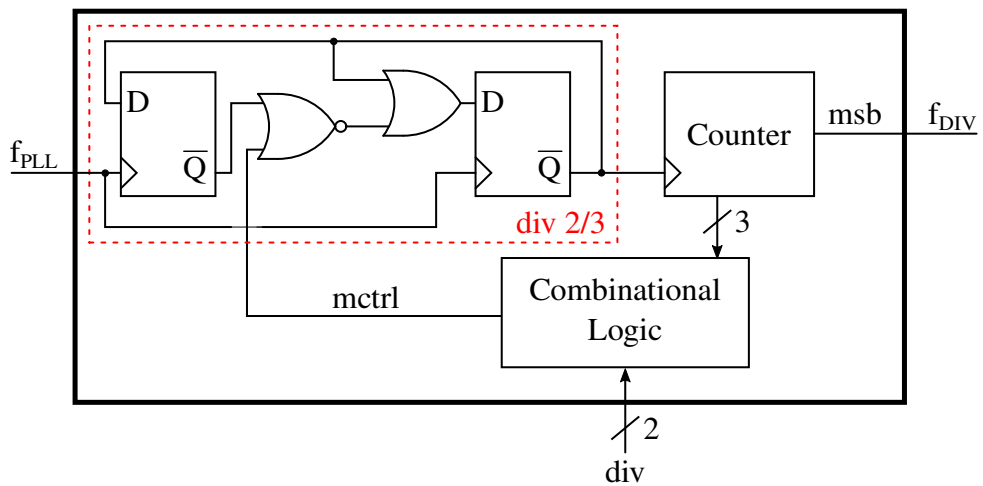


Figura 44 – Divisor de frequência 14/15/16/17
 Fonte: (Autor - 2023)

Tabela 6 – Tabela verdade para o projeto do circuito combinacional

Valor do Contador	div = "00"	div = "01"	div = "10"	div = "11"
	mctrl			
000	0	0	0	0
001	0	0	0	0
010	0	0	0	0
011	0	0	0	0
100	0	0	0	1
101	0	0	1	1
110	0	1	1	1

3.5 Filtro Digital da Malha (DLF)

Essa seção foca na implementação de filtros digitais a partir de uma característica de polos e zeros no domínio s .

Após o projeto de malha feito e obtida a função de transferência do filtro, a conversão do domínio s para o domínio z é feita usando o método "*Backward Difference*" (FADALI; VISIOLI, 2012). Esse método consiste em fazer a conversão dos polos e zeros conforme a seguinte substituição.

$$s = \frac{z-1}{zT} \quad (28)$$

A seguir é mostrado um exemplo de como fazer essa conversão para um filtro de primeira ordem.

Como exemplo segue a função genérica de transferência de um filtro de primeira ordem.

$$C(s) = \frac{K_{LF}}{1 + \frac{s}{\omega_p}} \quad (29)$$

Fazendo a substituição de s como mostra a equação (28),

$$C(z) = K_{LF} \frac{\frac{\omega_p T}{\omega_p T + 1}}{1 - \frac{z^{-1}}{\omega_p T + 1}} \quad (30)$$

Pela equação (30), é notável que o ganho do DLF, K_{DLF} , pode ser calculado por

$$K_{DLF} = K_{LF} \frac{\omega_p T}{\omega_p T + 1} \quad (31)$$

O coeficiente do filtro $\frac{1}{\omega_p T + 1}$ é adquirido através de multiplicação digital. Essa multiplicação deve ser feita em um único período do relógio; assim, o método utilizado para fazer tais multiplicações é com o uso de somadores, subtratores e deslocamento de bits como mostrado em (ALAM, 2016).

3.5.1 Formas de onda

A Figura 45 mostra como é a resposta do filtro digital projetado. Essa simulação foi feita com o simulador Xcelium da Cadence. A palavra digital na entrada do filtro é variada e o valor da saída é observado. Para uma análise mais eficiente, as ondas de entrada e saída foram configuradas para a representação decimal.

Podemos notar o comportamento de filtro passa-baixa como esperado.

3.6 Projeto de Malha do DPLL

Nesta seção é apresentado o projeto de malha do DPLL. Existem algumas formas de projetar a malha contendo blocos em ambos os domínios analógico e digital.

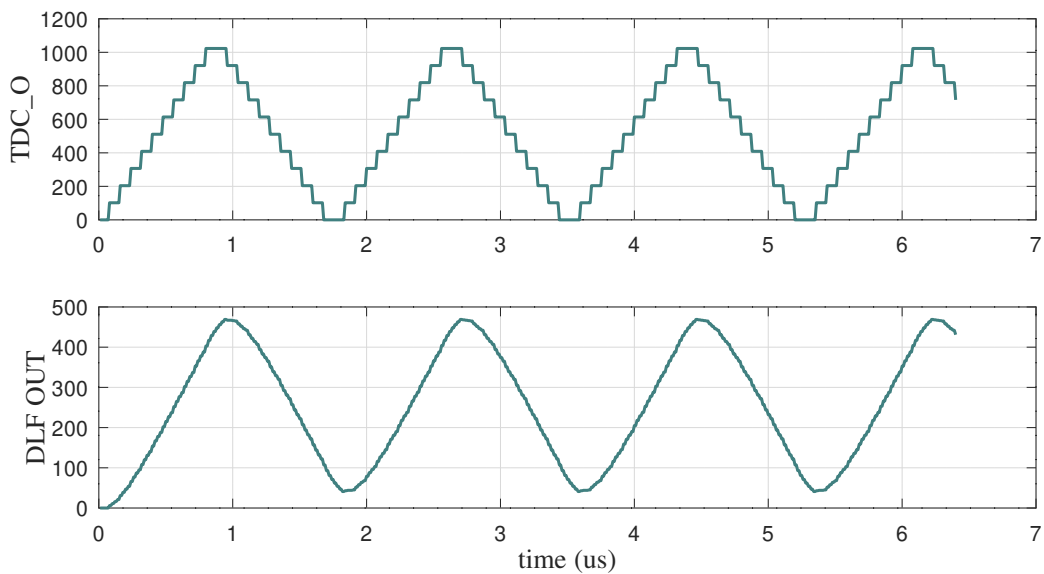


Figura 45 – Resposta do filtro digital
 Fonte: (Autor - 2023)

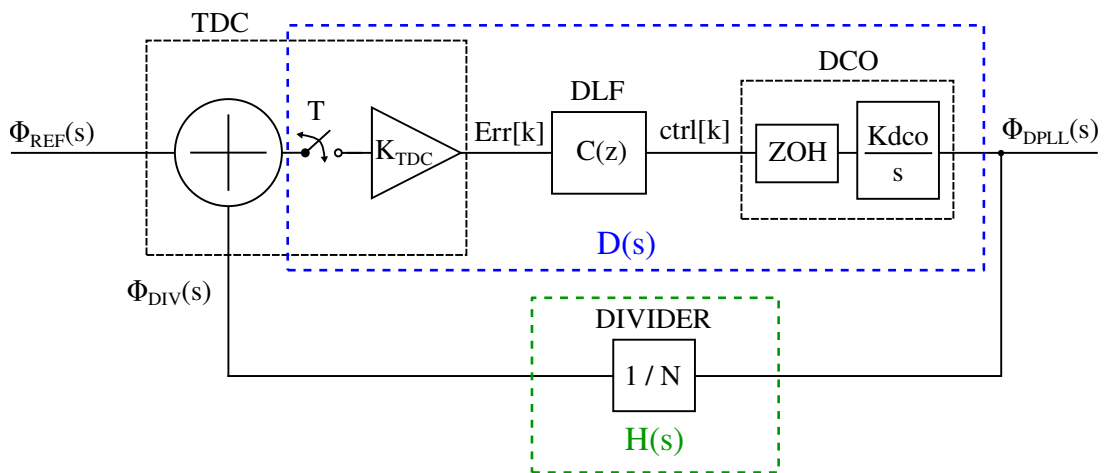


Figura 46 – Diagrama de blocos de PLL digital para análise de malha
 Fonte: (Autor - 2023)

O projeto pode ser feito no domínio z ou no domínio s. Aqui será mostrado o projeto no domínio s.

Para o projeto, o modelo presente na Figura 46 é usado neste trabalho. Nessa Figura, os sinais $Err[k]$ e $ctrl[k]$ são barramentos digitais. Sendo assim, a função de transferência do DLF, $C(z)$, é representada no domínio z.

A chave dentro do diagrama do TDC com o texto T , representa o amostrador (operação de amostragem feita pelo TDC) fazendo a conversão do domínio analógico para digital.

Assumindo que o DAC apresenta as três características a seguir

- A saída do DAC é exatamente igual, em magnitude, que sua entrada;
- O DAC produz uma saída sem atraso com relação à entrada;

• O valor de saída do DAC é constante ao longo do período de amostragem, sua função de transferência pode ser representada pelo modelo conhecido como Zero Order Hold (ZOH), explicado em (FADALI; VISIOLI, 2012). As funções de transferência do amostrador e do ZOH não alteram a função de transferência do DPLL quando multiplicadas. Conseqüentemente, a função de transferência resultante do PLL em malha aberta, no domínio s , é

$$A_{ol}(s) = K_{TDC} C(s) \frac{K_{DCO}}{s} \frac{1}{N} \quad (32)$$

Usando as funções de transferência dos blocos já apresentadas, podemos fazer o projeto da malha considerando um DPLL tipo I e um DPLL tipo II. A seguir é mostrado, passo a passo, o projeto para um DPLL tipo I.

3.6.1 Projeto de malha para DPLL Tipo I

Considerando a equação da função de transferência (3), e escolhendo os valores adequados para os parâmetros ζ e ω_n de acordo com as especificações do projeto, o DPLL pode ser projetado no domínio s . E em seguida, a função de transferência do DLF é transformada para o domínio z .

Como já mostrado no capítulo 2 para um PLL convencional, é possível obter as seguintes equações para os parâmetros ζ e ω_n mostradas abaixo.

$$\zeta = \frac{1}{2} \sqrt{\frac{N\omega_p}{K_{TDC}K_{LF}K_{DCO}}} \quad (33)$$

$$\omega_n = \sqrt{\frac{K_{TDC}K_{LF}K_{DCO}\omega_p}{N}} \quad (34)$$

A equação (35) mostra a relação entre margem de fase e fator de amortecimento, derivada no APÊNDICE A, para um DPLL tipo I.

$$PM = \arctan \left(2\zeta \sqrt{2\zeta^2 + \sqrt{4\zeta^4 + 1}} \right) \quad (35)$$

Por consequência, foi escolhido $\zeta = 0,6$ para uma margem de fase $PM \approx 60^\circ$.

Com as equações (33) e (35), podemos notar o compromisso entre ganho de malha e estabilidade no PLL tipo I; conseqüentemente, o ganho será limitado pelos valores do fator de amortecimento e do polo do filtro.

Para a escolha de ω_n devemos considerar os três pontos citados a seguir.

(i) por causa da limitação da aproximação do modelo contínuo, a banda do DPLL deve ser $\omega_{bw} < \frac{\omega_{REF}}{10}$;

(ii) existe uma relação entre a banda da malha e o fator de amortecimento (mostrada no APÊNDICE B), e para $\zeta = 0,6$ isso implica em $\omega_{bw} \approx 1,15 \times \omega_n$;

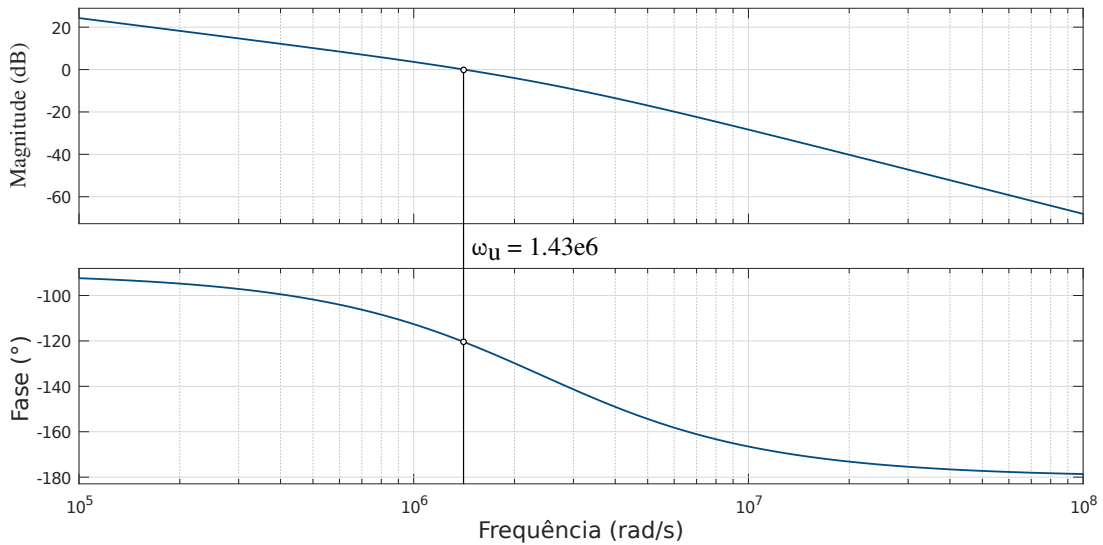


Figura 47 – Diagrama de Bode projetado do DPLL tipo I

Fonte: (Autor - 2023)

(iii) a aproximação feita para a transformação do domínio s para o domínio z no projeto do DLF é para baixas frequências, implicando em $|sT| \ll 1$, onde T é o período da referência; por conta disso foi considerado $\omega_p \approx 0,15/T = 2,4 \text{ Mrad/s}$. Assim essa limitação cobre a condição (i).

Com o auxílio das equações (33) e (34), a frequência angular natural, para um fator de amortecimento citado, é

$$\omega_n = \frac{\omega_p}{2\zeta} \quad (36)$$

$$\omega_n = 2 \quad (\text{Mrad/s})$$

Como sabemos os valores de K_{TDC} e K_{DCO} pelo projeto desses blocos ($398 \frac{\text{LSB}}{\text{rad}}$ e $628 \frac{\text{krad}}{\text{s LSB}}$ respectivamente) e substituindo os valores já conhecidos na equação (33), conclui-se que $K_{LF} = 0,42$.

Utilizando a equação (30) pode-se chegar na seguinte função de transferência para o projeto do DLF.

$$C(z) = \frac{1/16}{1 - 0,875z^{-1}} \quad (37)$$

Com a ferramenta *Octave* é possível plotar o diagrama de Bode e a resposta ao degrau unitário com os valores projetados, como ilustrado nas Figuras 47 e 48, respectivamente. O *script* utilizado para gerar essas figuras está presente no ANEXO B. É notório que a margem de fase está próxima da calculada ($\approx 60^\circ$) tão bem como a frequência de ganho unitário se utilizarmos a equação (47) apresentada no APÊNDICE A.

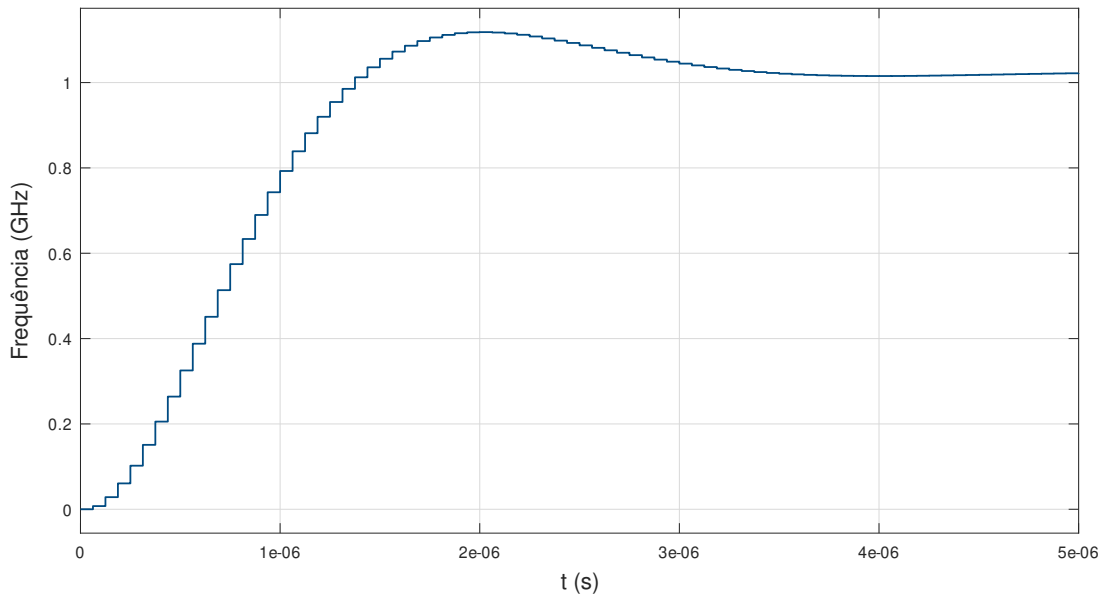


Figura 48 – Resposta ao degrau do DPLL tipo I projetado
Fonte: (Autor - 2023)

3.6.2 Projeto de malha para DPLL Tipo II

Para o DPLL tipo II, as seguintes equações podem ser encontradas para os parâmetros ζ e ω_n

$$\zeta = \frac{1}{2\omega_z} \sqrt{\frac{K_{TDC}K_{LF}K_{DCO}}{N}} \quad (38)$$

$$\omega_n = \sqrt{\frac{K_{TDC}K_{LF}K_{DCO}}{N}} \quad (39)$$

A relação entre a banda do DPLL tipo II e o fator de amortecimento, derivada em (RAZAVI, 2011), é mostrada abaixo.

$$\omega_{bw} = \omega_n \sqrt{1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}} \quad (40)$$

Sendo assim, da mesma forma como feita no DPLL tipo I, considerando um fator de amortecimento e a banda do DPLL adequados, o projeto pode ser feito para um DPLL tipo II. Primeiramente encontrando a função de transferência necessária, no domínio s , para o DLF e, em seguida, convertendo a equação para o domínio z .

Outro fato importante a considerar é que o DPLL tipo II, assim como a versão analógica, também tem o sinal de erro em estado estacionário igual a zero. Assim, quando implementado na versão digital e utilizando um TDC similar ao deste projeto, temos que adicionar um *offset* na palavra digital na saída do TDC para minimizar a possibilidade de *Cycle Slipping*.

Também é necessário levar em conta a atenuação dos componentes de frequência no sinal de controle do DCO, pois a perturbação periódica neste nó resulta em *spurs* na saída do DPLL.

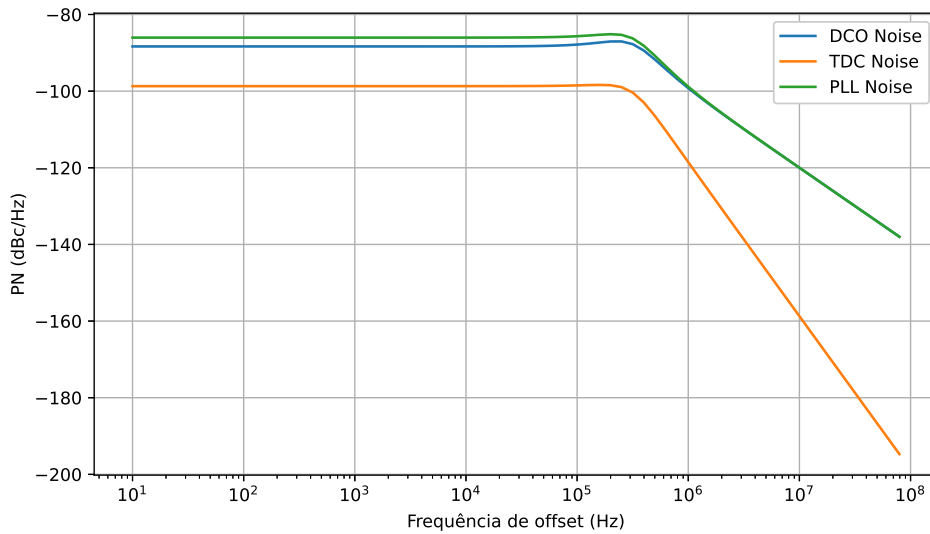


Figura 49 – Estimativa do ruído do DPLL projetado

Abaixo está uma estimativa da potência dos *spurs* da referência.

A potência média do ruído de quantização na tensão de controle (S_{vctrl}) causada pela variação na frequência da referência é dada por,

$$S_{vctrl} = \frac{K_{DAC}^2}{12} \quad (41)$$

onde K_{DAC} é a contribuição de 1 LSB do DAC na tensão de controle. A potência estimada para o *spur* com base no ruído da tensão de controle em uma frequência de *offset* específica, mostrada em (RAZAVI, 2011), é escrita como segue,

$$P_{REFspurs}(f) = S_{vctrl}(f) \left(\frac{K_{VCO}}{\omega} \right)^2 \quad (42)$$

Substituindo a equação (41) em (42) temos

$$P_{REFspurs}(f) = \frac{K_{DCO}^2}{12 \times \omega^2} \quad (43)$$

atingindo uma potência de -54.87 dBc na frequência da referência. Com a ajuda do polo do DAC essa potência pode ser reduzida em 3.54 dB, atingindo uma potência final estimada em -58.41 dBc.

Outra característica que pode ser estimada é o ruído de fase na saída do DPLL. Para isso, são utilizados duas componentes nesse estudo, o ruído de quantização do TDC, dominante em baixas frequências, e o ruído do DCO.

Somando essas duas contribuições na saída do DPLL teremos um ruído com a característica mostrada na Figura 49.

Observando a figura podemos fazer as seguintes conclusões:

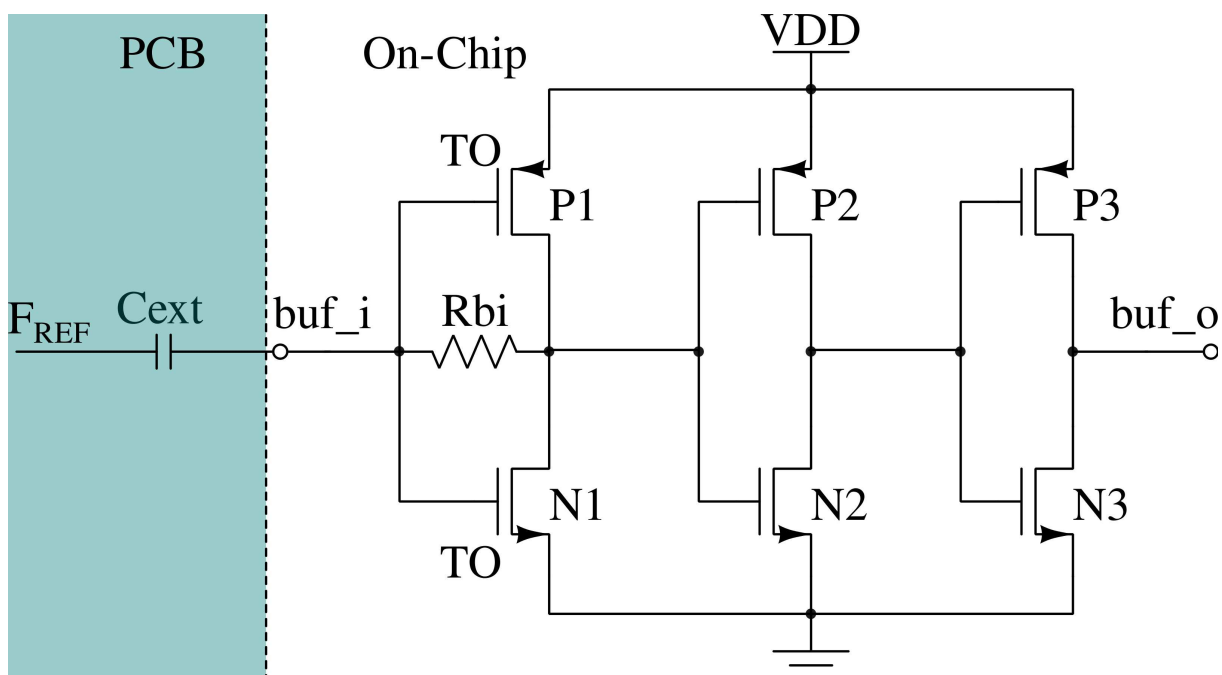


Figura 50 – *Buffer* de entrada do sinal de referência

Fonte: (Autor - 2023)

- Não há a necessidade de um ruído mínimo no TDC se o ruído do DCO em baixas frequências é maior. O ruído minimizado no TDC deste projeto ocorre devido à mudança de plano inicial, que consistia em implementar um DPLL tipo II. Em vez disso, optou-se por desenvolver um DPLL tipo I, o que permitiu atender ao cronograma de fabricação do chip.
- Como o ruído do DPLL é praticamente todo do DCO, uma maior banda para o DPLL implica em um ruído em banda menor para este DPLL.

3.7 *Buffer* de Entrada

Esse *buffer* é utilizado na entrada para a frequência de referência. Para o projeto dele, o circuito da Figura 50 foi utilizado.

Na Placa de Circuito Impresso (PCB) é utilizado um capacitor em série com a entrada para desacoplar o nível DC do sinal. Por conta disso, o primeiro estágio do circuito é um inversor autopolarizado. Esse inversor possui uma realimentação (Resistor R_{bi}) que faz com que a tensão DC da entrada fique igual ao limiar de transição do inversor.

Para ter uma onda quadrada como sinal de referência e aumentar a capacidade de corrente do *buffer*, o projeto considerou a seguinte relação $N(P)1 < N(P)2 < N(P)3$. Os transistores com a marcação "TO" (N1 e P1) são transistores de óxido espesso, pois eles se conectam aos PADS.

A dimensão dos componentes pode ser vista na Tabela 7.

Tabela 7 – Tamanho e valor dos componentes utilizados no *buffer* de entrada

	W	L	R	C	Unidade
<i>N1</i>	0,4	0,28	–	–	μm
<i>P1</i>	0,8	0,28	–	–	μm
<i>N2</i>	3	0,06	–	–	μm
<i>P2</i>	9	0,06	–	–	μm
<i>N3</i>	12	0,06	–	–	μm
<i>P3</i>	36	0,06	–	–	μm
<i>Rbi</i>	–	–	50	–	k Ω
<i>Cext</i>	–	–	–	1	nF

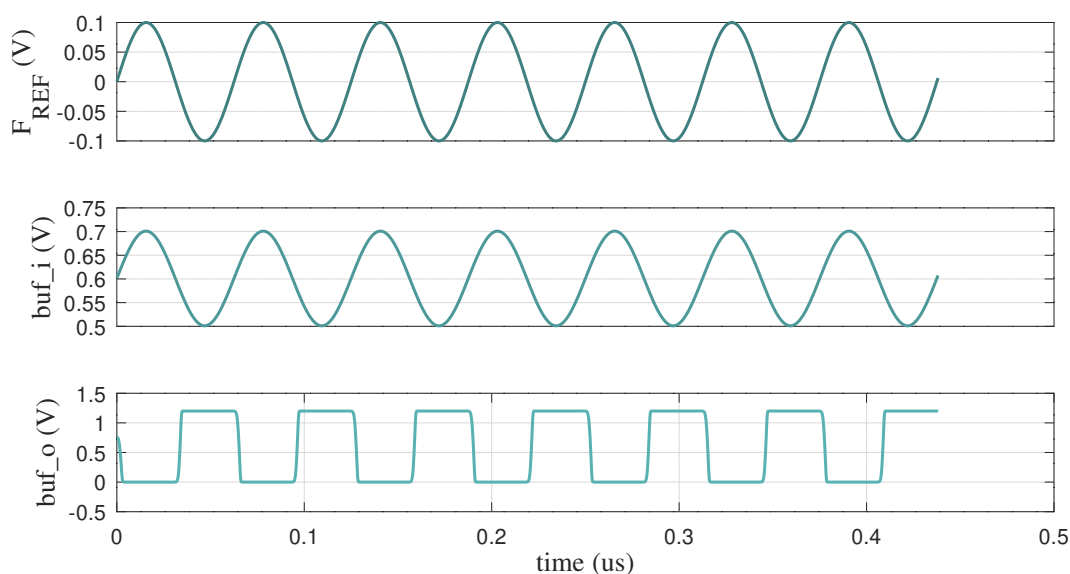


Figura 51 – Sinais do *buffer* de entrada para o sinal de referência de 16 MHz
 Fonte: (Autor - 2023)

3.7.1 Formas de Onda

A Figura 51 mostra o comportamento dos sinais de entrada e saída do *buffer* da referência. Na entrada é um sinal senoidal gerado antes do capacitor em série de acoplamento que é adicionado na PCB. Na figura é mostrado o sinal antes e depois desse capacitor. Pode ser notado que o sinal antes do capacitor não tem componente DC enquanto que o sinal depois do capacitor tem componente DC devido ao *buffer* autopolarizado.

O sinal de saída é uma onda quadrada usada internamente dentro do chip.

3.8 Buffer de Saída

Essa seção mostra o *buffer* utilizado na saída do PLL. O circuito usado está ilustrado na Figura 52.

O circuito de entrada desse *buffer* serve para converter o sinal diferencial em saída simples. As duas entradas desse bloco são conectadas às saídas do DCO. O

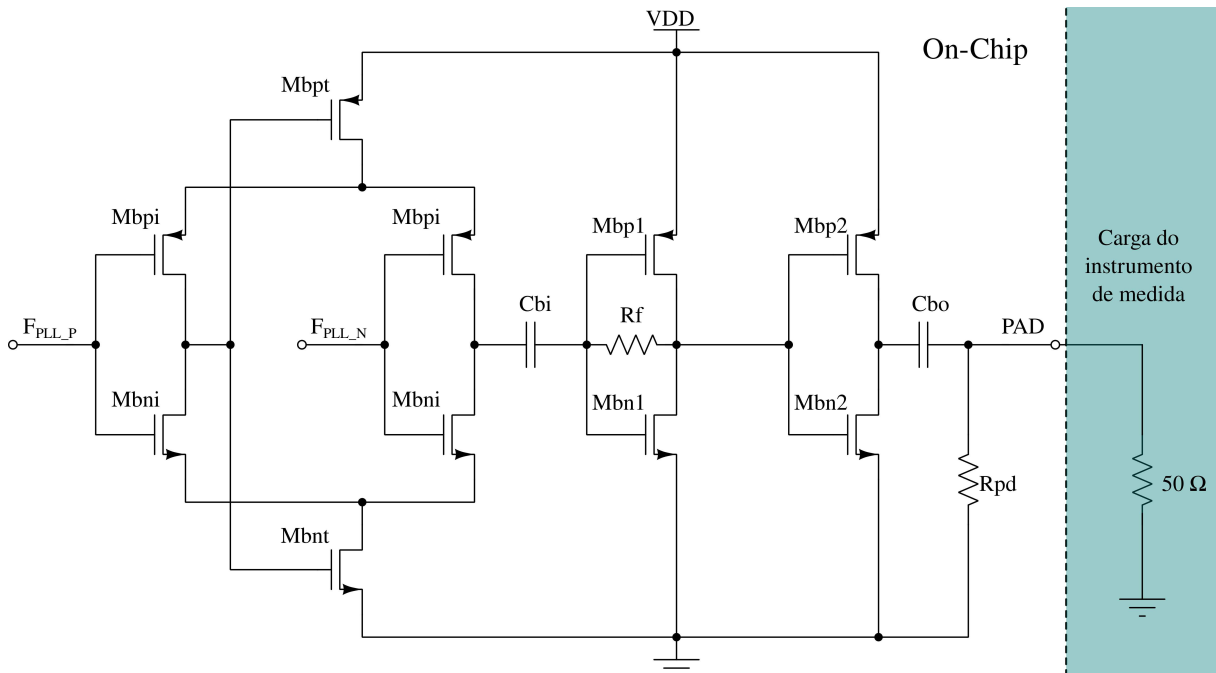


Figura 52 – Buffer de saída do PLL
 Fonte: (Autor - 2023)

inversor autopolarizado com o resistor R_f funciona de forma similar ao implementado no *buffer* de entrada. O capacitor C_{bi} é usado para desacoplar o nível DC do sinal e diminuir a variação do ciclo de trabalho a variações PVT. Na saída há um outro capacitor de desacoplamento DC (C_{bo}) para disponibilizar um sinal AC na saída e, por fim, um resistor ligado ao terra (R_{pd}) para evitar o acúmulo de carga no capacitor quando a saída está desconectada. O valor da resistência desse resistor respeita a condição $R_{pd} \gg 50\Omega$; assim, a potência dissipada nesse resistor é desprezível.

A tabela 8 mostra o valor de cada componente utilizado no *buffer*.

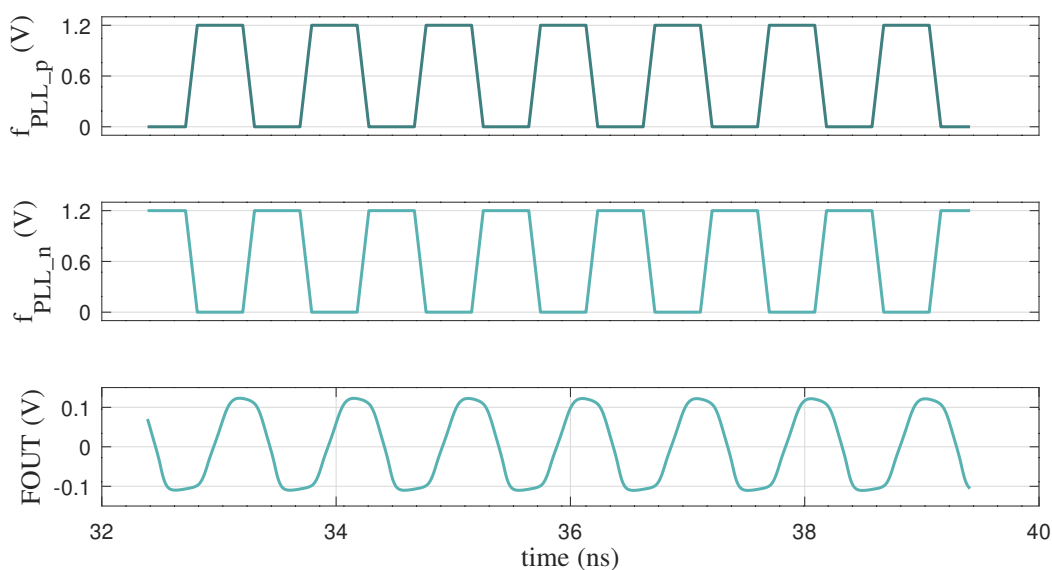
3.8.1 Formas de Onda

A Figura 53 mostra os sinais diferenciais de entrada do *buffer* de saída do chip e o sinal de saída em 1,024 GHz ($f_{ref} \times 64$). A amplitude do sinal de saída é de 100 mV (pico). Uma carga de 50 Ω foi colocada no pino de saída na simulação, assim o potência do sinal de saída é,

$$P_{OUT} = 10 \log \left(\frac{V_{RMS}^2}{50\Omega \times 1mW} \right) = -10 \text{ dBm} \quad (44)$$

3.9 Proteção Primária

O projeto de uma proteção contra Descargas Eletrostáticas (*Electrostatic Discharge* - ESD) não é algo simples e não é o foco nesse projeto. Porém, para um

Figura 53 – Sinais do *buffer* de saída do chip

Fonte: (Autor - 2023)

Tabela 8 – Tamanho e valor dos componentes utilizados no *buffer* de saída

	W	L	R	C	Unidade
<i>Mbpi</i>	0,4	0,06	–	–	μm
<i>Mbni</i>	0,2	0,06	–	–	μm
<i>Mbpt</i>	0,4	0,06	–	–	μm
<i>Mbnt</i>	0,2	0,06	–	–	μm
<i>Mbp1</i>	6	0,13	–	–	μm
<i>Mbn1</i>	2	0,13	–	–	μm
<i>Mbp2</i>	21	0,13	–	–	μm
<i>Mbn2</i>	7	0,13	–	–	μm
<i>Cbi</i>	–	–	–	210	fF
<i>Cbo</i>	–	–	–	2,6	pF
<i>Rf</i>	–	–	25,8	–	k Ω
<i>Rpd</i>	–	–	3,5	–	k Ω

mínimo de proteção, foram adicionados circuitos como o ilustrado na Figura 54 em todas as entradas e saídas do Chip, exceto na saída de 1 GHz. A marcação "TO" nos transistores é para mostrar que trata-se de transistores de óxido espesso.

As dimensões dos dispositivos usados estão evidentes na figura. Uma boa proteção implica em dispositivos maiores do que os usados, ocasionando um aumento na área do leiaute.

3.10 Circuito para Monitorar a Tensão de Controle

Para monitorar a tensão de controle do PLL, foi adicionada uma estrutura de depuração para essa tensão. Assim, com um *buffer* analógico, é possível ver o comportamento dessa tensão de controle medindo a tensão no pino do chip.

O *buffer* analógico criado para essa função está representado na figura 55. Por

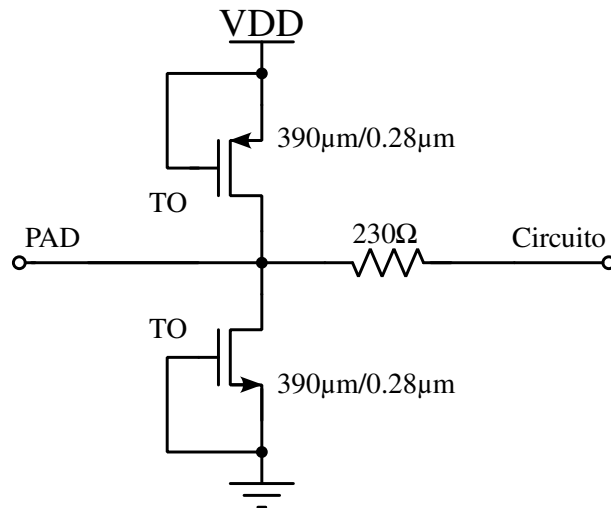


Figura 54 – Proteção ESD primária
Fonte: (Autor - 2023)

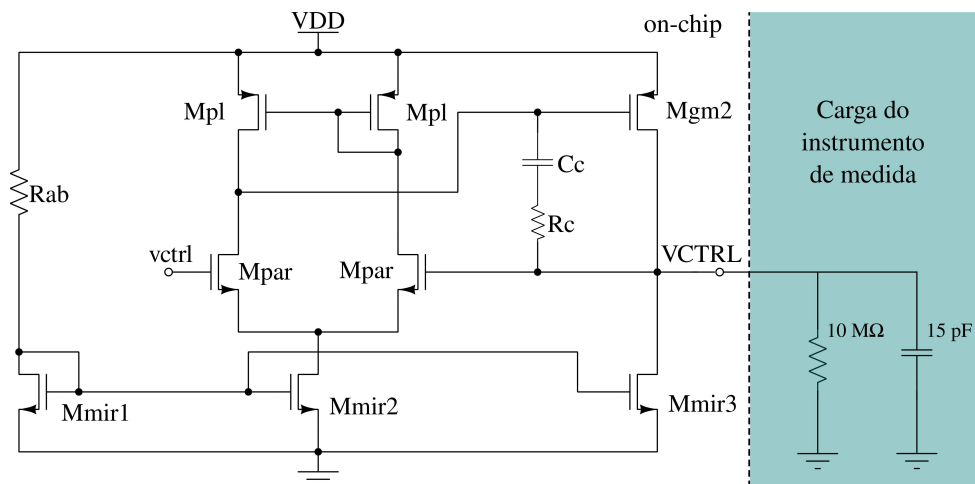


Figura 55 – *Buffer* analógico para medição da tensão de controle
Fonte: (Autor - 2023)

simplicidade a corrente de polarização foi gerada utilizando o resistor R_{ab} em série com o transistor conectado como diodo $Mmir1$.

Por ser um *buffer* de dois estágios, e a constante de tempo de um dos estágios não é muito maior que a constante de tempo do outro estágio, é necessário fazer a compensação em frequência. Para isso, foram adicionados os componentes C_C e R_C .

É importante considerar a faixa de operação do sinal desse *buffer* de acordo com a faixa de operação do sinal de controle $vctrl$. Sendo assim, foram utilizados transistores de baixa tensão de limiar, maximizando a faixa de operação em que o *buffer* é capaz de atuar.

Para a verificação do *buffer*, uma carga RC em paralelo foi colocada para emular o instrumento de medição ($C = 15 \text{ pF}$ e $R = 10 \text{ M}\Omega$). A forma de onda do *buffer* para as simulações de Razão de Rejeição da Alimentação (*Power Supply Rejection Ratio - PSRR*), análise de estabilidade e faixa de operação estão representadas nas Figuras

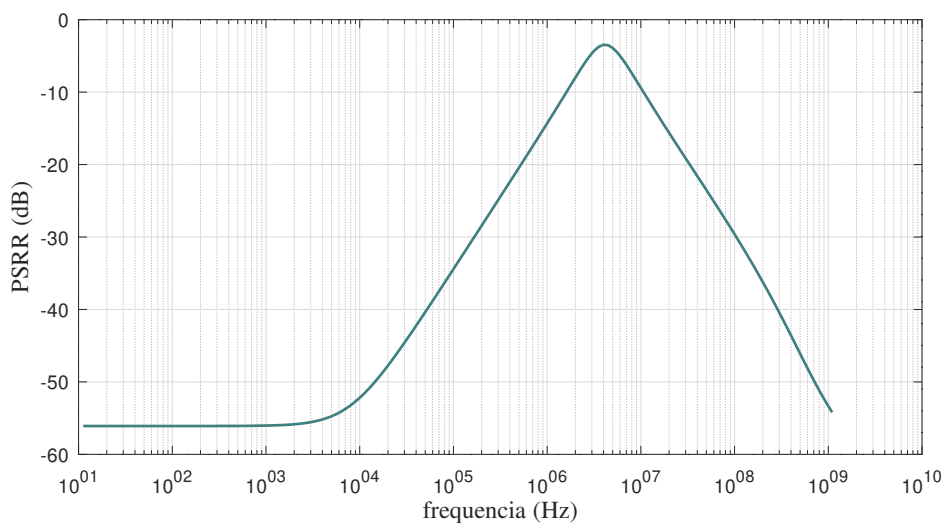


Figura 56 – Simulação de PSRR do *buffer* analógico
Fonte: (Autor - 2023)

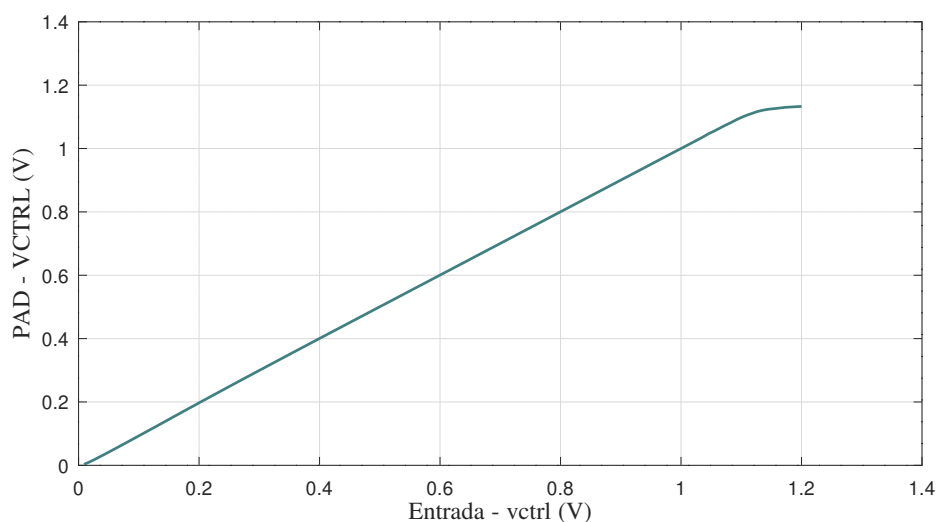


Figura 57 – Função de transferência DC do *buffer* analógico
Fonte: (Autor - 2023)

56, 57 e 58 respectivamente.

Na simulação AC, Figura 56, a magnitude foi adicionada na fonte de alimentação do *buffer*. O PSRR em baixas frequências é de -56 dB, e para frequência perto da oscilação do DPLL (1 GHz) o PSRR é próximo de -54 dB.

Na simulação DC, Figura 57, a tensão de entrada (vctrl) é variada desde 0 V até a tensão de alimentação (1,2 V). É possível observar a faixa de operação do *buffer* através da figura. A saturação vista na tensão de saída, quando vctrl está perto de 1.1 V, é causado pela perda de ganho, pois o transistor Mgm2 sai de saturação.

Na simulação de estabilidade, Figura 58, pode ser notado que a margem de fase do *buffer* está próximo de $PM \approx 60^\circ$. Para que o *buffer* tenha uma resposta relativamente rápida, este foi projetado para ter uma banda, maior que a banda do

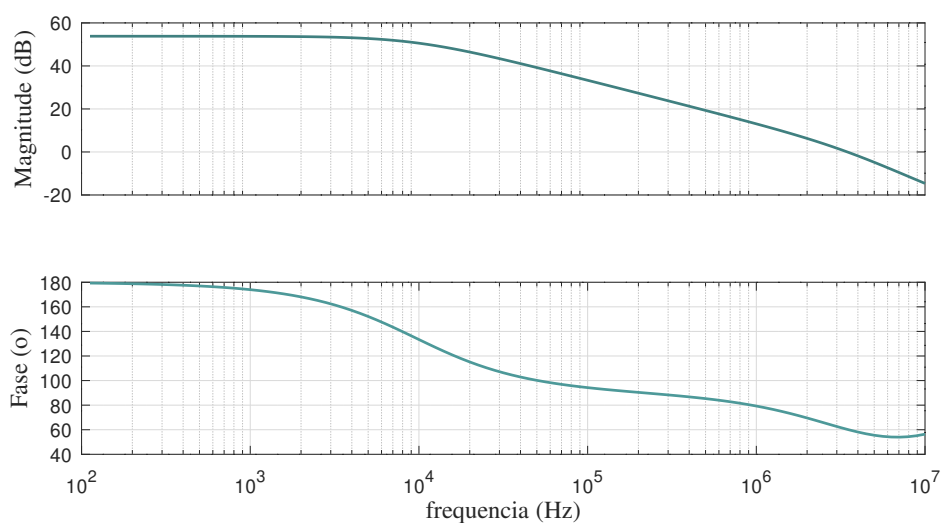


Figura 58 – Diagrama de Bode do *buffer* analógico
 Fonte: (Autor - 2023)

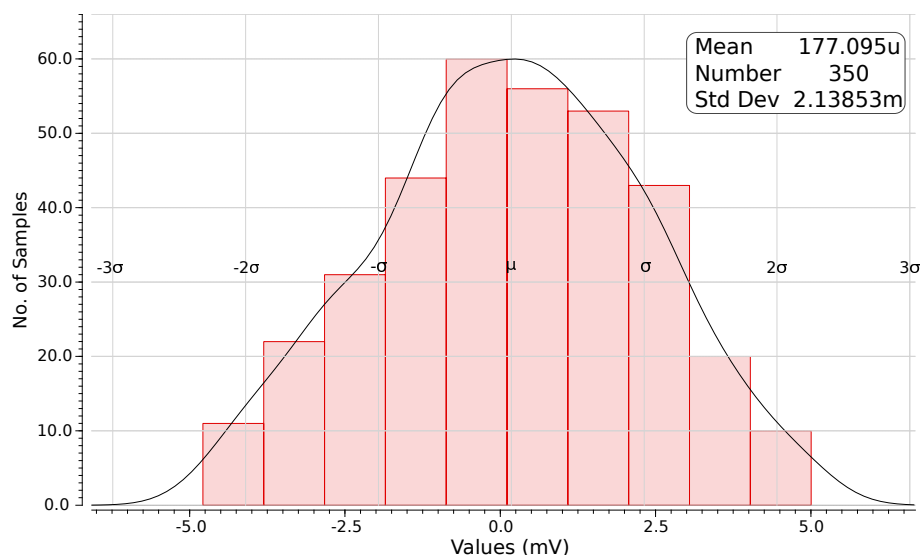


Figura 59 – Histograma da tensão de *offset* - MC 350 amostras
 Fonte: (Autor - 2023)

DPLL, de aproximadamente 3,5 MHz.

A tensão de *offset* do *buffer* foi simulada com 350 pontos de Monte Carlo (Figura 59). Foi atingido um valor menor que 6,5 mV (3σ).

Os tamanho dos componentes utilizados para esse *buffer* podem ser vistos na tabela 9.

3.11 Leiaute

3.11.1 Blocos internos

A seguir são mostrados as imagens do leiaute dos blocos projetados.

A Figura 60 mostra o leiaute do DCO, constituídos pelos blocos DAC, desenhado

Tabela 9 – Tamanho e valor dos componentes utilizados no *buffer* analógico

	W	L	R	C	Unidade
<i>Mmir1</i>	2	2	–	–	μm
<i>Mmir2</i>	2	2	–	–	μm
<i>Mmir3</i>	8	2	–	–	μm
<i>Mpar</i>	14	0,5	–	–	μm
<i>Mpl</i>	2	0,8	–	–	μm
<i>Mgm2</i>	16	0,4	–	–	μm
<i>Cc</i>	–	–	–	1,84	pF
<i>Rc</i>	–	–	7,2	–	k Ω
<i>Rab</i>	–	–	158	–	k Ω

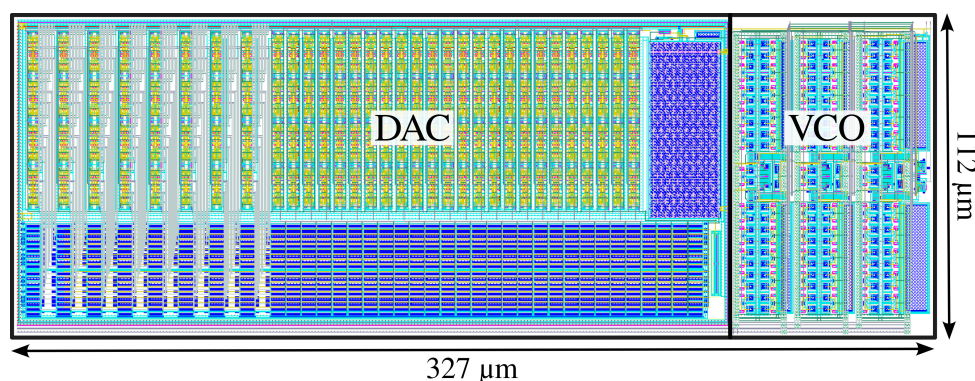


Figura 60 – Leiaute do oscilador controlado digitalmente

Fonte: (Autor - 2023)

à esquerda, e o VCO, desenhado à direita. Os terminais para a palavra digital de ajuste fino estão localizados na parte superior do DAC, enquanto que os terminais de ajuste grosso estão localizados na parte superior do VCO. Os terminais da saída do DCO podem ser acessados tanto pelo lado direito do leiaute quanto pela parte superior do VCO.

Como esse bloco faz a mistura de ambos os domínios, analógico e digital, foi colocado um poço N em volta do DAC, ligado ao VDD, para minimizar interferências entre os blocos.

O leiaute do DAC, Figura 61, foi feito de forma a preservar a orientação dos transistores do espelho de corrente e também das chaves. Os pinos de entrada estão posicionados na parte superior esquerda e o pino de saída no canto superior direito do leiaute.

O VCO foi desenhado de forma que seu núcleo (células de atraso e *buffers*) fica localizado na parte central, como destacado na Figura 62. As chaves estão posicionadas, de forma simétrica, nos dois lados do núcleo do oscilador. As entradas estão distribuídas ao longo da borda esquerda e as saídas na parte superior esquerda do leiaute.

Para os blocos analógicos foram utilizadas as técnicas necessárias para uma melhor confiabilidade do funcionamento do DPLL. Técnicas como utilização de *dum-*

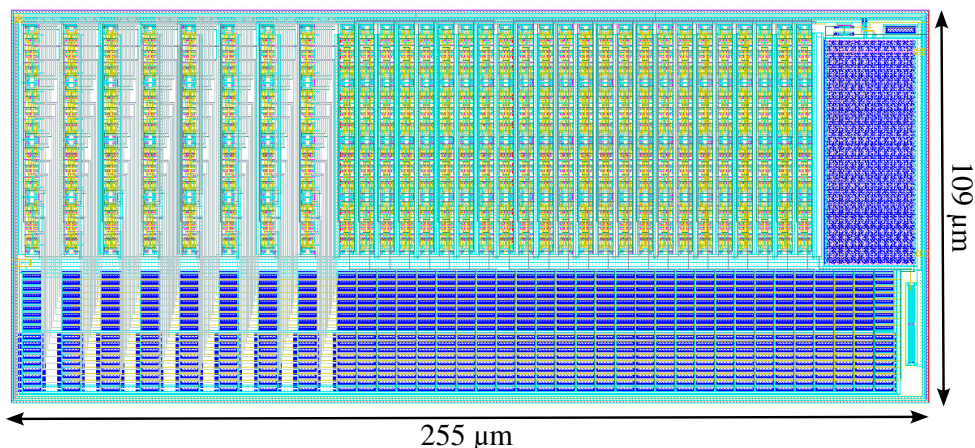


Figura 61 – Leiaute do DAC
 Fonte: (Autor - 2023)

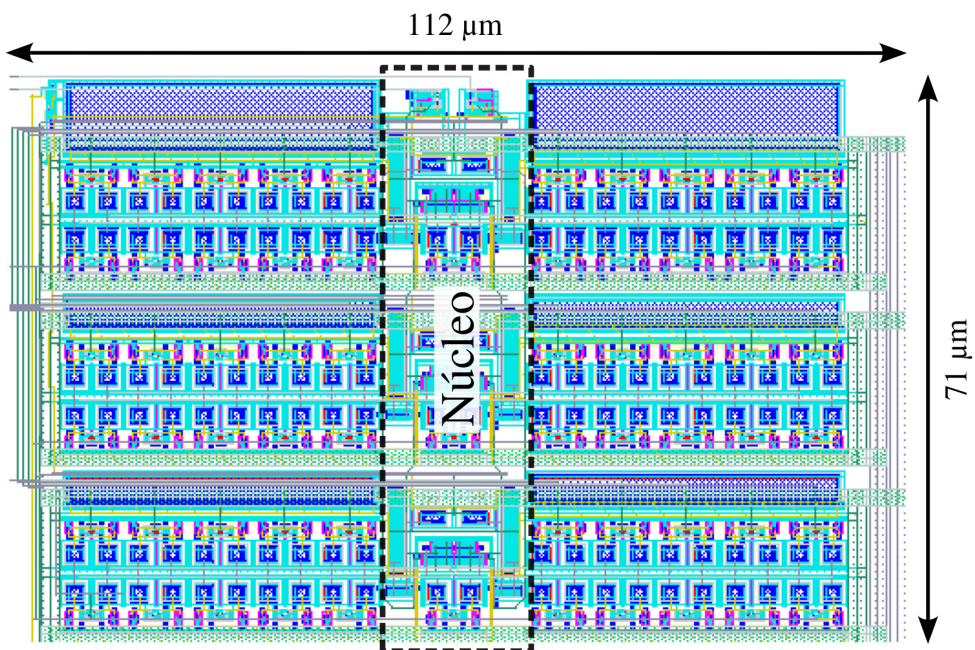


Figura 62 – Leiaute do oscilador controlado por tensão
 Fonte: (Autor - 2023)

mies, centróide comum, técnicas para reduzir as Interferências Eletromagnéticas (*Electromagnetic interference* - EMI) como separação de circuitos analógicos e digitais através de um poço Psub-Nwell-Psub, conexões estrela para barramentos de alimentação/terra entre circuitos digitais e analógicos e blindagem de sinais sensíveis a ruídos, como a tensão de controle.

3.11.2 DPLL

A Figura 63 mostra o leiaute do topo do DPLL incluindo os PADS, *buffers*, proteções ESD e estruturas de depuração. Os sinais geradores de ruído como FREF, FOUT, alimentação e terra dos *buffers* (VDD_BUF e VSS_BUF) foram colocados à direita. Os sinais de escolha do módulo do divisor de frequência (DIV0 e DIV1), *reset*

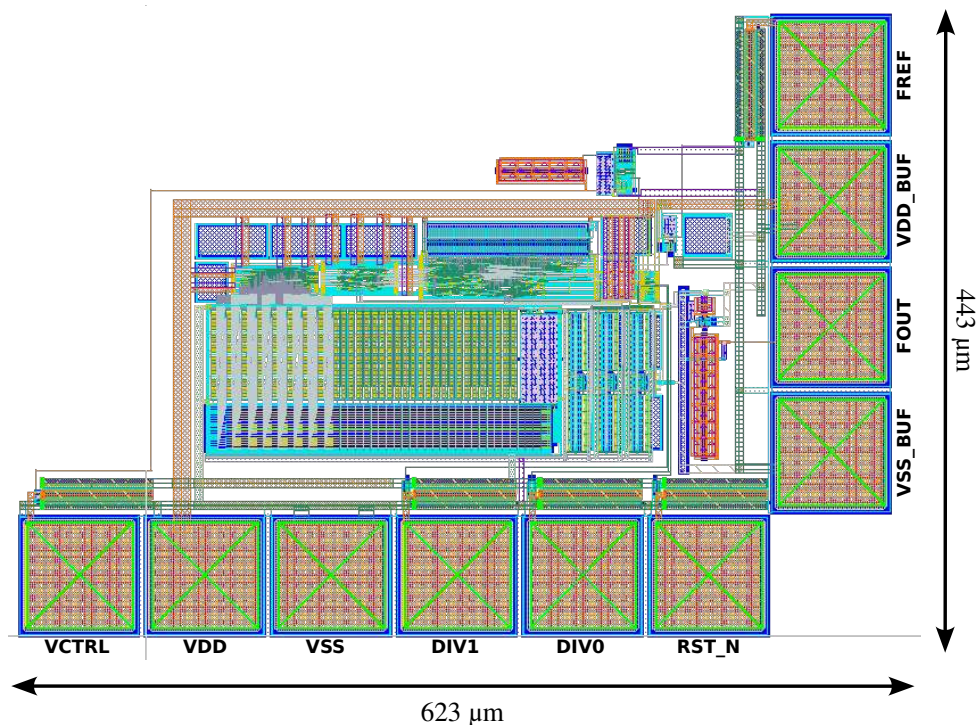


Figura 63 – Leiaute do DPLL

Fonte: (Autor - 2023)

negado (RST_N), alimentação e terra do DPLL (VDD e VSS) e depuração da tensão de controle (VCTRL) foram colocados embaixo.

A separação das alimentações dos *buffers* e do DPLL foi feita por dois motivos, (i) minimizar interferências; (ii) Possibilitar a medição do consumo de corrente do DPLL.

3.11.3 DPLL Com Marcações Diferenciando Blocos.

A figura 64 mostra o leiaute do topo do DPLL destacando os blocos internos do circuito. Como pode ser visto, em azul foram colocados capacitores de desacoplamento no leiaute. Esses capacitores estão entre VDD e VSS e foram colocados propositalmente próximos dos circuitos digitais, pois estes são os maiores causadores de interferência na alimentação. Para minimizar essa interferência, as alimentações dos blocos analógicos e digitais foram conectadas próximas aos respectivos PADs (conexão estrela).

Também é possível notar, próximo aos PADs, circuitos de proteção ESD, apesar de não ser simples o projeto desses blocos eles foram feitos para, ao menos, ter um mínimo de robustez nesse aspecto.

3.11.4 Núcleo do DPLL

A figura 65 mostra o leiaute do topo do DPLL sem os PADs, proteções ESD, *buffers* e estruturas de depuração para monitorar a tensão de controle. O leiaute tem

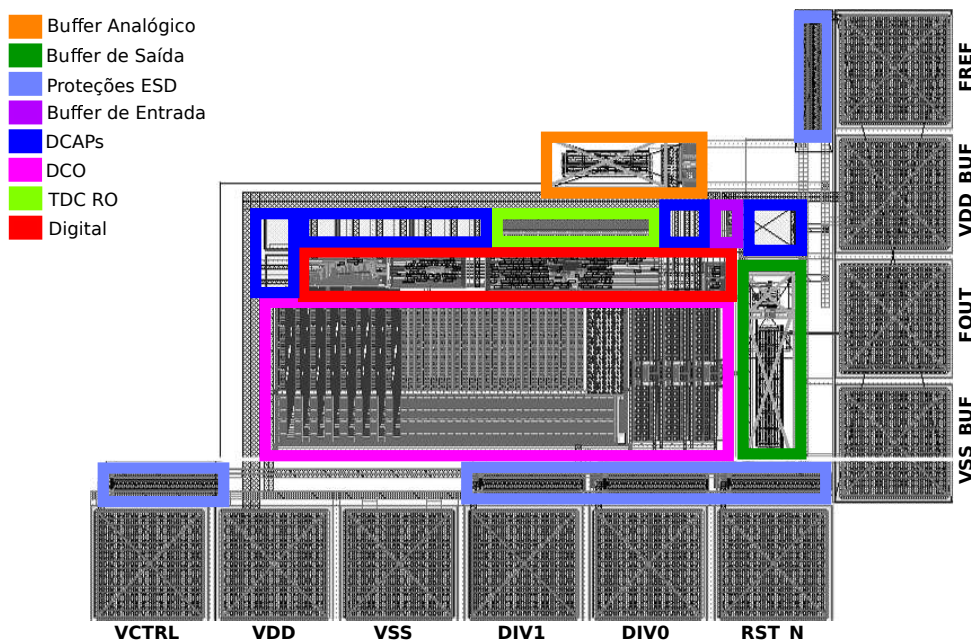


Figura 64 – Leiaute do DPLL com divisões dos blocos
 Fonte: (Autor - 2023)

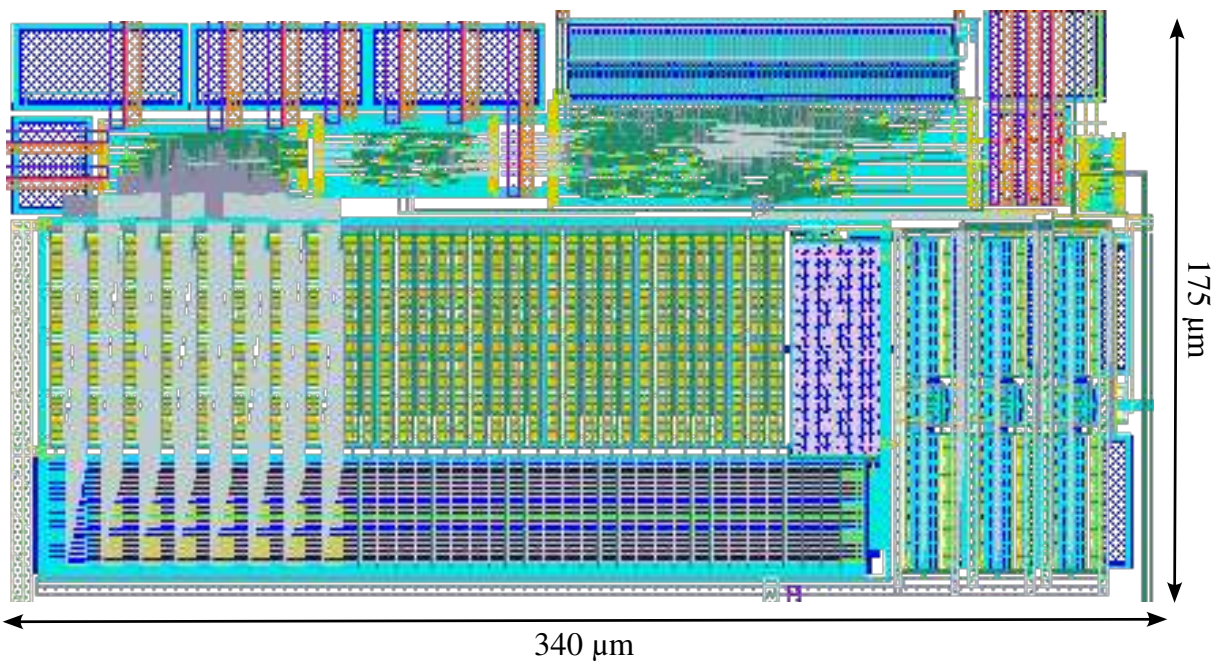


Figura 65 – Leiaute do DPLL sem estruturas de depuração, PADs e buffers
 Fonte: (Autor - 2023)

área de $340 \mu\text{m} \times 175 \mu\text{m}$ e é notável que o DCO, mesmo utilizando oscilador em anel para minimizar a área, usa mais que a metade de todo o leiaute do DPLL.

A Tabela 10, mostra a contribuição de cada bloco na área total do DPLL.

Tabela 10 – Contribuição aproximada dos blocos na área do DPLL

Bloco	Contribuição na área total do DPLL	Unidade
TDC	12	%
DAC	49	%
VCO	13	%
DLF	2	%
DECAPs + Roteamentos	24	%

4 Resultados

Neste capítulo são apresentados o comportamento do DPLL projetado, as formas de onda e dados como consumo, área, ruído e tempo de acomodação.

4.1 Simulações

4.1.1 DPLL

A Figura 66 mostra as formas de onda da simulação de topo do DPLL. Essa simulação foi feita em ambiente AMS na Cadence, foram utilizados *netlist* Verilog para os blocos digitais¹ e *netlist* Spectre para os blocos analógicos.

No início da simulação, o TDC está se comportando como um integrador, pois o efeito na malha é quase somente do controle automático do ajuste grosso. Nessa parte o sinal da saída do TDC de ajuste fino, assim como o sinal de controle, não estão com uma forma contínua porque o controle grosso é o principal componente da malha nesse momento. Assim que a calibração automática do ajuste grosso é feita, a frequência do PLL já está relativamente perto da frequência final, o controle fino passa a ter um efeito na malha e isso pode ser visto no sinal de controle.

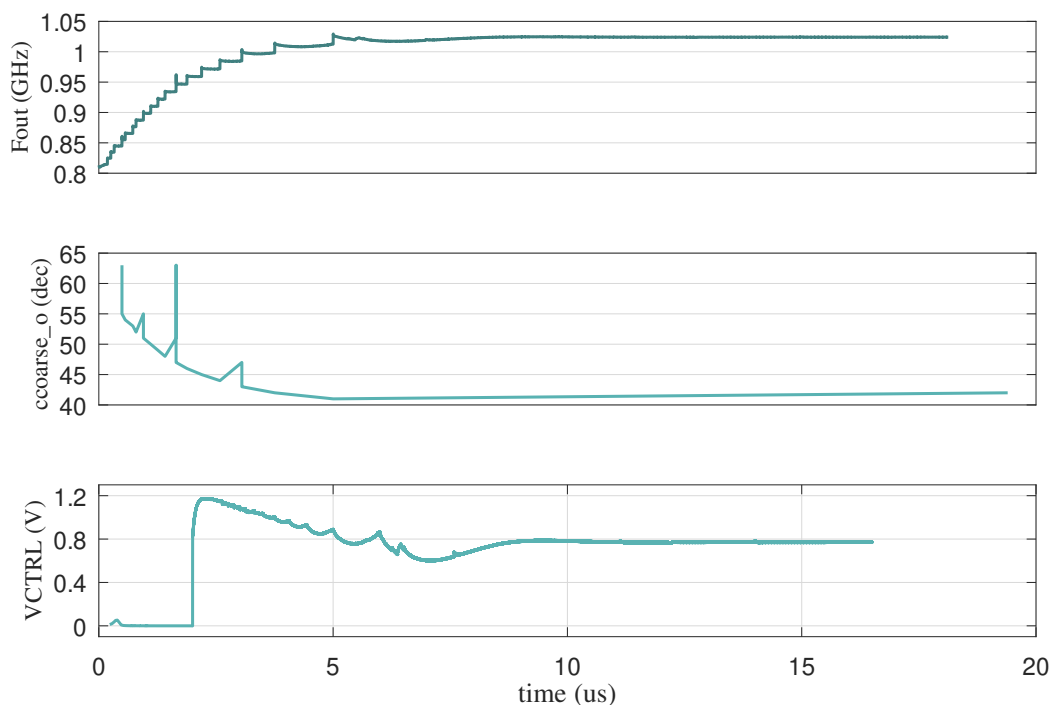


Figura 66 – Comportamento da frequência da saída e tensão de controle na inicialização do DPLL

Fonte: (Autor - 2023)

¹Não há acesso ao *netlist* em nível de componentes (Spectre, Spice, etc) das células digitais, por isso foram utilizados os modelos Verilog

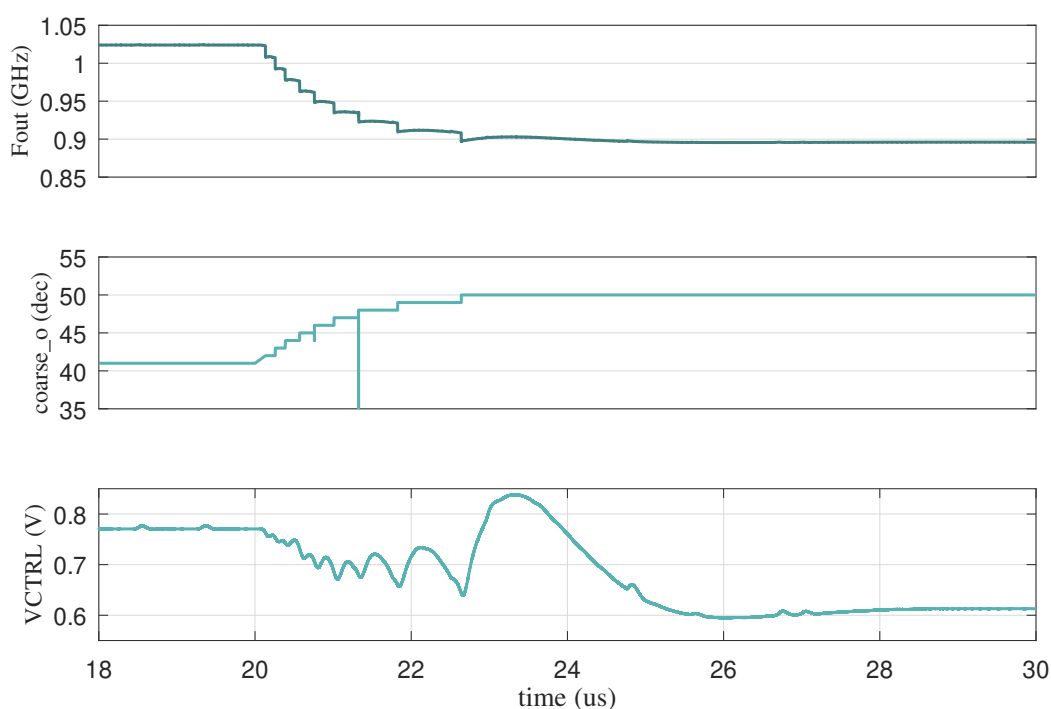


Figura 67 – Comportamento da frequência de saída e sinal de controle para uma mudança no valor do divisor multi módulo de 16 para 14

Fonte: (Autor - 2023)

Essa técnica de utilizar o controle grosso para deixar a frequência mais perto do valor final, diminui o tempo de acomodação do PLL e também diminui a probabilidade de o PLL apresentar *Cycle Slipping*.

Após o PLL estabilizar (aproximadamente depois de 10 μs em que é habilitado), o valor da saída do TDC varia entre dois valores, essa variação é a causa de *spurs* da referência no sinal de saída. Um benefício adicional do uso de um DAC no DCO é que essa variação da saída do TDC, vista na entrada do DLF, é filtrada. Isso faz com que a variação no sinal de controle seja atenuada, consequentemente diminuindo a potência do *spurs* da referência como já estimado na seção 3.6.

Outra simulação feita no DPLL, foi a de mudar o valor do módulo do divisor de frequência após o DPLL estar estável. A Figura 67 mostra a forma de onda dessa simulação. Nesse caso a frequência está variando de 1,024 GHz para 896 MHz em um tempo de estabilização de 8 μs .

Após o período de aquisição do ajuste grosso, é notável que, em ambas as Figuras 66 e 67, a resposta do DPLL é próxima da resposta ilustrada na Figura 48 no projeto de malha.

4.1.2 Resumo Dos Resultados

As características do DPLL projetado e a comparação com o estado da arte estão mostradas na tabela 11.

Tabela 11 – Comparação com Estado da Arte

	(UN <i>et al.</i> , 2019)	(SEONG <i>et al.</i> , 2019)	(KANG; LIU, 2022)	(REHMAN <i>et al.</i> , 2021)	Este projeto
Ano	2019	2019	2022	2021	2023
Nó Tecnológico	65 nm	65 nm	40 nm	55 nm	65 nm
Topologia	Bang-Bang DPLL	FPEC DPLL	FPC PLL	CFTL PLL	TDC DPLL
Tipo do VCO/DCO	Anel	Anel	Anel	LC	Anel
F_{ref} (MHz)	50	75	50	32	16
F_{out} (GHz)	1,3-2,65	2,4 (2,3-2,55)	1,6	2,402-2,48	0,896-1,088
PN@1MHz (dBc / Hz)	-90 ⁽¹⁾	-119,8	-118,25	-110,78	-100 ⁽⁶⁾
Tempo de acomodação (μ s)	8 ⁽²⁾	< 1500 ⁽³⁾	-	38 ⁽⁵⁾	10/8 ⁽⁷⁾
Alimentação (V)	1	1,2	1,1	0,5 para o DCO	1,2
Potência dissipada (mW)	2,4@2,4 GHz	6	5	0,46	3,4 ⁽⁸⁾
Área (mm^2)	0,12	0,055 ⁽⁴⁾	0,05 ⁽⁴⁾	0,129	0,06 ⁽⁹⁾

¹ Estimado a partir da Imagem medida de PN.

² Tempo de acomodação para um erro inicial de 82 MHz.

³ Tempo de acomodação considerando a calibração dos parâmetros do circuito.

⁴ Considerando área ativa.

⁵ Valor estimado da Figura 12 em (REHMAN *et al.*, 2021).

⁶ Valor estimado a partir do ruído simulado no DCO.

⁷ Tempo de acomodação durante o start up e para um erro inicial de 128 MHz.

⁸ Potência do core estimada a partir de simulações analógica e digitais.

⁹ Desconsiderando *buffers*, PADs e circuitos de depuração.

O tempo de acomodação deste projeto foi o mais rápido considerando a frequência de referência (160 pulsos da referência).

Apesar de o ruído não ser o pior apresentado, este projeto não tem um bom resultado comparado com os outros projetos. Um dos motivos impactantes nesta performance é o valor baixo da frequência de referência.

A potência dissipada não pode ser comparada diretamente, pois a frequência de oscilação na saída é diferente entre os projetos.

O projeto com a menor área é 17% menor comparado a este projeto; porém, isso foi atingido com um nó tecnológico de 40 nm, mostrando que a área utilizada em nosso projeto é consideravelmente pequena.

A placa projetada para a medição do chip pode ser vista no APÊNDICE C

5 Conclusão e Recomendações

5.1 Conclusão

Este projeto consiste em um sintetizador de frequência para transferência de energia sem fio na frequência de 1 GHz, em tecnologia CMOS 65 nm. Esse sintetizador é baseado em um PLL com compensação digital (DPLL), sendo este feito em ambos os fluxos digital e analógico com o auxílio de simulações analógicas, digitais e AMS.

Uma comparação entre o DPLL e o PLL convencional foi feita, onde as desvantagens do DPLL como ruído de quantização e limitação de velocidade são minimizadas em tecnologias mais recentes. Conseqüentemente, há uma tendência para a utilização de DPLLs com o avanço da tecnologia. Portanto, uma revisão do estado da arte foi feita para a realização do projeto dos blocos que constituem um DPLL.

Para o projeto do DPLL, foi apresentada a fundamentação teórica de um PLL convencional do tipo I e tipo II, seguindo com as considerações para o projeto de um DPLL. Também foram analisados conceitos importantes dos blocos que constituem o DPLL. Diferentes topologias de cada bloco usado em um DPLL foram salientadas.

O circuito do TDC se compõe de três principais blocos: um para o controle automático do ajuste grosso da malha e outros dois para o controle do ajuste fino que são separados em (i) decodificador de estado e (ii) decodificador de ciclos, ambos de um oscilador interno ao TDC. Essa composição foi feita para atingir um bom compromisso entre consumo de potência, área e resolução para uma ampla faixa de operação. Uma análise foi feita com relação ao número de estágios do oscilador no TDC, chegando à conclusão de que, para este caso específico, um número pequeno resulta em maior consumo de potência. Como resultado, um oscilador de 65 estágios foi projetado para este circuito.

O divisor de frequência foi implementado com divisores multi-módulo, possibilitando que o comportamento do DPLL, para uma mudança no módulo de divisão, seja observado na medição do chip. Por simplicidade, foram utilizados apenas quatro valores para o módulo de divisão (14/15/16/17).

Para não ter um impacto em área que é causado pelos indutores usados nos osciladores LC, o DCO foi projetado com DAC junto a um VCO baseado em oscilador em anel. O DAC foi usado na malha para realizar o ajuste fino, enquanto que varactores foram adicionados aos nós do oscilador para o controle de ajuste grosso. Um oscilador pseudo-diferencial foi escolhido para ser usado no VCO com um número mínimo de 3 estágios, pois assim o valor do comprimento de canal dos transistores não é o mínimo, melhorando a performance de ruído do oscilador.

O projeto do DLF foi feito com filtros IIR. Foram mostrados exemplos de topologias de filtros para DPLLs tipo I, tipo II de segunda ordem e tipo II de terceira ordem. Para a realização das multiplicações necessárias nesses filtros, circuitos so-

madores, subtratores e deslocamento de bits foram usados para a realização dessas multiplicações em um único período de relógio.

O projeto da malha foi feito no domínio s e posteriormente transformado no domínio z para o caso do DLF, utilizando a aproximação *Backward Difference*. Esse método foi mostrado para um DPLL tipo I e conceitos suficientes para a implementação em um DPLL tipo II.

Uma análise do ruído de fase do DPLL e também da potência dos *spurs* da referência foi feita nesse trabalho, onde o DPLL projetado atinge um ruído de fase estimado em $-100 \text{ dBc/Hz}@1 \text{ MHz}$ e uma potência dos *spurs* da referência estimada em -58.41 dBc .

Foi também feito o projeto do *buffer* analógico para a depuração da tensão de controle do DPLL após o chip ser fabricado e também dos *buffers* de entrada e saída para os sinais de referência e saída do DPLL, respectivamente.

O leiaute do DPLL foi desenhado de forma a minimizar as interferências entre o domínio digital e analógico, utilizando poço N conectado ao VDD em volta dos blocos analógicos, conexões estrela nos barramentos de VDD/VSS e utilização de capacitores de desacoplamento entre as alimentações e terra. Também foram consideradas técnicas para a diminuição de descasamento dos dispositivos, tais como centróide comum/interdigitação, orientação dos dispositivos, fluxo da corrente e *dummies*. No leiaute da parte digital foram adicionados comandos para a utilização de vias duplas nas conexões entre um metal de uma camada e outro metal de uma camada mais alta.

Uma comparação com o estado da arte foi feita onde, com o uso do filtro digital, o DPLL proposto atinge uma área de $0,06 \text{ mm}^2$. O ruído de fase estimado é de $-100 \text{ dBc/Hz}@1 \text{ MHz}$, usando uma frequência de referência de 16 MHz , e o consumo de potência é estimado em $3,4 \text{ mW}$. Um rápido tempo de estabilização de $10 \mu\text{s}$ foi atingido com a ajuda da malha de ajuste grosso, resultando em 160 pulsos da referência.

A placa de circuito impresso foi projetada para a medição do chip. Apesar de o chip não estar disponível a tempo para a documentação dos resultados nesta dissertação, a placa ainda pode ser utilizada para futuras medições.

Embora os resultados práticos do chip não tenham sido documentados nesta dissertação, o projeto oferece uma base sólida para futuras medições e comparações com o estado da arte na área de DPLLs para aplicações WPT. Os objetivos comentados na seção 1.3 foram alcançados.

5.2 Recomendações

Como neste projeto o ruído do DPLL é dominado pelo ruído do DCO três considerações podem ser tomadas:

- Aumentar a banda do DPLL implica em um menor ruído em banda do DPLL.

- Usar um DLF para um DPLL tipo II, resulta em uma maior atenuação do ruído em baixas frequências.
- Caso o ruído do DCO seja satisfatório para a aplicação, diminuir a resolução do TDC resulta em um menor consumo, menor área e menor esforço no projeto deste bloco sem o impacto significativo em acréscimo de ruído no DPLL.

Também é recomendado o uso de uma estrutura, destacada em vermelho na Figura 68, no circuito do DAC para diminuir variações abruptas em mudanças nos bits de controle mais significativos (binário ponderado).

Em caso de minimizar a variação da banda do DPLL, um circuito para autocalibrar o ganho do TDC pode ser implementado utilizando 1 período da referência. A desvantagem é a diminuição da resolução do TDC em condições típicas de operação.

O DLF deve ser projetado de forma a garantir que todas as saídas tenham o mínimo de diferença de propagação, a fim de minimizar as variações indesejadas na tensão de controle.

Uma recomendação para medições do DPLL é utilizar um oscilador a cristal em vez de um sinal de relógio produzido por geradores de sinais, uma vez que o primeiro apresenta uma qualidade superior.

Com o objetivo de reduzir a potência dos *spurs* gerados na saída do DPLL, é possível projetar o polo do DAC em frequências mais baixas, considerando, ao mesmo tempo, a estabilidade da malha.

Para mitigar interferências eletromagnéticas é aconselhável empregar células padrão de desacoplamento (DECAPs) entre as tensões VDD e VSS nos blocos digitais, bem como adotar uma abordagem de separação entre os blocos analógicos e digitais por meio de poço triplo.

Considerando as limitações de tempo impostas pelo projeto, os blocos não foram otimizados com o intuito de avançar na realização deste trabalho; assim sendo, é recomendada uma otimização em cada um deles em futuros trabalhos.

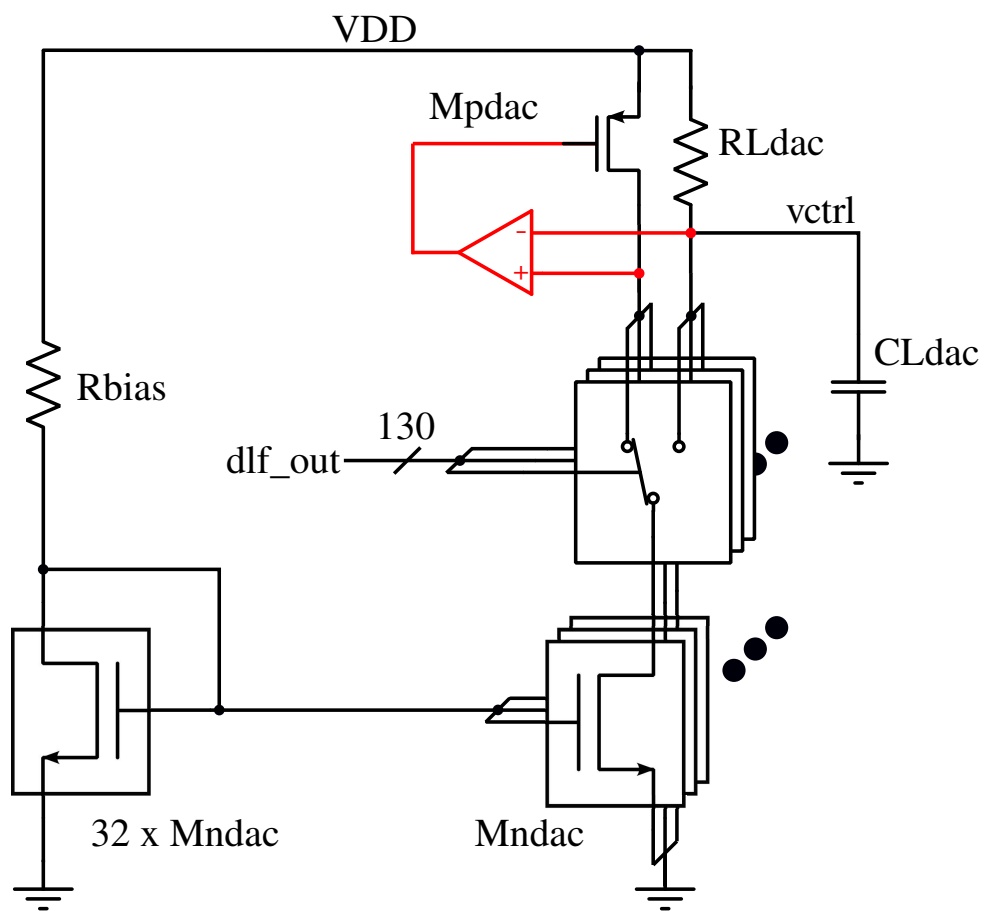


Figura 68 – Circuito melhorado para o DAC
 Fonte: (Autor - 2023)

REFERÊNCIAS

- ALAM, S.A. **Techniques for efficient implementation of FIR and particle filtering**. [S.l.]: Department of Electrical Engineering, Linköping University, 2016. (Linköping Studies in Science and Technology: Dissertations). ISBN 9789176859155.
- BHANDARI, Rahul Harish; KOTABAGI, Sujata; NAYAK, Ashwini. A 6-bit low power digitally controlled oscillator. *In: 2021 IEEE 18th India Council International Conference (INDICON)*. [S.l.: s.n.], 2021. P. 1–5.
- BHUSHAN, Manjul; KETCHEN, Mark B. Generation, elimination and utilization of harmonics in ring oscillators. *In: 2010 International Conference on Microelectronic Test Structures (ICMTS)*. [S.l.: s.n.], 2010. P. 108–113.
- BUI, Van Hieu; BEAK, Seunghyun; CHOI, Seunghwan; SEON, Jongkook; JEONG, Taikyeong Ted. Thermometer-to-binary encoder with bubble error correction (BEC) circuit for Flash Analog-to-Digital Converter (FADC). *In: INTERNATIONAL Conference on Communications and Electronics 2010*. [S.l.: s.n.], 2010. P. 102–106.
- CABRERA, Fabian L.; RANGEL DE SOUSA, F. A CMOS fully-integrated wireless power receiver for autonomous implanted devices. *In: 2014 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2014. P. 1408–1411.
- CABRERA, Fabian L.; ROA, E. F.; NOIJE, W. Cycle slip cancellation by increasing the PFD detection range in PLL circuits. **XXIII Conference on Design of Circuits and Integrated Systems**, 2008.
- CHUNN, Ankush; SARIN, Rakesh Kumar. Comparison of thermometer to binary encoders for flash ADCs. *In: 2013 Annual IEEE India Conference (INDICON)*. [S.l.: s.n.], 2013. P. 1–4.
- DING, Jie; NEMATI, Mahyar; RANAWEERA, Chathurika; CHOI, Jinho. IoT connectivity technologies and applications: A Survey. **IEEE Access**, v. 8, p. 67646–67673, 2020.
- FADALI, M.S.; VISIOLI, A. **Digital Control Engineering: Analysis and Design**. [S.l.]: Elsevier Science, 2012. (Engineering professional collection). ISBN 9780123943910.
- HAJIMIRI, A.; LIMOTYRAKIS, S.; LEE, T.H. Jitter and phase noise in ring oscillators. **IEEE Journal of Solid-State Circuits**, v. 34, n. 6, p. 790–804, 1999.

HO, Cheng-Ru; CHEN, Mike Shuo-Wei. Smoothing the way for digital phase-locked loops: clock generation in the future with digital signal processing for mitigating spur and interference. **IEEE Microwave Magazine**, v. 20, n. 5, p. 80–97, 2019.

HSU, Chun-Ming; STRAAYER, Matthew Z.; PERROTT, Michael H. A low-noise, wide-bw 3.6GHz digital $\Delta\Sigma$ fractional-N frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation. *In*: 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers. [S.l.: s.n.], 2008. P. 340–617.

KANG, Zhi-Heng; LIU, Shen-luan. A 1.6-GHz DPLL using feedforward phase-error cancellation. **IEEE Journal of Solid-State Circuits**, p. 1–11, 2022.

KHALIRBAGINOV, Rustam. A fully synthesizable all-digital phase-locked loop with parametrized and portable architecture. *In*: 2021 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus). [S.l.: s.n.], 2021. P. 1987–1990.

KIM, Dongin; CHO, Seonghwan. A hybrid PLL using low-power GRO-TDC for reduced in-band phase noise. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 66, n. 2, p. 232–236, 2019.

LIN, Yi-Ting; LU, Yun-Chih; CHEN, Yi-Jan Emery. A wide tuning range and high resolution 0.18- μm CMOS digitally controlled ring oscillator. *In*: 2019 IEEE Asia-Pacific Microwave Conference (APMC). [S.l.: s.n.], 2019. P. 1673–1675.

RAZAVI, Behzad. **RF Microelectronics (2nd Edition) (Prentice Hall Communications Engineering and Emerging Technologies Series)**. 2nd. USA: Prentice Hall Press, 2011. ISBN 0137134738.

REHMAN, Muhammad Riaz Ur *et al.* An ultra-low-power 2.4 GHz all-digital phase-locked loop with injection-locked frequency multiplier and continuous frequency tracking. **IEEE Access**, v. 9, p. 152984–152992, 2021.

RIANO, Fabian Leonardo Cabrera. **Projeto de um sintetizador de frequência multipadrão em tecnologia CMOS**. 2010. Diss. (Mestrado) – Universidade de São Paulo, São Paulo: Universidade de São Paulo, Escola Politécnica.

ROSELLI, L.; ALIMENTI, F.; ORECCHINI, G.; MARIOTTI, C.; MEZZANOTTE, P.; VIRILI, M. WPT, RFID and energy harvesting: Concurrent technologies for the future networked society. *In: 2013 Asia-Pacific Microwave Conference Proceedings (APMC)*. [S.l.: s.n.], 2013. P. 462–464.

SCHNEIDER, M.C.; GALUP-MONTORO, C. **CMOS Analog Design Using All-Region MOSFET Modeling**. [S.l.]: Cambridge University Press, 2010. ISBN 9780521110365.

SELVARAJ, Santthosh; BAYRAM, Erkan; NEGRA, Renato. Low phase noise, high resolution digitally-controlled ring oscillator operating at 2.2GHz. *In: 2020 9th International Conference on Modern Circuits and Systems Technologies (MOCAS)*. [S.l.: s.n.], 2020. P. 1–4.

SEONG, Taeho; LEE, Yongsun; YOO, Seyeon; CHOI, Jaehyouk. A 320-fs RMS jitter and –75-dBc reference-spur ring-DCO-based digital PLL using an optimal-threshold TDC. **IEEE Journal of Solid-State Circuits**, v. 54, n. 9, p. 2501–2512, 2019.

STASZEWSKI, R.B.; LEIPOLD, D.; HUNG, Chih-Ming; BALSARA, P.T. TDC-based frequency synthesizer for wireless applications. *In: 2004 IEEE Radio Frequency Integrated Circuits (RFIC) Systems. Digest of Papers*. [S.l.: s.n.], 2004. P. 215–218.

UN, Ka-Fai; QI, Gengzhen; YIN, Jun; YANG, Shiheng; YU, Shupeng; IEONG, Chio-In; MAK, Pui-In; MARTINS, Rui P. A 0.12-mm² 1.2-to-2.4-mW 1.3-to-2.65-GHz fractional-N bang-bang digital PLL with 8- μ s settling time for multi-ISM-band ULP radios. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 66, n. 9, p. 3307–3316, 2019.

ZHANG, Chi; OTTO, Michael. A low power 4-GHz DCO with fine resolution and wide tuning range in 22 nm FDSOI CMOS technology. *In: 2017 IEEE Radio and Wireless Symposium (RWS)*. [S.l.: s.n.], 2017. P. 156–158.

APÊNDICE A – Relação entre margem de fase e fator de amortecimento para PLL tipo I de segunda ordem

A frequência angular de ganho unitário pode ser adquirida igualando o módulo da equação de malha aberta à 1.

$$\left| \frac{K_{TDC} \cdot K_{DCO}}{N \cdot s} \cdot \frac{K_{DLF}}{1 + \frac{s}{\omega_p}} \right|_{s \rightarrow j\omega_u}^2 = 1 \quad (45)$$

Com as equações (33), (34) e (45), pode ser adquirida a seguinte equação,

$$\omega_u^4 + \omega_u^2(2\zeta\omega_n)^2 - \omega_n^4 = 0 \quad (46)$$

segundo em

$$\omega_u^2 = \frac{(-2\zeta^2 + \sqrt{4\zeta^4 + 1})\omega_p^2}{4\zeta^2} \quad (47)$$

A margem de fase para PLL tipo I é dada em

$$PM = 90 - \arctan\left(\frac{\omega_u}{\omega_p}\right) \quad (48)$$

ou, pela identidade trigonométrica,

$$PM = \arctan\left(\frac{\omega_p}{\omega_u}\right) \quad (49)$$

Conseqüentemente, a margem de fase em função do fator de amortecimento para o PLL tipo I projetado é

$$PM = \arctan\left(\frac{2\zeta}{\sqrt{-2\zeta^2 + \sqrt{4\zeta^4 + 1}}}\right) \quad (50)$$

Também podendo ser escrito na forma,

$$PM = \arctan\left(2\zeta\sqrt{2\zeta^2 + \sqrt{4\zeta^4 + 1}}\right) \quad (51)$$

APÊNDICE B – Relação entre banda da malha e fator de amortecimento

Igualando o módulo da equação (3) ao quadrado à $\frac{N^2}{2}$, podemos achar o valor da banda da malha do DPLL como mostrado nas equações abaixo.

$$\left| \frac{\omega_n^2}{s^2 + s2\zeta\omega_n + \omega_n^2} \right|_{s \rightarrow j\omega_{bw}}^2 = \frac{1}{2} \quad (52)$$

$$\omega_{bw}^4 + \omega_{bw}^2(4\zeta^2\omega_n^2 - 2\omega_n^2) - \omega_n^4 = 0 \quad (53)$$

Resultando em,

$$\omega_{bw} = \omega_n \cdot \sqrt{(1 - 2\zeta^2) + \sqrt{(2\zeta^2 - 1)^2 + 1}} \quad (54)$$

Assim, a banda do sistema em relação à frequência natural dependerá do valor do fator de amortecimento ζ .

APÊNDICE C – Placa de Circuito Impresso

A imagem da placa pode ser vista na Figura 69.

Na placa podem ser vistos vários pinos, além dos já documentados nesta dissertação. Isso acontece pois existem outros projetos compartilhando o mesmo chip e PCB. Os pinos utilizados neste projeto estão com marcações vermelhas.

Os seguintes itens abaixo foram considerados no projeto da placa.

- O comprimento da trilha do sinal de 1 GHz foi projetado para ser muito menor que o comprimento de onda. Conseqüentemente, casamento de impedância não foi um item crítico no projeto da placa.
- Foram usados conectores UFL para os sinais de frequência e alimentação.
- Capacitores de desacoplamento foram colocados entre as alimentações e terra da placa.
- Os terminais de entrada DIV0, DIV1 e RST_N tem, um em cada um deles, um resistor de *pull-down* para estarem ligados por padrão ao terra. Nestes mesmos sinais foram colocados conectores para a possibilidade de mudar o estado lógico deles, com o auxílio de *jumpers*, sem a necessidade de fontes para esses sinais.

Como o chip fabricado não chegou a tempo, não foram feitas medições no DPLL.

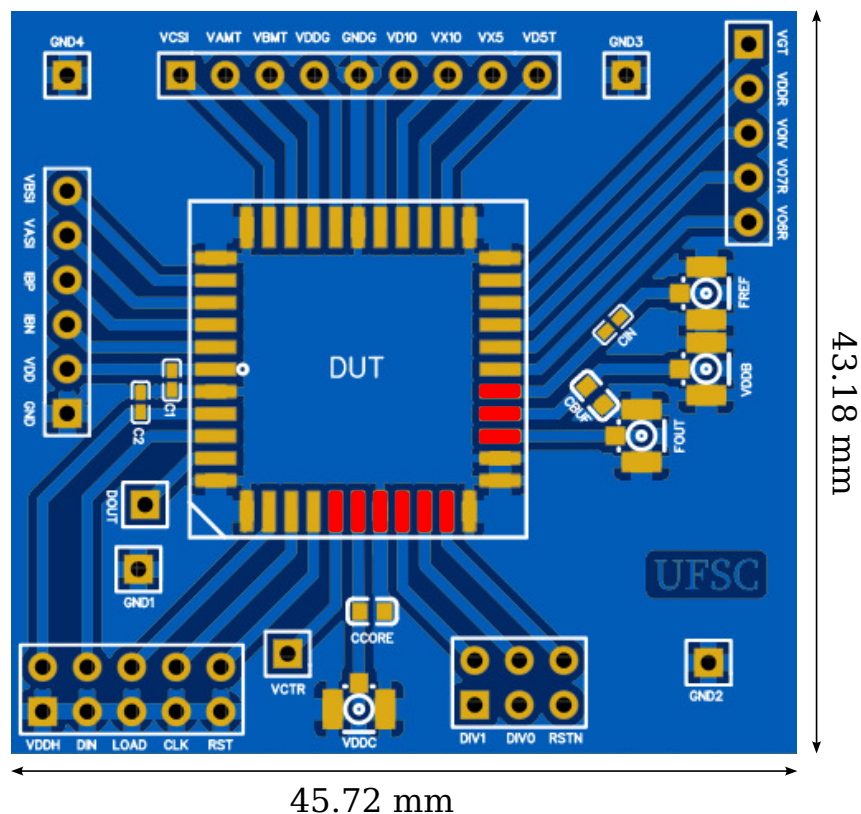


Figura 69 – Imagem da placa de circuito impresso usada nas medições

Fonte: (Autor - 2023)

ANEXO A – Código Verilog Para Emular o Comportamento do Oscilador na Simulação do TDC

```

'timescale 1ps/1ps

module gro(

    input  wire    run,
    output reg     [63:0] phase_o,
    output reg     ph_ovrflw
);

integer i;
integer ph;
initial begin
    for(i=0; i<64; i=i+2) begin
        phase_o[i] = 1'b1;
        phase_o[i+1] = 1'b0;
        ph_ovrflw = 1'b1;
        ph = 0;
    end
end

always @(*) begin
    while(run) begin
        if (ph == 65) begin
            ph_ovrflw = !ph_ovrflw;
            ph = 0;
        end else begin
            #(25) phase_o[ph] = (run) ? !phase_o[ph] : phase_o[ph];
            ph = (run) ? ph + 1 : ph;
        end
    end
end

endmodule

```

ANEXO B – Script Octave para malha de DPLL tipo-I

```

%Loop Filter low frequency gain
Klf = 0.42;

%filter pole value in rad/s
wp = 2.4e6;

%Sampling period
T = 1/16e6;

%TDC resolution
Delta_td = 25e-12;

%Dco Gain in rad/(s LSB)
Kdco = 628e3;

%TDC Gain in LSB/rad
Ktdc = T/(2*pi*Delta_td);

%Frequency divider value
N = 64;

%Open loop numerator
num_ol = Ktdc*Klf*Kdco;

%Open loop denominator
den_ol = N*[1/wp 1 0];

pkg load control

%Bode Diagram
bode(tf(num_ol,den_ol), 'b')

%Numerator of closed loop transfer function
num = Ktdc*Klf*Kdco*wp;

%Denominator of closed loop transfer function

```

```
den = [1 wp Ktdc*Klf*Kdco*wp/N];
```

```
figure 2
```

```
%Discreate transfer function
```

```
H_z = c2d(tf(num, den), T)
```

```
%Step response of the discreate transfer function H_z for a 16MHz input
```

```
step(H_z/T, 'b')
```

```
pause
```