



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CAMPUS FLORIANÓPOLIS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Luiz Guilherme Zancanaro

**DESENVOLVIMENTO DE UMA FONTE PARA ACIONAMENTO DE
DIODOS LASER DE ALTA POTÊNCIA**

Florianópolis
2023

Luiz Guilherme Zancanaro

**DESENVOLVIMENTO DE UMA FONTE PARA ACIONAMENTO DE
DIODOS LASER DE ALTA POTÊNCIA**

Dissertação submetida ao Programa de Pós-Graduação
em Engenharia Elétrica da Universidade Federal de
Santa Catarina para a obtenção do título de mestre
em Engenharia Elétrica.

Orientador: Prof. Ivo Barbi, Dr.

Florianópolis

2023

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Zancanaro, Luiz Guilherme

Desenvolvimento de uma fonte para acionamento de diodos
laser de alta potência / Luiz Guilherme Zancanaro ;
orientador, Ivo Barbi, 2023.

203 p.

Dissertação (mestrado) - Universidade Federal de Santa
Catarina, Centro Tecnológico, Programa de Pós-Graduação em
Engenharia Elétrica, Florianópolis, 2023.

Inclui referências.

1. Engenharia Elétrica. 2. Eletrônica de potência. 3.
Diodo laser. 4. Fonte de alimentação. I. Barbi, Ivo. II.
Universidade Federal de Santa Catarina. Programa de Pós
Graduação em Engenharia Elétrica. III. Título.

Luiz Guilherme Zancanaro

**DESENVOLVIMENTO DE UMA FONTE PARA ACIONAMENTO DE
DIODOS LASER DE ALTA POTÊNCIA**

O presente trabalho em nível de mestrado foi avaliado e aprovado por banca
examinadora composta pelos seguintes membros:

Prof. Romero Leandro Andersen, Dr.

Universidade Federal da Paraíba

Prof. Alceu André Badin, Dr.

Universidade Tecnológica Federal do Paraná

Prof. Gleyson Luiz Piazza, Dr.

Certificamos que esta é a **versão original e final** do trabalho de conclusão que foi
julgado adequado para obtenção do título de mestre em Engenharia Elétrica.

Prof. Telles Brunelli Lazzarin, Dr.

Coordenação do Programa de

Pós-Graduação

Prof. Ivo Barbi, Dr.

Orientador

Florianópolis, 2023.

Agradecimentos

Abordar um problema da forma mais simples possível, é uma tarefa complexa, que exige sobretudo muita sabedoria. Nem o modelo mais rebuscado, nem o modelo mais rude, assim como várias coisas na vida, o ponto ótimo possivelmente estará entre os extremos, eis a importância do equilíbrio. Agradeço ao professor Ivo Barbi pelos valorosos e profundos ensinamentos.

Agradeço aos meus pais, Edson e Adriana, pelo apoio incondicional na minha formação, sendo ambos exemplos de pessoa e que eu tenho muito orgulho, bem como à minha família por estar sempre próxima e me incentivando.

Agradeço aos meus nobres amigos, grandes parceiros e que eu tenho muito apreço, aproveito e desejo muito sucesso a vocês. Alguns inclusive atravessaram o estado para me visitar, por isso, um carinho extra para: Augusto Vial, Vinícius Gral Moura, Marcelo Merísio, Ricardo André Herbert, Ênio Jr. e Felipe Morandi.

Agradeço aos professores membros da banca, Alceu André Badin, Gleyson Luiz Piazza e Romero Leandro Andersen, por contribuírem no aprimoramento deste trabalho e na minha formação. Ao professor Roberto Francisco Coelho pelo acolhimento e suporte na primeira parte do mestrado. E ao técnico Fábio Plazito pela ajuda em pontos estratégicos deste trabalho.

Agradeço à CAPES pela bolsa de estudo, à Universidade Federal de Santa Catarina, seu Programa de Pós-Graduação em Engenharia Elétrica e ao Instituto Brasileiro de Eletrônica de Potência e Energias Renováveis, pela oportunidade de realizar o mestrado. Por fim, ao diretor executivo da empresa parceira, Sr. José, por ter contribuído enormemente com o desenvolvimento deste trabalho.

Resumo

O principal objetivo desta dissertação é o estudo e desenvolvimento de um conversor CC-CC não-isolado, destinado a alimentar diodos laser de alta potência cuja aplicação geralmente acontece na indústria metalúrgica, com tensão de entrada contínua igual a 48 V, potência nominal de 900 W e corrente pulsada na saída, com valores compreendidos entre zero e até 30 A, frequência de até 50 kHz e razão cíclica variável. O estágio de potência é constituído por um conversor buck *interleaved* três fases, operando com frequência de comutação igual a 500 kHz e tendo a sua corrente de saída controlada por um microcontrolador, seguido por um interruptor associado em paralelo com a carga, responsável pela característica pulsada ou não da saída. São necessários componentes adicionais na saída para assegurar uma comutação adequada da corrente, prevenindo acima de tudo sobretensões nos terminais da fonte. Minuciosamente, realiza-se a análise qualitativa e quantitativa do estágio de potência, bem como a modelagem orientada para o controle da corrente. Os resultados são efetivamente validados via simulação computacional, e assim procede-se para o dimensionamento do protótipo experimental, o qual foi construído e testado com sucesso em laboratório, seguindo as especificações mencionadas acima. Detalhados e completos estudos experimentais foram realizados, servindo tanto para a validação da análise teórica, quanto para a metodologia de dimensionamento do protótipo empregada. Os objetivos do projeto foram dessa forma plenamente alcançados, e o conhecimento adquirido e relatado pode ser adotado no dimensionamento de fontes de alimentação para diodos laser de alta potência, inclusive com finalidades e especificações diferentes daquelas apresentadas neste trabalho.

Palavras-chave: buck *interleaved*. diodo laser. fonte. Proporcional-Integral. digital.

Abstract

The main goal of this thesis is the study and development of a non-isolated DC-DC converter, aimed to drive high power laser diodes whose application usually happens in the metallurgical industry, with constant input voltage equal to 48 V, 900 W rated power and pulsed current at the output, with values between zero and up to 30 A, frequency up to 50 kHz and variable duty cycle. The power stage consists of a three-phase interleaved buck converter, operating with a switching frequency equal to 500 kHz and having its output current controlled by a microcontroller, followed by a switch associated in parallel with the load, responsible for the pulsed or non-pulsed characteristic of the output. Additional output components are needed to ensure proper current switching, above all preventing overvoltages at the power supply terminals. Thoroughly, the qualitative and quantitative analysis of the power stage is carried out, as well as the modeling oriented to the control of the current. The results are effectively validated via computational simulation, and thus the design of the experimental prototype is carried out, which was successfully built and tested in the laboratory, following the aforementioned specifications. Detailed and complete experimental studies were performed serving both for the validation of the theoretical analysis and for the prototype's methodology used. The project objectives were thus fully achieved, and the acquired and reported knowledge can be used in the development of power supplies for high power laser diodes, even with purposes and specifications different from those presented in this work.

Keywords: buck interleaved. laser diode. power supply. Proportional-Integral. digital.

Lista de ilustrações

Figura 1 – Representação da <i>double-heterojunction</i> PIN.	32
Figura 2 – Ilustração da curva característica do diodo laser.	32
Figura 3 – Representação e circuito equivalente do diodo laser.	33
Figura 4 – Ilustração das curvas de potência do feixe <i>versus</i> corrente.	34
Figura 5 – Ilustração das configurações do diodo laser em nível de junção.	34
Figura 6 – Encapsulamento borboleta e ilustração do seu interior.	35
Figura 7 – Imagem de um módulo laser comercial.	36
Figura 8 – Ilustração do interior de um módulo laser.	37
Figura 9 – Curvas características de fontes ideais.	38
Figura 10 – Curva de carga referente ao método passivo.	38
Figura 11 – Conversor buck síncrono empregado no artigo.	40
Figura 12 – Conversor buck síncrono com um capacitor na saída empregado no artigo.	40
Figura 13 – Conversores buck síncronos em <i>interleaving</i> empregado no artigo.	41
Figura 14 – Conversor forward duas chaves empregado no artigo.	42
Figura 15 – Conversor empregado no livro.	43
Figura 16 – Estágio de potência simplificado.	45
Figura 17 – Estágio de potência detalhado.	46
Figura 18 – Conversor com a chave moduladora aberta.	47
Figura 19 – Formas de onda da primeira região de operação.	48
Figura 20 – Circuito equivalente da primeira região de operação com a chave moduladora aberta.	48
Figura 21 – Ondulação da corrente de saída parametrizada da primeira região de operação.	51
Figura 22 – Formas de onda da segunda região de operação.	51
Figura 23 – Circuito equivalente da segunda região de operação com a chave moduladora aberta.	52
Figura 24 – Ondulação da corrente de saída parametrizada da segunda região de operação.	53
Figura 25 – Formas de onda da terceira região de operação.	54
Figura 26 – Circuito equivalente da terceira região de operação com a chave moduladora aberta.	54
Figura 27 – Ondulação da corrente de saída parametrizada da terceira região de operação.	55

Figura 28 – Ondulação da corrente de saída parametrizada.	56
Figura 29 – Circuito médio sintetizado.	58
Figura 30 – Circuito médio equivalente com a chave moduladora aberta.	59
Figura 31 – Conversor com a chave moduladora fechada	60
Figura 32 – Circuito médio equivalente com a chave moduladora fechada.	61
Figura 33 – Estágio de potência com retificação síncrona.	62
Figura 34 – Estágio de potência com diodo <i>offset</i>	64
Figura 35 – Ilustração da corrente de entrada da primeira região de operação.	66
Figura 36 – Ilustração da corrente de entrada da segunda região de operação.	67
Figura 37 – Ilustração da corrente de entrada da terceira região de operação.	68
Figura 38 – Componente média e eficaz total parametrizada da corrente de entrada.	69
Figura 39 – Componente alternada eficaz parametrizada da corrente de entrada.	70
Figura 40 – Conversor com o capacitor de entrada.	71
Figura 41 – Ondulação de tensão parametrizada do capacitor de entrada.	72
Figura 42 – Conversor com os elementos adicionais.	73
Figura 43 – Circuito equivalente ao desconectar a carga.	74
Figura 44 – Estudo do comportamento da equação para descarga parcial.	76
Figura 45 – Resultado de simulação da descarga dos indutores.	77
Figura 46 – Estágio de potência no PSIM.	79
Figura 47 – Estágio de comando e controle no PSIM.	79
Figura 48 – Resultado simulado da corrente de saída e da fase <i>a</i>	81
Figura 49 – Resultado simulado da corrente de entrada ao transitar entre regiões de operação.	82
Figura 50 – Resultado da corrente pela indutância parasita.	83
Figura 51 – Resultado de simulação da ondulação de tensão e corrente.	84
Figura 52 – Resultado da desconexão e conexão abrupta da carga.	85
Figura 53 – Resultado das incapacidades de operação.	86
Figura 54 – Resultado da implementação do diodo <i>offset</i>	87
Figura 55 – Resultado das incapacidades de operação comutando a chave moduladora.	87
Figura 56 – Resultados da sobrecorrente interna ao fechar a chave moduladora.	88
Figura 57 – Resultado ao abrir a chave moduladora antes do tempo mínimo ne- cessário.	90
Figura 58 – Condições seguras de operação da chave moduladora.	91
Figura 59 – Diagrama da malha de controle.	96
Figura 60 – Ilustração dos atrasos digitais.	98

Figura 61 – Diagrama de Bode da planta não-compensada.	102
Figura 62 – Diagrama de bode da planta compensada.	103
Figura 63 – Estágio de comando e controle no PSIM.	104
Figura 64 – Correntes com controle digital e comutação da chave moduladora. . . .	105
Figura 65 – Resultado das correntes com pequena margem de fase.	106
Figura 66 – Diagrama de Bode da planta não-compensada com $G_{id}(s)$ proposta. . .	107
Figura 67 – Diagrama de bode da planta compensada com $G_{id}(s)$ proposta.	108
Figura 68 – Correntes com controle digital e comutação da chave moduladora com $G_{id}(s)$ proposta.	109
Figura 69 – Reapresentação do estágio de potência.	112
Figura 70 – Circuito resultante na primeira carga do capacitor de <i>bootstrap</i>	117
Figura 71 – Circuito <i>snubber</i> nos nós de comutação.	120
Figura 72 – Interface de comando da chave moduladora.	123
Figura 73 – Diagrama do sistema de alimentação auxiliar.	125
Figura 74 – Configuração do termistor.	126
Figura 75 – Ilustração da arquitetura implementada digitalmente.	127
Figura 76 – Diagrama de Bode com os parâmetros do protótipo.	131
Figura 77 – Condições seguras de operação da chave moduladora do protótipo. . . .	132
Figura 78 – <i>Layout</i> da placa utilizada na carga confeccionada.	134
Figura 79 – Foto durante a confecção da carga.	135
Figura 80 – Reapresentação do estágio de potência.	137
Figura 81 – Foto do experimento com um módulo da carga equivalente.	138
Figura 82 – Corrente entregue pela fonte à carga equivalente com a referência do controle em 5 A.	139
Figura 83 – Resultado da corrente da fase <i>a</i> . $I_O = 5$ A.	140
Figura 84 – Sinais de comando do lado primário dos <i>gate drivers</i> , razão cíclica. Chave moduladora aberta. Carga equivalente. $I_O = 5$ A. Fase <i>a</i> (Canal 1), fase <i>b</i> (Canal 2) e fase <i>c</i> (Canal 3).	141
Figura 85 – Sinais de comando do lado primário dos <i>gate drivers</i> , defasagens. Chave moduladora aberta. Carga equivalente. $I_O = 5$ A. Fase <i>a</i> (Canal 1), fase <i>b</i> (Canal 2) e fase <i>c</i> (Canal 3).	142
Figura 86 – Sinais de comando do lado primário dos <i>gate drivers</i> , razão cíclica. Chave moduladora fechada. Carga equivalente. $I_O = 5$ A. Fase <i>a</i> (Canal 1), fase <i>b</i> (Canal 2) e fase <i>c</i> (Canal 3).	143

Figura 87 – Corrente da carga equivalente. $E = 48\text{ V}$. $I_O = 5\text{ A}$. Chave moduladora comutando a 1 kHz	144
Figura 88 – Corrente da carga equivalente. $E = 36\text{ V}$. $I_O = 5\text{ A}$. Chave moduladora comutando a 1 kHz	144
Figura 89 – Corrente da carga equivalente. $E = 48\text{ V}$. $I_O = 5\text{ A}$. Chave moduladora comutando a 1 kHz e com diodo <i>offset</i> em série.	145
Figura 90 – Circuito equivalente simplificado para análise da comutação.	147
Figura 91 – Corrente da carga equivalente (Canal 4). Escala de tempo de $2\text{ }\mu\text{s}$. $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1) e da carga (Canal 2).	147
Figura 92 – Corrente da carga equivalente (Canal 4). Escala de tempo de 200 ns . $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1) e da carga (Canal 2).	148
Figura 93 – Corrente da carga equivalente (Canal 4). Escala de tempo de 200 ns . $I_O = 15\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1) e da carga (Canal 2).	149
Figura 94 – Resultado de simulação da modulação da corrente da carga.	150
Figura 95 – Resultado de simulação da comutação da corrente da carga.	151
Figura 96 – Foto do experimento com o diodo laser conectado.	151
Figura 97 – Corrente do diodo laser (Canal 4). Escala de tempo de 200 ns . $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1).	152
Figura 98 – Corrente do diodo laser (Canal 4). Escala de tempo de 200 ns . $I_O = 20\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1).	152
Figura 99 – Corrente do diodo laser (Canal 4). Sistema com $f_c = 100\text{ kHz}$ e $MF = 70^\circ$. $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1).	153
Figura 100 – Corrente do diodo laser (Canal 4). Sistema com $f_c = 100\text{ kHz}$ e $MF = 76^\circ$. $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1).	154
Figura 101 – Corrente do diodo laser (Canal 4). Sistema com $f_c = 100\text{ kHz}$ e $MF = 76^\circ$. $I_O = 20\text{ A}$. Chave moduladora comutando a 50 kHz . Tensão nos terminais de saída da fonte (Canal 1).	155
Figura 102 – Corrente de entrada da fonte (Canal 4). $I_O = 5\text{ A}$. Chave moduladora comutando a 50 Hz . Tensão nos terminais de saída da fonte (Canal 1).	156
Figura 103 – Corrente de entrada da fonte (Canal 4). $I_O = 5\text{ A}$. Chave moduladora comutando a 30 kHz . Tensão nos terminais de saída da fonte (Canal 1).	157

Lista de abreviaturas e siglas

ADC	<i>Analog-to-Digital Converter</i>
AlGaAs	<i>aluminium gallium arsenide</i>
AWG	<i>American Wire Gauge</i>
A/D	Analógico-Digital
CFM	<i>Cubic Feet per Minute</i>
CLA	<i>Control Law Accelerator</i>
CM	Chave Moduladora
CPU	<i>Central Processing Unit</i>
CW	<i>Continuous-Wave</i>
DC	<i>Digital Compare</i>
DCL	<i>Digital Control Library</i>
DSP	<i>Digital Signal Processor</i>
ePWM	<i>enhanced Pulse Width Modulator</i>
ESR	<i>Equivalent Series Resistance</i>
FPGA	<i>Field-Programmable Gate Array</i>
GaAs	<i>gallium arsenide</i>
GPIO	<i>General-Purpose Input/Output</i>
HRPWM	<i>High-Resolution Pulse Width Modulator</i>
LD	<i>Laser Diode</i>
LDO	<i>Low-Dropout</i>
LED	<i>Light-Emitting Diode</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
NTC	<i>Negative Temperature Coefficient</i>

PGND	<i>Power Ground</i>
PI	Proporcional-Integral
PIN	Junção P-I-N
PN	Junção P-N
PPB	<i>Post Processing Block</i>
PSU	<i>Power Supply Unit</i>
PWCT	<i>Pulse Width Counter</i>
PWM	<i>Pulse Width Modulator</i> ou <i>Modulation</i>
QCW	<i>Quasi-Continuous-Wave</i>
RAM	<i>Random-Access Memory</i>
RMS	<i>Root Mean Square</i>
RMS_{ac}	<i>Root Mean Square</i> da componente alternada
RPM	<i>Revolutions Per Minute</i>
SiC	<i>Silicon Carbide</i>
SMD	<i>Surface-Mount Device</i>
TEC	<i>Thermoelectric Cooler</i>
TZ	<i>Trip-Zone</i>
X-BAR	<i>Crossbar</i>

Lista de símbolos

CO_2	Dióxido de carbono
ΔV	Variação de tensão
ΔI	Variação de corrente
I_{th}	Corrente de gatilho do diodo laser(<i>threshold current</i>)
I_{max}	Corrente máxima do diodo laser
D	Razão cíclica
$S1, S3, S5$	Transistores superiores do conversor
R_S	Resistência de canal ativo dos transistores superiores
L	Indutância das fases
R_L	Resistência das indutâncias das fases
$D2, D4, D6$	Diodos inferiores do conversor
R_D	Resistência série equivalente dos diodos inferiores
V_D	Queda de tensão direta dos diodos inferiores
E	Fonte de tensão ideal de entrada do conversor
v_o	Tensão instantânea de saída
V_O	Tensão média de saída
v_a, v_b, v_c	Tensões instantâneas dos nós de comutação de cada fase
a, b, c	Designação das fases
I	Corrente instantânea de entrada do conversor
i_o	Corrente instantânea de saída
I_O	Valor médio da corrente de saída
i_a, i_b, i_c	Correntes instantâneas das fases
f_s	Frequência de comutação do conversor

T_S	Período de comutação do conversor
V_{FD}	Queda de tensão direta do diodo laser
R_{LD}	Resistência série equivalente do diodo laser
D_{LD}	Diodo ideal para representação do diodo laser
Δi_O	Ondulação da corrente de saída
Δt	Intervalo de tempo
$\Delta i_a, \Delta i_b, \Delta i_c$	Ondulações das correntes das fases
V_O	Tensão média de saída
$\overline{\Delta i_O}$	Ondulação da corrente de saída parametrizada
$\overline{\Delta i_{Omax}}$	Máxima ondulação da corrente de saída parametrizada
Δi_{Omax}	Máxima ondulação da corrente de saída
I_a	Corrente média da fase a
V_{LD}	Queda de tensão média total sobre o diodo laser
R_{CM}	Resistência de canal ativo da chave moduladora
D_{ofst}	Diodo <i>offset</i>
V_{Dofst}	Queda de tensão direta do diodo <i>offset</i>
R_{Dofst}	Resistência série equivalente do diodo <i>offset</i>
I_{AVG}	Valor médio da corrente de entrada do conversor
I_{RMS}	Valor eficaz da corrente de entrada do conversor
I_{RMSac}	Valor eficaz da componente alternada da corrente de entrada
$I_{RMSacMAX}$	Valor eficaz máximo da componente alternada da corrente de entrada
L_{par}	Indutância parasita
C	Capacitância de entrada do conversor
v_C	Tensão instantânea sobre o capacitor de entrada

Δv_C	Ondulação de tensão sobre o capacitor de entrada
$\overline{\Delta v_C}$	Ondulação de tensão parametrizada sobre o capacitor de entrada
Δv_{Cmax}	Máxima ondulação de tensão sobre o capacitor de entrada
$\Delta I_{LparMAX}$	Máxima ondulação de corrente sobre a indutância parasita
D_{anti}	Diodo anti-paralelo ao diodo laser
C_{bulk}	Capacitância suplementar de entrada
D_{lim}	Diodo limitador na saída
I_{step}	Magnitude do transitório de corrente
ΔV_{step}	Máxima variação de tensão sobre o capacitor de entrada em um transitório
V_{Dlim}	Queda de tensão direta do diodo limitador
R_{Dlim}	Resistência série equivalente do diodo limitador
I_{Smed}	Corrente média pelos transistores superiores
I_{Srms}	Corrente eficaz pelos transistores superiores
I_{Dmed}	Corrente média pelos diodos inferiores
I_{Drms}	Corrente eficaz pelos diodos inferiores
D_{CM}	Razão cíclica da chave moduladora
$I_{DofstMED}$	Corrente média pelo diodo <i>offset</i>
I_{CMmed}	Corrente média pela chave moduladora
$I_{DofstRMS}$	Corrente eficaz pelo diodo <i>offset</i>
I_{CMrms}	Corrente eficaz pela chave moduladora
Δi_{Lmax}	Máxima ondulação de corrente nas indutâncias das fases
I_{Lmed}	Corrente média pelas indutâncias das fases
I_{Lrms}	Corrente eficaz pelas indutâncias das fases
AVGX	Média móvel da corrente de entrada

I_{Lpar}	Corrente instantânea pela indutância parasita
I_{Dlim}	Corrente instantânea pelo diodo limitador
i_{LD}	Corrente instantânea pelo diodo laser
f_{CM}	Frequência de comutação da chave moduladora
d	Razão cíclica instantânea
$\langle x \rangle_{T_S}$	Média de uma variável x sobre um determinado intervalo
\hat{d}	Perturbação de pequenos sinais na razão cíclica instantânea
\hat{i}_O	Perturbação de pequenos sinais na corrente de saída instantânea
$G_{id}(s)$	Função de transferência corrente / razão cíclica
K_T	Ganho do transdutor de corrente
α_T	Atraso de transporte do transdutor de corrente
$G_T(s)$	Função de transferência do transdutor de corrente
α_{DR}	Atraso de transporte do <i>gate driver</i>
$G_{DR}(s)$	Função de transferência do <i>gate driver</i>
K_{OP}	Ganho do amplificador operacional
R_f	Resistor do filtro passa-baixa
C_f	Capacitor do filtro passa-baixa
$G_{RC}(s)$	Função de transferência do filtro passa-baixa
α_{ctrl}	Atraso de transporte da lei de controle
α_{dpwm}	Atraso de transporte da modulação digital
N_r	Quantidade de números inteiros das portadoras digitais
$G_{dpwm}(s)$	Função de transferência do atraso da modulação digital
$G_{ctrl}(s)$	Função de transferência do atraso da lei de controle
K_{dpwm}	Ganho da modulação digital

K_{ad}	Ganho do ADC
V_{FS}	Tensão de fundo de escala do ADC
n_{ad}	Resolução em bits do ADC
$FTLA_{nc}(s)$	Função de transferência de laço aberto não-compensada
ω_z	Frequência angular do zero invertido do compensador proporcional-integral
k_c	Ganho do compensador proporcional-integral
ω_c	Frequência angular de cruzamento por 0 dB
MF	Margem de fase
f_c	Frequência de cruzamento por 0 dB
$G_{PI}(s)$	Função de transferência do compensador proporcional-integral
k_{Ine}	Ganho integral discretizado mas não-escalonado
k_{Pne}	Ganho proporcional discretizado mas não-escalonado
k_{Ie}	Ganho integral discretizado e escalonado
k_{Pe}	Ganho proporcional discretizado e escalonado
F_{PWM}	Frequência desejada das portadoras
F_{TBCLK}	<i>Clock</i> para atingir a frequência desejada das portadoras
$PWM_{resBits}$	Resolução binária da modulação por largura de pulso digital
$FTLA_{NCanalogue}(s)$	Função de transferência de laço aberto não-compensada analógica
Q_g	<i>Gate charge</i>
R_{dson}	Resistência de canal ativo <i>drain-source</i>
t_r	<i>Rise-time</i>
t_f	<i>Fall-time</i>
V_{off}	Tensão de bloqueio
I_{on}	Corrente enquanto em condução

R_g	Resistor de <i>gate</i>
C_{iss}	Capacitância de entrada do transistor informada no <i>datasheet</i>
P_{comu}	Perdas de comutação
C_{oss}	Capacitância de saída do transistor informada no <i>datasheet</i>
C_{bot}	Capacitor de <i>bootstrap</i>
D_{bot}	Diodo de <i>bootstrap</i>
Q_C	Carga capacitiva da junção do diodo
T_J	Temperatura de junção
E_c	Energia acumulada na junção
R_{jc}	Resistência térmica junção-cápsula
R_{Snu}	Resistência do circuito <i>snubber</i>
C_{Snu}	Capacitância do circuito <i>snubber</i>
R_{dis}	Resistência térmica equivalente do dissipador de calor
P_{total}	Perdas totais
T_c	Temperatura de superfície ou de cápsula
T_a	Temperatura ambiente
V_{Iref}	Referência de tensão analógica
$Code_{res}$	Resultado da conversão A/D
I_{eq}	Equivalência analógica da referência de corrente digital
$V_{eq}(T)$	Tensão equivalente condicionada do NTC
$B_{25/100}$	Coefficiente de temperatura do NTC
T	Temperatura desejada
T_0	Temperatura inicial
R_0	Resistência inicial

$R_{eq}(T)$	Resistência equivalente do NTC
f_o	Frequência de ressonância
$i_{C_{oss}}$	Corrente da capacitância de saída da fonte

Sumário

1	INTRODUÇÃO	29
1.1	Objetivos	29
1.1.1	Objetivos gerais	29
1.1.2	Objetivos específicos	30
1.2	Estrutura do documento	30
2	REVISÃO BIBLIOGRÁFICA	31
2.1	Fundamentos do diodo laser	31
2.2	Características dos diodos laser	35
2.3	Fontes	37
2.4	Conclusão	43
3	ESTÁGIO DE POTÊNCIA	45
3.1	Apresentação do conversor	45
3.2	Análise do conversor	46
3.2.1	Considerando a chave moduladora aberta	47
3.2.1.1	Primeira região de operação	47
3.2.1.2	Segunda região de operação	51
3.2.1.3	Terceira região de operação	53
3.2.1.4	Síntese das regiões de operação	55
3.2.1.5	Circuito médio equivalente	56
3.2.2	Considerando a chave moduladora fechada	59
3.2.2.1	Regiões de operação	60
3.2.2.2	Circuito médio equivalente	61
3.3	Cuidados com elevadas frequências de comutação do conversor	61
3.4	Análise da corrente de entrada	65
3.5	Elementos adicionais ao estágio de potência	72
3.6	Esforços de corrente	77
3.7	Apresentação e discussão dos resultados de simulação	78
3.8	Conclusão	90
4	ESTÁGIO DE CONTROLE	93
4.1	Funções de transferência do estágio de potência	93
4.2	A malha de controle	96

4.3	Apresentação e discussão dos resultados de simulação	101
4.3.1	Considerando $G_{id}(s)$ sem o avanço de fase	101
4.3.2	Considerando $G_{id}(s)$ com o avanço de fase de proposto	106
4.4	Conclusão	109
5	ELABORAÇÃO DO PROTÓTIPO	111
5.1	Estágio de potência	111
5.1.1	Capacitores	111
5.1.2	Transistores	114
5.1.3	<i>Gate Driver</i>	116
5.1.4	Diodos	118
5.1.5	<i>Snubber</i>	119
5.1.6	Indutores	120
5.1.7	Transdutor de corrente	120
5.1.8	Dissipador de calor	121
5.2	Estágio complementar	123
5.2.1	Interface de comando da chave moduladora	123
5.2.2	Interface da referência analógica	124
5.2.3	Sistema de alimentação auxiliar	125
5.2.4	Proteção contra sobretensão	125
5.3	Microcontrolador	126
5.3.1	Arquitetura da implementação do controle digital	127
5.3.2	Proteção contra sobrecorrente	128
5.3.3	Rotinas operacionais	129
5.4	Projeto compensador	129
5.5	Diodo laser utilizado e carga equivalente confeccionada	132
5.6	Conclusão	135
6	RESULTADOS EXPERIMENTAIS	137
6.1	Recapitulação do protótipo	137
6.2	Calibração da instrumentação e equipamentos utilizados	138
6.3	Estudo da razão cíclica limitante	141
6.4	Análise da comutação da corrente da carga	146
6.5	Qualidade do controle	153
6.6	Outras medições e ensaios	154
6.7	Conclusão	156

7	CONCLUSÃO	159
	REFERÊNCIAS	163
	APÊNDICE A – SIMULAÇÃO COMPLETA	167
	APÊNDICE B – ESQUEMÁTICO	169
	APÊNDICE C – LISTA DE COMPONENTES	191
	APÊNDICE D – LAYOUT	197

1 Introdução

Em vários ramos da indústria lasers são utilizados para alguma finalidade específica. Em linhas gerais, quando se precisa de uma potência mais significativa, por exemplo, para realizar um corte em uma chapa de aço, é comum a presença de lasers a gás que operam com alta tensão (dezenas de kV). Por outro lado, uma outra tecnologia conhecida como diodo laser, vem ganhando espaço no cenário devido a vários fatores, tais como flexibilidade de uso e indicativos recentes de um melhor custo-benefício.

Diferentemente daqueles a gás, um módulo diodo laser comercial tem uma tensão na faixa de algumas dezenas de volt, assim como a sua corrente em dezenas de ampere (valores bem generalizados). Outro ponto, é que na sua saída há uma fibra óptica, permitindo guiar o feixe como bem entender, útil para tarefas manuais ou em equipamentos com extremidades móvel, além de que é possível concatenar o feixe de vários módulos em uma única fibra óptica, possibilitando maior modularidade do sistema ao requerer maiores potências.

Fundamentalmente, sua característica elétrica é análoga à de um diodo, e não é à toa o seu nome, podendo representá-lo como uma fonte de tensão em série com uma resistência. Por esse motivo, e por apresentar uma significativa sensibilidade à sobrecorrentes, fontes convencionais podem ser impróprias para acioná-lo, por apresentarem saída em fonte de tensão, conflitando com a característica da carga. Fora isso, é necessário entregar uma baixíssima ondulação de corrente e também, às vezes, condicionar uma operação pulsada do diodo laser (como uma modulação por largura de pulso). O pulso geralmente deve ter uma transição bem abrupta, em função da acurácia necessária em algumas aplicações, tornando simples operações como alterar a magnitude da referência de corrente em uma malha de controle inviável.

1.1 Objetivos

1.1.1 Objetivos gerais

Desenvolver e avaliar uma fonte de alimentação para acionar módulos de diodo laser de alta potência (nos modos contínuo e pulsado). Para isso, utiliza-se de um conversor buck *interleaved* três fases, sendo controlada digitalmente a sua corrente de saída com um compensador Proporcional-Integral, e a modulação da corrente da carga acontece devido a um transistor em paralelo com a mesma. Nenhum capacitor é implementado na saída do conversor e a proposta é atribuí-la uma característica de fonte de corrente. O protótipo

é alimentado em tensão contínua por uma fonte de bancada para obter os resultados experimentais, considerando o próprio diodo laser e uma carga equivalente confeccionada.

1.1.2 Objetivos específicos

- Revisar os conceitos do diodo laser;
- Analisar e desenvolver equações para dimensionar os estágios de potência e controle;
- Relatar a elaboração do protótipo e seus resultados experimentais;
- Atingir operação pulsada do diodo laser a 50 kHz;
- Obter um funcionamento livre de sobrecorrentes na carga;
- Desenvolver uma carga equivalente para substituir o diodo laser quando necessário.

1.2 Estrutura do documento

No Capítulo 2 é feita uma revisão bibliográfica sobre o diodo laser e como acioná-lo. Abordando as características da junção, curvas e modos de operação, cuidados que devem ser tomados e sua aplicação em maiores potências. As fontes de alimentação presentes na literatura são apresentadas e avaliadas.

No Capítulo 3 tem-se as considerações necessárias para dimensionar o estágio de potência, enquanto no Capítulo 4, o estágio de controle. Ambos são avaliados qualitativamente e quantitativamente, já considerando um diodo laser nas análises, sempre em sintonia com o que se tem no protótipo. Ao final de cada capítulo, simulações são conduzidas no *software* PSIM para certificação das análises.

No Capítulo 5 relata-se o desenvolvimento do protótipo e da carga equivalente. Utiliza-se da teoria desenvolvida nos capítulos anteriores e a malha de controle é projetada com os parâmetros dos componentes usados no protótipo. Por último, no Capítulo 6 são apresentados os resultados experimentais obtidos, assim como os parâmetros estáticos não fornecidos pelo fabricante do diodo laser utilizado.

2 Revisão Bibliográfica

São abordadas as considerações importantes para a compreensão da carga e dos aspectos das fontes. É explorado como o diodo laser pode ser interpretado como um simples diodo, assim herdando as suas características de operação e representação, bem como os possíveis problemas e dados quantitativos. Apresentam-se as principais tecnologias de diodos laser empregadas comercialmente e são revisados os conversores utilizados para acioná-las.

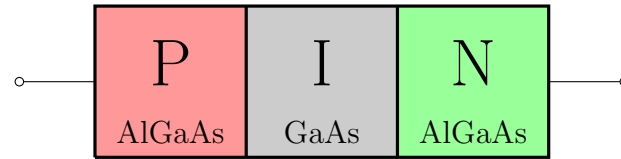
2.1 Fundamentos do diodo laser

A indústria metalúrgica é um dos cenários agraciados pelos atributos da tecnologia laser [1]. Materiais são processados de forma muito eficaz devido à alta densidade de potência do feixe luminoso (atingindo a faixa de kW numa região com diâmetro próximo a de um fio de cabelo) [2]. Há várias formas de construção de um laser [1], sendo até então neste ramo, lasers de CO_2 os mais utilizados [2]. Contudo, seu espaço vem sendo tomado pelas tecnologias acopladas por fibra óptica, devido ao seu melhor custo-benefício [2].

Essa vertente em ascensão, que do inglês é conhecida como *fiber laser*, ou *fiber-coupled laser*, caracteriza-se pela concatenação do feixe de um ou mais diodos lasers (*laser diode* - LD) em uma única fibra óptica, a qual pode ainda trazer atributos ao feixe luminoso final (por exemplo, modificar o comprimento de onda) [2, 3]. Dessa maneira, atingem-se os níveis necessários de potência para uma determinada aplicação, o que por vezes um único LD não é capaz [4].

O diodo laser pode ser mais formalmente interpretado como uma junção PIN [5], na qual apresenta uma região intrínseca I entre os dopantes P e N, sendo essa região idealmente ausente de dopantes, tendo apenas o substrato [6]. Essa junção recebe mais duas classificações de acordo com a arquitetura de seu substrato [7, 8]. O primeiro caso é de uma *homojunction*, caracterizada por uma única base para as três partes, a qual poderia ser de *gallium arsenide* (GaAs). Já no segundo caso, tem-se uma *double-heterojunction*, ilustrada na Figura 1.

A *double-heterojunction* é caracterizada pela região intrínseca possuir uma base diferente das outras duas, podendo, por exemplo, ser AlGaAs (*aluminium gallium arsenide*) nas laterais e GaAs no meio. Desse modo, essa interface proporciona significativas vantagens na geração do feixe, e por isso é a mais empregada. Já a *homojunction* requer altas densidades de corrente para funcionar, o que limita a sua operação em curtíssimos espaços

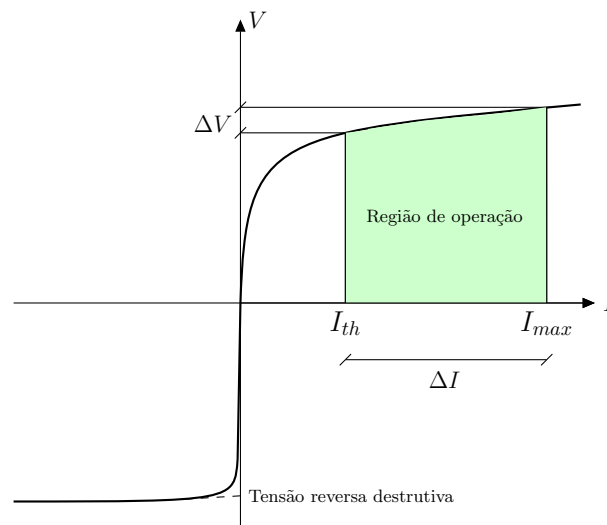
Figura 1 – Representação da *double-heterojunction* PIN.

Fonte: Produzida pelo autor.

de tempo, além de outros aspectos, sendo tomada principalmente para fins didáticos devido a sua maior simplicidade [8, 9].

Independentemente da arquitetura adotada, uma característica da junção PIN é seu comportamento elétrico igual ao de uma junção PN [6, 10], salvo condições especiais que não fazem parte do escopo da área de aplicação em estudo (tais como ao processar sinais na faixa de dezenas de megahertz a gigahertz). Portanto, pode-se herdar o semblante dos diodos retificadores para representar a carga [4], tendo sua curva característica ilustrada na Figura 2.

Figura 2 – Ilustração da curva característica do diodo laser.

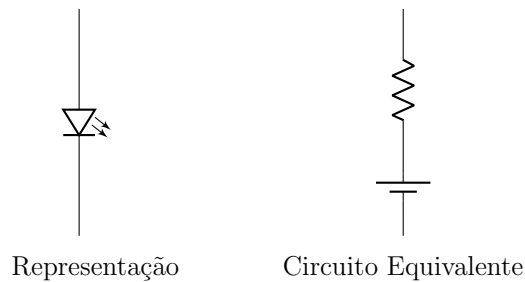


Fonte: Produzida pelo autor.

Observa-se nessa figura que na região de operação, grandes variações de corrente provocam pequenas variações de tensão, logo, há uma pequena resistência diferencial positiva ($\Delta V/\Delta I$), e isso lhe confere um aspecto de fonte de tensão [4]. A carga então pode ser representada como uma fonte de tensão em série com uma resistência, pelo menos na análise estática, sendo sua representação e circuito equivalente ilustrados na Figura 3.

Ainda se tratando da curva característica, Figura 2, a região de operação é limitada por dois níveis de corrente. O limite inferior, definido pela corrente de gatilho (*threshold*

Figura 3 – Representação e circuito equivalente do diodo laser.



Fonte: Produzida pelo autor.

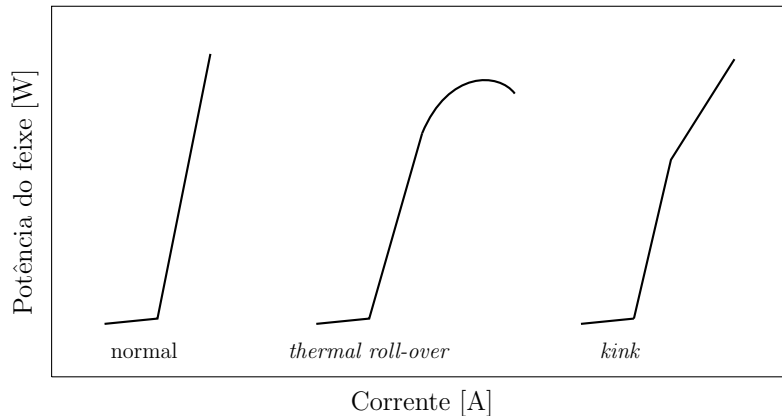
$current - I_{th}$), é o menor valor de corrente para que ocorra o feixe laser. Antes disso, o LD emite apenas uma luminescência tal como um *Light-Emitting Diode* LED (e não é à toa, apesar de geralmente o LED ser uma junção PN por não precisar atingir a corrente de gatilho, há também aqueles construídos sobre uma *double-heterojunction* PIN, assim como um diodo laser) [8, 11, 12]. Por último, ressalta-se ainda que a corrente de gatilho cresce com o aumento da temperatura da junção [7].

No outro lado, o limite superior é definido pela corrente máxima de operação I_{max} . Ultrapassar esse valor, mesmo que momentaneamente, pode acarretar em uma falha catastrófica do dispositivo (devido a danos na junção ou nas estruturas ópticas que podem compor o laser, e em casos não tão drásticos, esses danos podem comprometer o comprimento de onda gerado, afetando a qualidade do feixe) [4, 7]. Outras causas de falha ou encurtamento da vida útil do diodo laser são: operação com temperaturas acima do especificado; aplicação de expressivas tensões reversas; e uma significativa sensibilidade a descargas eletrostáticas [4, 9].

Alguns indicativos de danos na carga, ou até mesmo do estado de operação, podem ser visualizados através da curva característica de potência do feixe em função da corrente elétrica. Em condições normais, acima da corrente de gatilho, há uma relação linear entre corrente e potência [11]. Contudo, há dois efeitos que distorcem essa relação: *thermal roll-over*, perde-se a linearidade devido ao sobreaquecimento da junção, causando uma limitação de potência [7, 9, 11]; *kink*, possíveis danos ou imperfeições no dispositivo, tem-se alguma anomalia ou mudança de inclinação da curva [7, 9]. Os casos estão ilustrados na Figura 4.

Por fim, traz-se dados quantitativos do diodo laser. No cenário em estudo, geralmente utiliza-se de feixes no espectro infravermelho próximo (*near-infrared*), logo, a fonte de tensão que representa a carga tem valores situados entre 1,8V e 2V [4]. A faixa de potência é variável, podendo excursionar entre uma centena até uma dezena de milhares de watt, contudo, um único LD pode não ser capaz de atender tamanhas potências, e por

Figura 4 – Ilustração das curvas de potência do feixe *versus* corrente.



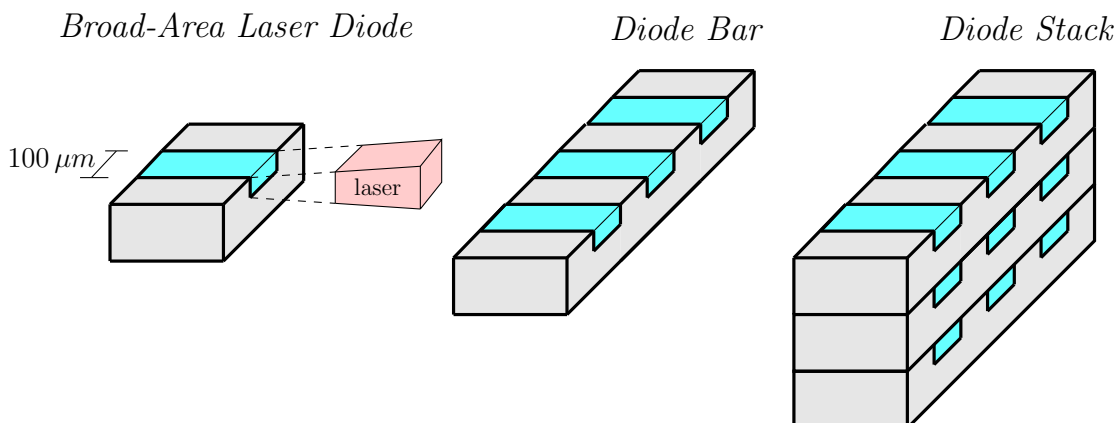
Fonte: Produzida pelo autor.

isso realizam-se associações em nível de junção e em nível macroscópico.

Tratando-se da junção, o diodo laser pode ser fundamentalmente representado por um único emissor, conhecido como *Broad-Area Laser Diode*, em que pode-se atingir algumas unidades de watt [3]. Para adquirir potências mais elevadas, associam-se até algumas dezenas desses emissores fundamentais em paralelo (o que conduz ao caso de diodos em paralelo, mas que não há problema, pois, a proximidade entre eles garante uma elevada comunicação térmica) [4], o resultado é conhecido como *Diode Bar* ou *Diode Array*. Assim, o nível de tensão permanece o mesmo, porém a capacidade de corrente aumenta, conduzindo até várias dezenas de watt [3].

Quando se deseja potências ainda maiores, então pode-se associar várias *Diode Bars* verticalmente em série, e isso é denominado como *Diode Stack*. O nível de tensão aumenta, mas a capacidade de corrente permanece a mesma, podendo atingir a faixa de alguns quilowatts [3]. Os três casos estão ilustrados na Figura 5.

Figura 5 – Ilustração das configurações do diodo laser em nível de junção.



Fonte: Produzida pelo autor.

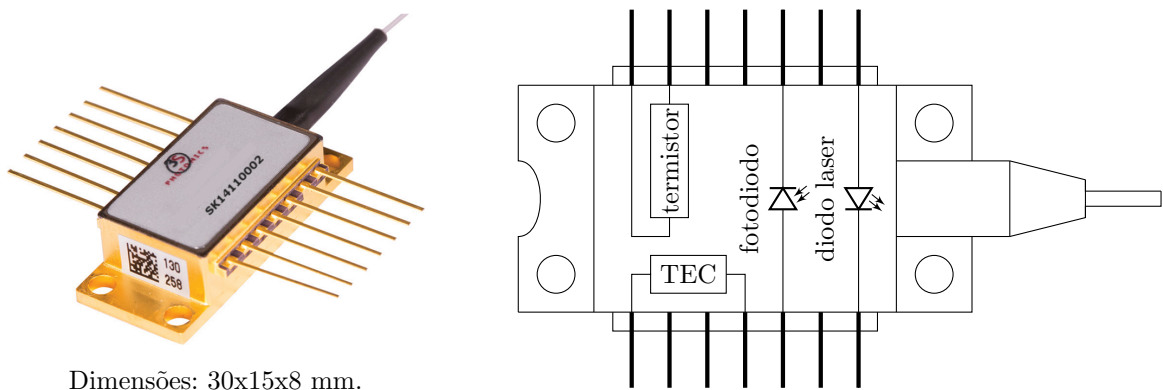
Entretanto, a faixa de potência para cada caso pode estar limitada pelo regime de operação da junção. Em algumas situações, potências maiores só são atingidas na operação *Quasi-Continuous-Wave* (QCW), na qual o diodo laser opera ora ligado, ora desligado, assim respeitando algum regime térmico [3, 13]. Vale mencionar que a eficiência do LD situa-se em torno de 50% apenas [3], e por isso há uma grande preocupação com dissipação de calor. Já um outro caso é a operação em *Continuous-Wave* (CW), na qual o dispositivo permanece constantemente acionado [14], o que pode limitar sua potência máxima.

Esse emissor, ou essa associação de emissores, é encapsulada em uma estrutura que proporciona uma melhor dissipação de calor, garante proteção à junção e fornece a interface dos terminais elétricos. Em função das possíveis limitações de potência por causa do regime de operação, e também devido a critérios ópticos, então pode-se fazer mais associações para atender as especificações necessárias. Como não se está mais em nível de junção, é comum associar apenas em série para evitar as complicações do paralelismo de diodos (considerando aqueles com um coeficiente térmico negativo).

2.2 Características dos diodos laser

No ímpeto de tornar claro como o diodo laser é aplicado, pois há certos detalhes que influenciam na compreensão do funcionamento de seus *drivers*, ou seja, a fonte que irá acioná-lo, exploram-se os principais aspectos de construção e implementações desse dispositivo. Inicialmente, considera-se o caso de um encapsulamento borboleta (*butterfly package*), já que esse geralmente engloba as quatro tecnologias mais importantes: termistor; fotodiodo; *thermoelectric cooler* (TEC); e o próprio diodo laser. Uma imagem e uma ilustração interna desse encapsulamento estão apresentadas na Figura 6.

Figura 6 – Encapsulamento borboleta e ilustração do seu interior.



Dimensões: 30x15x8 mm.

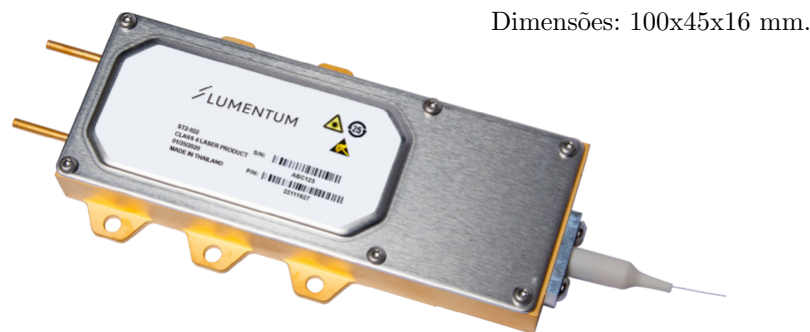
Fonte: Extraída de [15] e modificada pelo autor.

O *thermoelectric cooler* é responsável por regular a temperatura do diodo laser através do efeito Peltier, na qual uma corrente elétrica condiciona a diferença de temperatura entre as faces de uma pastilha (esquentando um lado e esfriando o outro). Além de garantir melhor estabilidade térmica, pode ser um item necessário em situações cuja temperatura ambiente esteja próxima da temperatura máxima de operação, em torno de 45°C ou menos dependendo do caso, assim promovendo uma espécie de refrigeração forçada.

O fotodiodo atua como um transdutor de luminosidade, mensurando a intensidade do laser, podendo apenas monitorar ou atuar em uma malha de controle da potência do feixe. Já o termistor, evidentemente, atua como um transdutor de temperatura. Por último, vale ainda destacar que o encapsulamento borboleta pode processar até algumas unidades de watt.

Em função dos requisitos mais elevados de potência da aplicação industrial em estudo neste trabalho, o encapsulamento passa a ter outras características e esse passa a ser conhecido como módulo laser (no inglês aparece também como: *fiber-coupled laser module*). O encapsulamento borboleta, contudo, também pode receber essa mesma nomenclatura. Apresenta-se uma imagem desse módulo na Figura 7.

Figura 7 – Imagem de um módulo laser comercial.



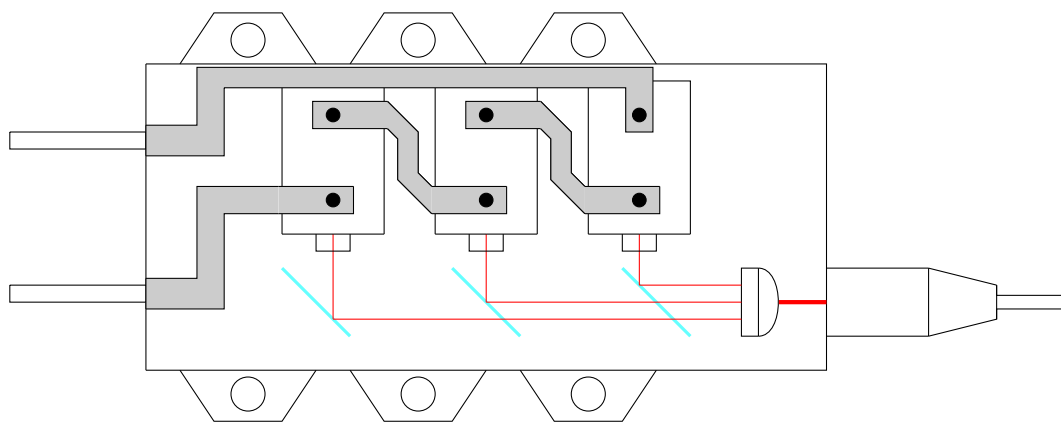
Fonte: Extraída de [16].

Nota-se agora que o módulo dispõe apenas dos terminais elétricos do diodo laser, assim, as demais tecnologias são implementadas externamente, quando for possível fazer isso. Geralmente, tem-se o monitoramento da temperatura do módulo através de um termistor acoplado à um dissipador de calor em sua base. Já a presença do *thermoelectric cooler* passa a depender das necessidades da aplicação. O fotodiodo também pode ser acoplado à fibra óptica, mas isso carece de recursos e considerações especiais [17]. Como geralmente as exceções são inevitáveis, salienta-se também que há módulos com essas tecnologias integradas [18].

Uma última consideração é como, e em que configuração, os diodos laser estão

arranjados dentro do módulo. Tipicamente, tem-se *Diode Stacks* associadas em série por barras condutoras, nas quais seus feixes são conduzidos até a fibra óptica através de instrumentos ópticos. Situação ilustrada na Figura 8. Supondo um caso hipotético, um módulo com tensão nominal de 24 V poderia ser composto por quatro *Diode Stacks*, dispondo em cada uma de três *Diode Bars* em série, considerando ainda uma tensão de 2 V para cada emissor (então $4 \cdot 3 \cdot 2V = 24 V$). Para um feixe com potência de 240 W, devido a eficiência do LD na faixa dos 50%, a corrente estaria em torno de 20 A, necessitando assim suprir eletricamente 480 W pela fonte.

Figura 8 – Ilustração do interior de um módulo laser.



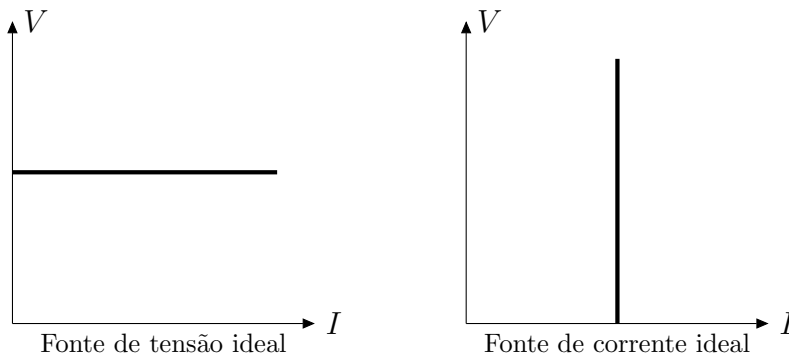
Fonte: Produzida pelo autor.

2.3 Fontes

As fontes, ou *drivers*, são responsáveis por acionar o laser. Destacam-se por possuir uma saída com característica de fonte de corrente, uma vez que a carga possui característica de fonte de tensão, herdada da similaridade com os diodos, portanto, assim obtém-se uma operação mais estável e segura. Além disso, dispõem de recursos de proteção à carga, bem como podem realizar a supervisão e/ou controle dos periféricos (termistor, fotodiodo, *thermoelectric cooler*).

Uma fonte de corrente ideal mantém sua magnitude constante, independentemente da variação da tensão sobre si, logo, é caracterizada por uma impedância diferencial tendendo ao infinito ($-\infty$). Já em contrapartida, uma fonte de tensão mantém sua magnitude constante, independentemente da variação da corrente sobre si, logo, é caracterizada por uma impedância diferencial tendendo a zero (-0). Como são fontes, cedem potência à carga, essas impedâncias de saída são consideradas negativas [4]. Na Figura 9 tem-se uma representação gráfica de ambos os casos.

Figura 9 – Curvas características de fontes ideais.

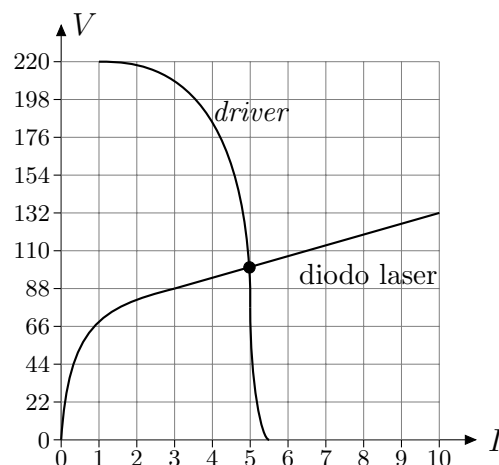


Fonte: Produzida pelo autor.

Vale como consideração importante, os cenários em que há fontes limitadas em corrente, as quais podem possuir significativas capacitâncias em suas saídas, situação por vezes encontrada em fontes de bancada. Nesses casos, em um primeiro momento não haveriam problemas em acionar o diodo laser dessa forma, afinal, a fonte vai limitar a corrente e proteger a carga. Contudo, o capacitor na saída pode danificá-la em função de sua impedância dinâmica nas rápidas transições ser levemente negativa (-0), assim, comportando-se momentaneamente como uma fonte de tensão e podendo causar picos de corrente na carga [4].

As fontes de corrente podem ainda serem classificadas como ativas ou passivas, sendo sempre compostas por uma fonte de tensão, mais um elemento regulador/limitador da corrente [4]. No caso ativo, tem-se o controle da corrente através de uma malha de realimentação, com suas devidas ações de controle. No caso passivo, por outro lado, utiliza-se de elementos limitadores (impedâncias) para obter uma região onde a variação de tensão influencia pouco na variação de corrente, conforme ilustrado na Figura 10.

Figura 10 – Curva de carga referente ao método passivo.



Fonte: Extraída de [4] e modificada pelo autor.

Nesse gráfico há a curva de carga da própria fonte (*driver*), e a curva característica do diodo laser, onde na intersecção das duas tem-se o ponto de operação do sistema. Sua interpretação é a seguinte: quando a tensão de operação do laser situar-se entre 44 e 110 V, a fonte irá fornecer 5 A constantes à carga, sendo assim, nessa região de tensão obtém-se um aspecto de fonte de corrente (impedância diferencial tendendo ao menos infinito). Além disso, caso fossem curto-circuitados os terminais desse *driver*, a corrente ficaria limitada em torno de 5,5 A devido aos elementos limitadores (os quais são conhecidos na língua inglesa como *ballasting elements*). Esse exemplo foi baseado na referência [4].

Levando em consideração a faixa de operação da fonte em estudo neste trabalho, saída entre 0 – 30 V e 0 – 30 A, e focando mais no limite superior, comercialmente é comum encontrar fontes com baixíssimas ondulações de corrente na saída, situando-se em valores inferiores a 1% da corrente nominal [19]. Contudo, ao olhar para as especificações técnicas do módulo laser, com uma faixa de potência em torno de 240 W e comprimento de onda de 915 nm, nada se comenta sobre os limites da ondulação de corrente [20]. Algo no mínimo curioso.

Uma hipótese plausível é de que os *drivers* são geralmente projetados visando atender vários cenários. Há casos em que de fato a ondulação de corrente é crítica, pois sabe-se que a mesma altera tanto o comprimento de onda, como a potência do feixe [21]. Entretanto, há situações em que esse critério não é nada rigoroso [22]. Mesmo assim, é preferível ter um sinal limpo para um feixe mais estável, e há referências que indicam como a ondulação pode ser danosa [23], logo, aparentemente tende-se a buscar as menores ondulações de corrente para ser mais abrangente.

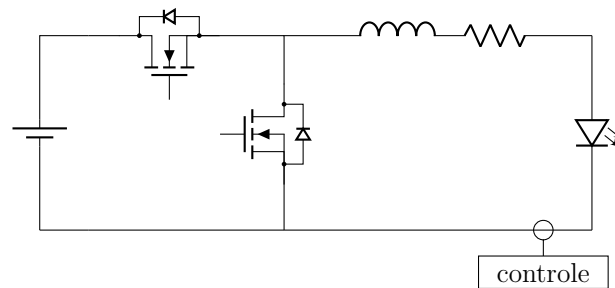
Na operação modulada do diodo laser, a qual poderia ser uma modulação por largura de pulso da corrente, por exemplo, é apreciável conduzir rápidas transições de corrente na carga. Quanto mais rápida for, mais efetiva tende a ser a aplicação do laser. Assim como no caso anterior, a ficha técnica do módulo laser não determina critérios, mas os *drivers* buscam garantir o menor tempo possível ou bordas de transição ajustáveis. Observa-se a faixa de alguns nanossegundos a alguns microssegundos no cenário em estudo, sendo que as transições mais rápidas só são viáveis com cargas de baixa indutância parasita (evitando sobretensões, e possíveis sobrecorrentes na carga, durante a comutação da corrente).

As topologias de circuito para o acionamento do diodo laser variam conforme as necessidades da aplicação. Em casos muito sensíveis à ondulação de corrente, e geralmente em baixas potências, utiliza-se de fontes lineares ou híbridas (associação de uma fonte chaveada seguida de uma linear). Por outro lado, em potências mais elevadas tem-se

a predominância de fontes chaveadas, devido a critérios de eficiência e volume, sendo abordada apenas essa categoria neste trabalho.

Em [24] é utilizado um conversor buck síncrono, Figura 11, para condicionar uma operação contínua (CW) do diodo laser. O cenário de aplicação é no ramo industrial, porém se dispõe de um sistema com características especiais. No caso, um laser de operação contínua (*pump*) é utilizado para polarizar uma fibra óptica, enquanto outro laser de operação pulsada (*seed*) é amplificado nesse meio e assim tem-se o feixe final. O conversor tem o propósito de acionar o *pump* laser.

Figura 11 – Conversor buck síncrono empregado no artigo.

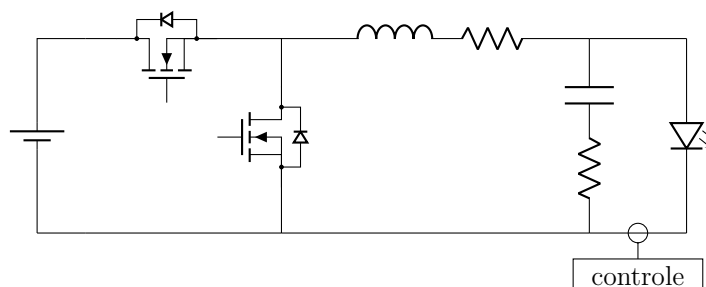


Fonte: Extraída de [24] e modificada pelo autor.

O mesmo conta com o controle ativo da corrente da carga, sendo que, apesar do estudo ser concebido para operação contínua do diodo laser apenas, seria possível obter uma operação pulsada ao atuar na corrente de referência da malha de controle. Além disso, o conversor opera apenas no modo de condução contínuo e os autores implementam uma técnica para sincronizar o *seed* laser com a ondulação de corrente do conversor.

Em [22] utilizam-se de conversores buck síncronos em paralelo, Figura 12, para condicionar uma operação pulsada (QCW) do diodo laser. Neste caso, o emprego de um conversor chaveado é facilitado devido ao sistema laser empregado ser imune a ondulações de corrente (por ser tratado/condicionado em um meio óptico específico). O circuito deve processar cerca de uma centena de ampere, assim associaram-se vários conversores em paralelo (possivelmente oito) para diminuir e distribuir as perdas entre os componentes.

Figura 12 – Conversor buck síncrono com um capacitor na saída empregado no artigo.

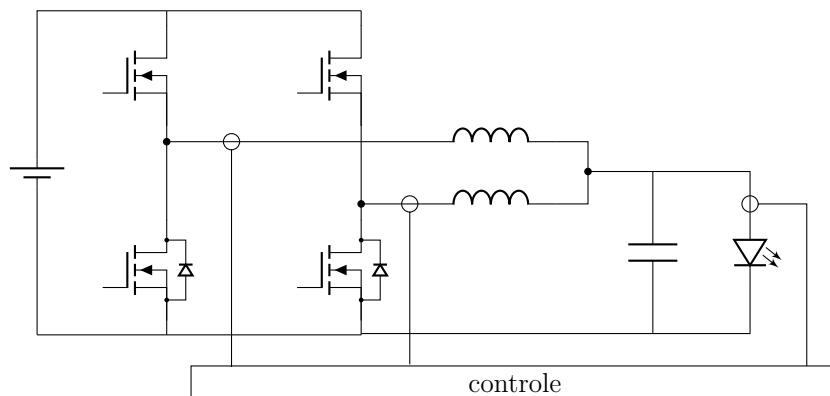


Fonte: Extraída de [22] e modificada pelo autor.

Há um único sinal portador para todos os conversores, enfatizando que os mesmos estão apenas em paralelo, e não em *interleaving*. A retificação síncrona foi adotada para garantir maior eficiência ao sistema, contudo, nota-se picos de corrente nas chaves ao acionar o laser, devido a total descarga do capacitor de saída (a qual acontece quando se define uma referência de corrente nula, durante um intervalo, para desligar a carga) seguida de seu carregamento. Os próprios autores implementam uma técnica no controle para mitigar esse efeito.

Em [25] adota-se um conversor buck *interleaved* com duas fases, Figura 13, para proporcionar uma condução contínua do diodo laser (CW), suprindo até 40 amperes e 2 volts para a carga. Sua aplicação é em um equipamento portátil, e os autores citam o estresse térmico como o principal motivo para usar mais de uma fase, bem como mencionam a necessidade de entregar um sinal com baixa ondulação de corrente. Graças a adequada defasagem das ondas portadoras, ocorre o cancelamento natural das harmônicas de corrente na saída do conversor, o que diminui a ondulação total entregue à carga em determinadas razões cíclicas.

Figura 13 – Conversores buck síncronos em *interleaving* empregado no artigo.



Fonte: Extraída de [25] e modificada pelo autor.

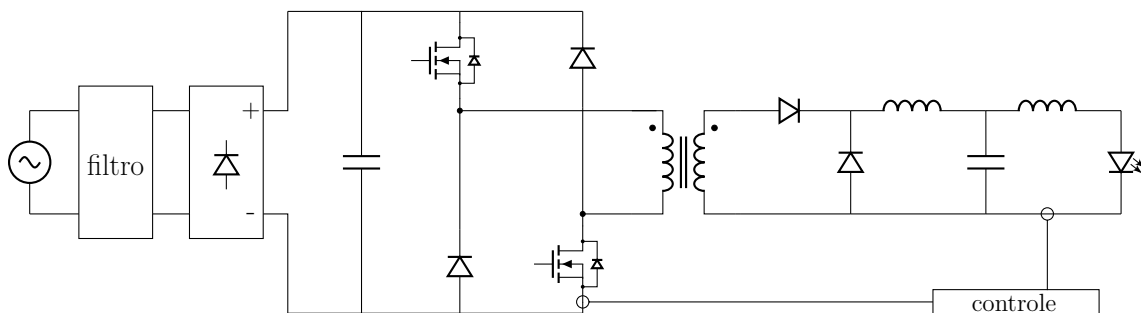
O controle é feito com uma malha interna em *peak current mode control*, principalmente para assegurar o balanço de corrente entre as fases, e com uma malha externa controlando a corrente da carga. Como o laser está sempre acionado, ou seja, trabalha no modo contínuo, não há a descarga periódica do capacitor de saída, assim não ocorrendo os problemas citados anteriormente por [22]. Todavia, enfatiza-se no artigo a prudência da utilização de *soft-start* para a sua carga inicial.

Nota-se que nesses dois últimos conversores, artigos [22] e [25], há um capacitor na saída em paralelo com o diodo laser. Comentou-se neste capítulo sobre a possível nocividade da sua presença devido ao seu comportamento como fonte de tensão nos rápidos transitórios (o que poderia acontecer com a conexão abrupta da carga com o conversor

em funcionamento). Além disso, ao considerar a natureza da carga, *a priori* não haveria necessidade de utilizá-lo, tal como acontece no artigo [24] (Figura 11). Observou-se também que a sua aplicação pode apresentar desafios ao adotar a retificação síncrona, mas os autores que o empregaram não justificaram o seu uso. Uma hipótese seria para aliviar os efeitos de uma desconexão abrupta da carga, pois como não há nenhum circuito limitador, isso culminaria no interrompimento súbito da corrente dos indutores, o que provocaria sobretensões possivelmente destrutivas.

Em uma outra vertente [26], os autores concedem um aprimoramento na dinâmica de comutação da corrente da carga, atuando na malha de controle de um conversor *forward* duas chaves, Figura 14, o qual foi inicialmente implementado em outro estudo principalmente para operação contínua (CW). Com isso, foi possível acelerar as bordas de transição da corrente de 5 ms para aproximadamente 80 μ s, podendo diminuir ainda mais esse tempo ao aumentar a frequência de corte do filtro de saída, mas as custas de uma maior ondulação de corrente.

Figura 14 – Conversor forward duas chaves empregado no artigo.

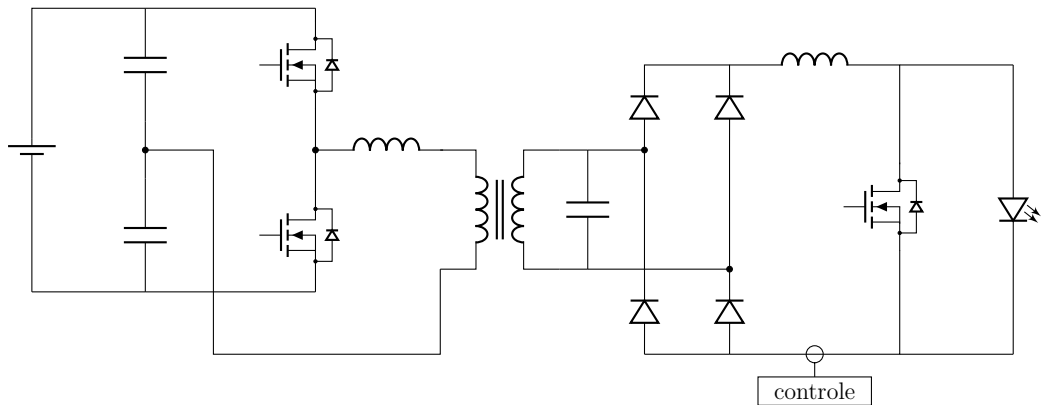


Fonte: Extraída de [26] e modificada pelo autor.

A potência da carga é de 200 W, com 4 V e 50 A, sendo obtida nessa condição uma ondulação de corrente em 250 kHz de 40 mA pico-a-pico (0,08 % da corrente nominal). No controle, há uma malha interna em *peak current mode control* e uma externa aprimorada para garantir melhores dinâmicas, a qual era inicialmente apenas um compensador Proporcional-Integral. A saída apresenta característica de alta impedância devido a um dos indutores do filtro estar em série com a carga.

Por fim, o conversor da Figura 15 é proposto por [4] no intuito de ser confiável e capaz de modular a carga rapidamente. Sua confiabilidade é fruto de um *ballasting element*, indutor em série com o enrolamento primário do transformador, o qual garante uma proteção intrínseca contra sobrecorrentes. Já a rápida comutação da corrente do diodo laser se deve ao MOSFET em paralelo com o mesmo, permitindo comutações na faixa de até alguns nanosegundos, porém o LD deve ser instalado o mais próximo possível do conversor para não aumentar a sua indutância parasita e assim aliviar possíveis sobretensões.

Figura 15 – Conversor empregado no livro.



Fonte: Extraída de [4] e modificada pelo autor.

A potência da carga é de 100 W, com 100 V e 1 A nominais, e a frequência de comutação de 100 kHz. O autor especificou uma ondulação de corrente, no indutor após a ponte retificadora, igual a 10 % da corrente nominal da carga. Contudo, talvez por desta vez se tratar de um livro, e não de um artigo, a referência não traz muitas informações relevantes e os poucos resultados obtidos são apenas de simulação. Apesar disso, o desenrolar da análise qualitativa do conversor apresenta vários pontos pertinentes.

2.4 Conclusão

Representar o diodo laser como um diodo realmente tem embasamento. Deve-se ter muito cuidado com sobrecorrentes, pois suas estruturas ópticas podem ser subitamente danificadas, ao mesmo tempo, descargas eletrostáticas e sobretensões apresentam grandes riscos. Sua baixa eficiência exige um adequado sistema de refrigeração, e o monitoramento da sua temperatura, por segurança. As fontes devem possuir saídas com característica de fonte de corrente para adequado acionamento, o qual pode ser feito de maneira contínua ou pulsada, dependendo das necessidades da aplicação e das características do próprio diodo laser. Deve-se ter cuidado com grandes capacitâncias em paralelo ao mesmo para evitar rápidas descargas potencialmente danosas.

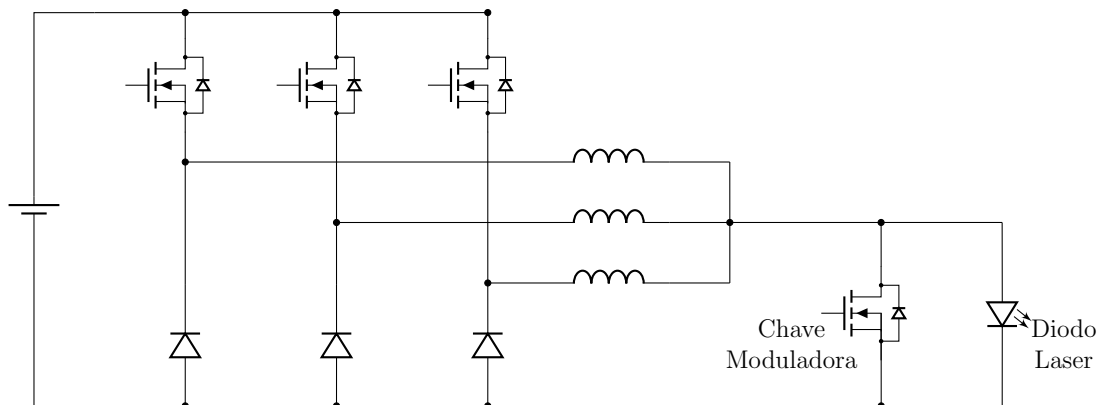
3 Estágio de potência

As regiões de operação do conversor são exploradas e através do circuito médio equivalente obtém-se as equações que estimam o seu ponto de operação. São enfatizados os possíveis problemas com elevadas frequências de comutação e propõe-se uma forma de contorná-los. As características da corrente de entrada são estudadas e apresentam-se os elementos adicionais ao estágio de potência para uma operação mais segura da fonte. As equações obtidas são validadas via simulação, assim como avaliam-se os comportamentos do estágio de potência, sendo evidenciadas condições limitantes de operação.

3.1 Apresentação do conversor

Para o acionamento do diodo laser, emprega-se um conversor buck *interleaved* com três fases, cujo estágio de potência está representado na Figura 16, sendo sua operação sempre no modo contínuo. Nota-se a ausência de um capacitor na sua saída para que se possa aferir um aspecto puro de fonte de corrente (com o adequado controle). Além disso, em paralelo à carga, há um transistor denominado como chave moduladora, o qual é responsável por condicionar uma modulação por largura de pulso na corrente que flui para a carga.

Figura 16 – Estágio de potência simplificado.



Fonte: Produzida pelo autor.

Essa topologia, a qual é essencialmente três conversores buck em paralelo, condiciona menores esforços de corrente em suas chaves e indutores, uma vez que a potência irá se distribuir igualmente pelas fases (com critérios adequados de implementação ou de controle). As portadoras de cada fase estão defasadas entre-si por 120° , proporcionando um cancelamento natural das harmônicas de corrente, reduzindo a magnitude da ondulação da corrente de saída (frente a um caso sem essas defasagens). Esses fatores expandem as

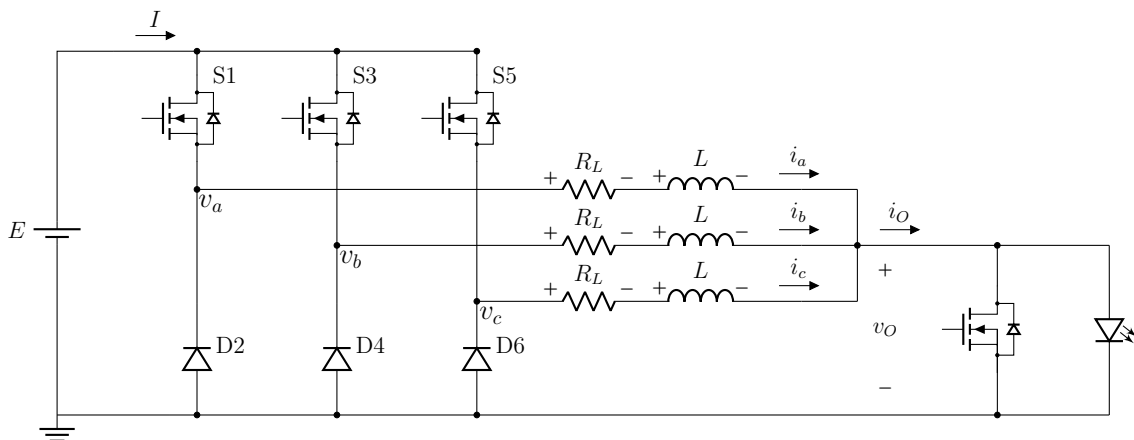
possibilidades para garantir uma maior densidade de potência, enquanto busca-se reduzir as harmônicas da corrente de saída, bem como permitem obter dinâmicas de controle mais rápidas.

Destaca-se que neste trabalho a frequência de comutação do conversor é muito superior a máxima frequência de comutação da chave moduladora (a qual pode ser variada dentro de uma determinada faixa).

3.2 Análise do conversor

Avalia-se o comportamento idealizado do conversor com base nas suas regiões de operação. Devido a modulação empregada, proveniente da técnica de *interleaving*, o conversor é avaliado para três regiões distintas, as quais são igualmente divididas pela faixa de excursão da razão cíclica D (entre zero e um). Este ato é feito ora com a chave moduladora aberta, ora com essa chave fechada, já que sua base de tempo é muito mais lenta do que a do conversor. Na Figura 17 é rerepresentado o circuito com mais detalhes.

Figura 17 – Estágio de potência detalhado.



Fonte: Produzida pelo autor.

Com base nessa figura realizam-se as primeiras considerações e definições do conversor. Os transistores S1, S3, S5, são considerados idênticos do tipo MOSFET, e cada um deles possui uma resistência de canal ativo R_S . Os indutores também são idênticos com as mesmas indutâncias L e resistências R_L , assim como os diodos D2, D4, D6, com suas resistências série R_D e quedas de tensão direta V_D .

A fonte de tensão de entrada E é considerada ideal. A tensão instantânea de saída do conversor é v_O , enquanto a tensão média de saída é V_O . As tensões instantâneas v_a , v_b , v_c , são referentes ao terra do circuito e são respectivas as fases a , b , c . A corrente instantânea de entrada é I . A corrente instantânea de saída é i_O , enquanto seu valor

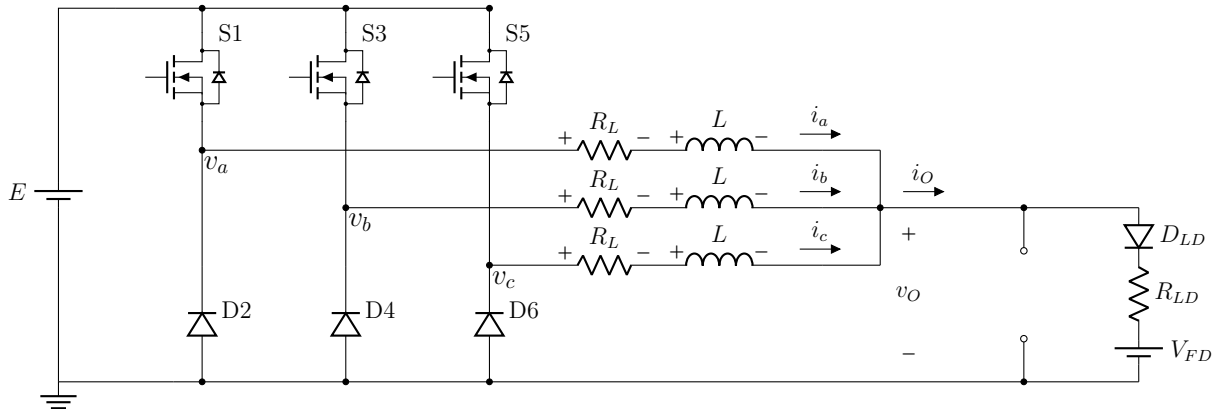
médio é I_O . A corrente instantânea da fase a é i_a , fase b é i_b e fase c é i_c . Por último, o conversor opera com uma frequência de comutação f_s , a qual está relacionada com o período T_S .

Busca-se controlar a corrente de saída, e para isso, é implementada uma malha fechada de controle. Neste trabalho, ao mencionar “corrente de referência”, refere-se a magnitude média da corrente que o controle irá impor em i_O .

3.2.1 Considerando a chave moduladora aberta

Com a chave moduladora aberta, a corrente de saída do conversor flui inteiramente para a carga que deseja acionar. Nas seguintes análises considera-se que essa corrente está acima da corrente de gatilho do diodo laser, portanto, nessa condição é possível representá-lo como uma fonte de tensão V_{FD} , em série com uma resistência R_{LD} , e ainda com um diodo ideal D_{LD} para melhor caracterização do componente, sendo isso tudo ilustrado na Figura 18.

Figura 18 – Conversor com a chave moduladora aberta.

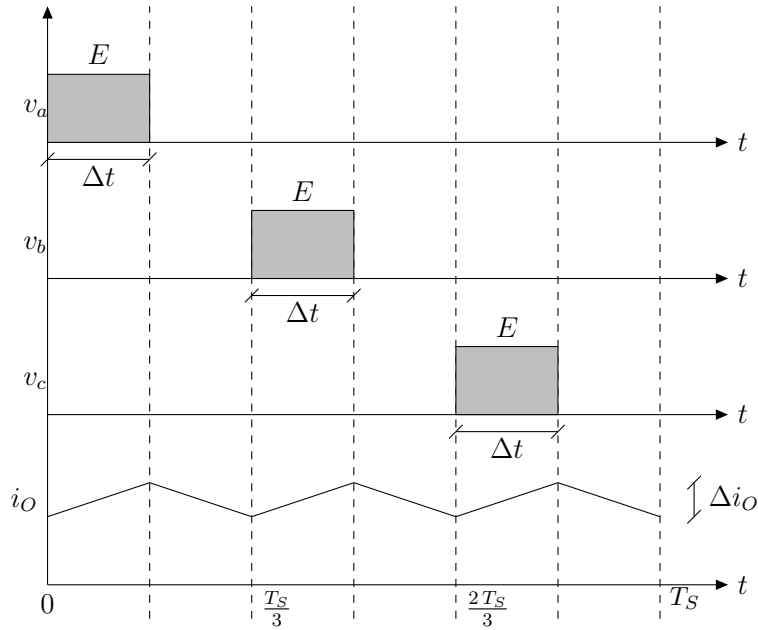


Fonte: Produzida pelo autor.

3.2.1.1 Primeira região de operação

A primeira região de operação é definida no intervalo $0 < D \leq 1/3$. Nesta condição tem-se apenas um dos transistores superiores (S1, S3, S5) conduzindo por vez a cada 120° . Na Figura 19 ilustra-se este caso em um período T_S , sendo apresentadas as tensões no nó de comutação de cada fase (v_a , v_b , v_c) e a corrente de saída i_O , a qual é uma composição de um valor médio I_O sobreposto a uma ondulação Δi_O . Ressalta-se que esta ilustração assume o circuito idealizado, por isso as tensões apresentadas nos intervalos Δt , os quais representam um intervalo de crescimento da ondulação de corrente, são iguais a fonte E .

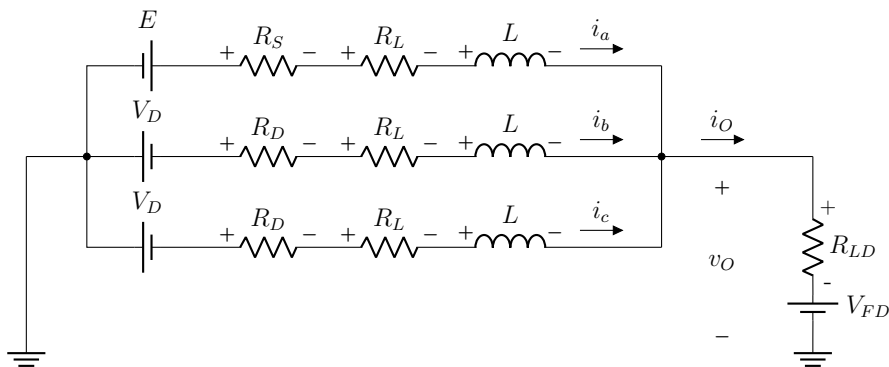
Figura 19 – Formas de onda da primeira região de operação.



Fonte: Produzida pelo autor.

Nota-se como a corrente de saída completa um ciclo em um terço do período de comutação, resultando em uma ondulação com frequência três vezes superior à f_s . Essa condição permite avaliar a ondulação dessa corrente em apenas um intervalo Δt de apenas uma das fases (já que os efeitos são equivalentes e se repetem ao longo do período T_s). Tomando o intervalo Δt da fase a como referência, apresenta-se o circuito equivalente na Figura 20, sendo omitida a representação do diodo ideal D_{LD} por não afetar as análises seguintes.

Figura 20 – Circuito equivalente da primeira região de operação com a chave moduladora aberta.



Fonte: Produzida pelo autor.

Com base no circuito da Figura 20 é possível obter suas equações de estado, con-

forme:

$$\begin{cases} L \frac{di_a}{dt} = E - R_S i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = -V_D - R_D i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = -V_D - R_D i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (3.1)$$

Por hora, deseja-se compreender o comportamento da ondulação da corrente de saída em função da razão cíclica, já que essa informação expõe os princípios de funcionamento do conversor. Sendo assim, as resistências R_D , R_S , R_L , são consideradas nulas, bem como a queda de tensão V_D , e os elementos diferenciais são abordados como elementos por diferenças (relativos ao intervalo Δt), logo, o sistema de equações 3.1 pode ser reescrito como:

$$\begin{cases} L \frac{\Delta i_a}{\Delta t} = E - R_{LD} i_O - V_{FD} \\ L \frac{\Delta i_b}{\Delta t} = -R_{LD} i_O - V_{FD} \\ L \frac{\Delta i_c}{\Delta t} = -R_{LD} i_O - V_{FD}. \end{cases} \quad (3.2)$$

Esse sistema pode ser solucionado ao somar todas as suas equações, resultando em:

$$L \left(\frac{\Delta i_a + \Delta i_b + \Delta i_c}{\Delta t} \right) = E - 3(R_{LD} i_O + V_{FD}). \quad (3.3)$$

Mas,

$$\Delta i_a + \Delta i_b + \Delta i_c = \Delta i_O. \quad (3.4)$$

E assim,

$$L \left(\frac{\Delta i_O}{\Delta t} \right) = E - 3(R_{LD} I_O + V_{FD}). \quad (3.5)$$

Nota-se na Equação 3.5 que, por se tratar de variações médias da corrente de saída, o termo que multiplica R_{LD} agora é I_O , e não mais i_o como era apresentado na Equação 3.3. Com isso, é possível identificar como o termo $R_{LD} I_O + V_{FD}$ é coincidente com a tensão média de saída V_O do conversor. Portanto, a Equação 3.5 pode ser reescrita conforme:

$$L \left(\frac{\Delta i_O}{\Delta t} \right) = E - 3V_O. \quad (3.6)$$

A tensão de saída do conversor deve respeitar o seu ganho estático de tensão. Conforme já comentado, o circuito é constituído por essencialmente três conversores buck em paralelo, logo, suas tensões de entrada e saída são as mesmas, e como se está assumindo que são idênticos, o ganho estático será o mesmo para todos para uma mesma razão cíclica, portanto, a tensão V_O é igual a $D \cdot E$. Com essa informação, e como $\Delta t = D \cdot T_S$ para a

fase a da primeira região de operação, chega-se em:

$$L \left(\frac{\Delta i_O}{D \cdot T_S} \right) = E - 3D \cdot E. \quad (3.7)$$

Isolando Δi_o e substituindo T_S pelo seu equivalente em frequência,

$$\Delta i_O = \frac{E \cdot D(1 - 3D)}{L \cdot f_s}. \quad (3.8)$$

Enfatiza-se que essa equação é válida apenas para a primeira região de operação ($0 < D \leq 1/3$).

Novamente, a intenção no momento é estudar o comportamento da ondulação da corrente de saída em função da razão cíclica, sendo assim, parametriza-se Δi_O para obter seu equivalente parametrizado $\overline{\Delta i_O}$, conforme:

$$\overline{\Delta i_O} = \frac{\Delta i_O \cdot L \cdot f_s}{E} = D(1 - 3D) \quad (3.9)$$

$$\overline{\Delta i_O} = D(1 - 3D). \quad (3.10)$$

Caso seja realizado o produto dos termos da Equação 3.10, fica evidente que essa equação é uma função polinomial, de segundo grau, deslocada da origem e com a concavidade para baixo, conseqüentemente, ela deve possuir um ponto de máximo global. Analiticamente, esse ponto pode ser obtido ao igualar a zero o resultado da derivada da Equação 3.10 em relação a D , assim obtendo:

$$\frac{d\overline{\Delta i_O}}{dD} = 1 - 6D = 0 \quad (3.11)$$

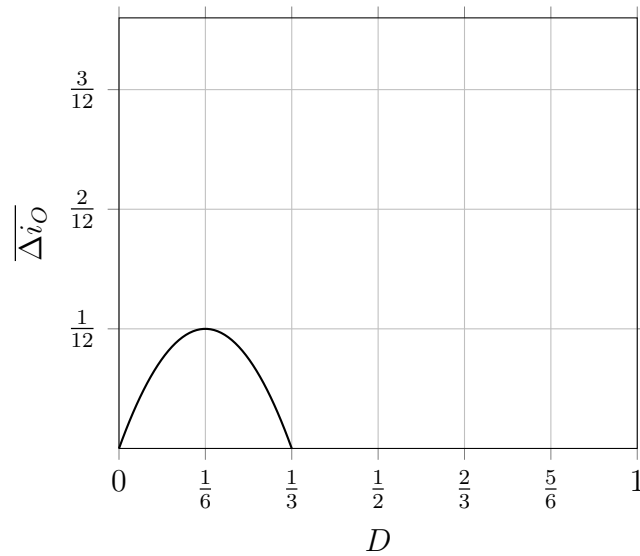
$$D = \frac{1}{6}. \quad (3.12)$$

Dessa maneira, na primeira região de operação, a razão cíclica igual a um sexto resulta na máxima ondulação relativa da corrente de saída. Ao substituir esse resultado na Equação 3.10, obtém-se a magnitude máxima da variável $\overline{\Delta i_O}$, a qual é representada por $\overline{\Delta i_{Omax}}$, cujo valor é igual a:

$$\overline{\Delta i_{Omax}} = \frac{1}{12}. \quad (3.13)$$

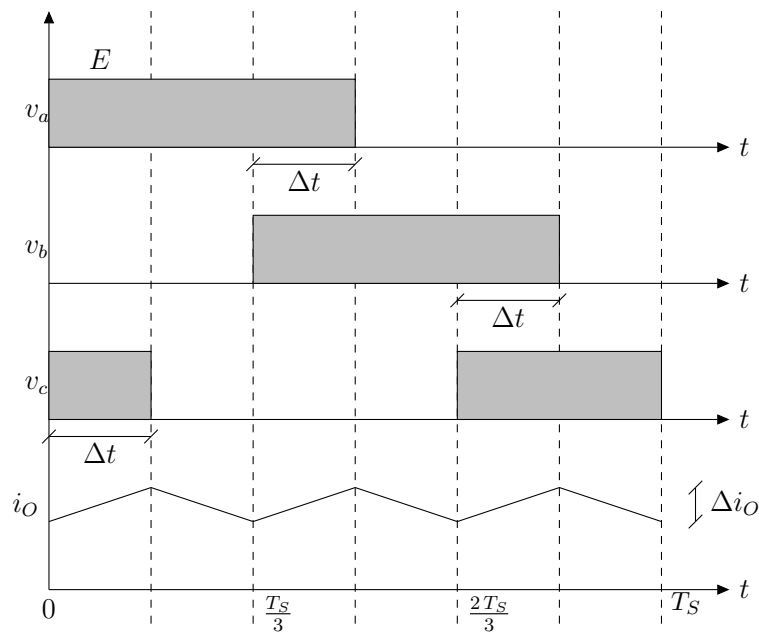
Por fim, apresenta-se o comportamento gráfico da Equação 3.10 na Figura 21.

Figura 21 – Ondulação da corrente de saída parametrizada da primeira região de operação.



Fonte: Produzida pelo autor.

Figura 22 – Formas de onda da segunda região de operação.



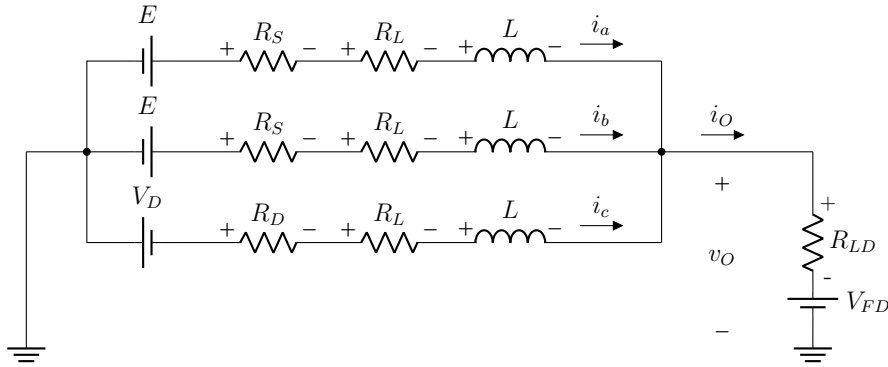
Fonte: Produzida pelo autor.

3.2.1.2 Segunda região de operação

A segunda região de operação é definida no intervalo $1/3 \leq D \leq 2/3$. Nesta condição, tem-se um ou dois transistores superiores conduzindo simultaneamente a cada 120° . De mesmo modo como abordado na primeira região de operação, ilustra-se na Figura 22 as formas de onda para este caso.

Com relação a essa figura, e ao tomar o intervalo Δt da fase a como referência, o circuito equivalente do conversor é apresentado na Figura 23.

Figura 23 – Circuito equivalente da segunda região de operação com a chave moduladora aberta.



Fonte: Produzida pelo autor.

Com base nesse circuito é possível obter suas equações de estado, conforme:

$$\begin{cases} L \frac{di_a}{dt} = E - R_S i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = E - R_S i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = -V_D - R_D i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (3.14)$$

Analogamente a primeira região de operação, soluciona-se esse sistema de equações, e após as mesmas manipulações e considerações, chega-se na seguinte equação:

$$L \left(\frac{\Delta i_O}{\Delta t} \right) = 2E - 3V_O. \quad (3.15)$$

Agora, considerando a fase a , o intervalo Δt é expresso como:

$$\Delta t = D \cdot T_S - \frac{T_S}{3}. \quad (3.16)$$

Substituindo 3.16 em 3.15, isolando Δi_O e já sabendo que $V_O = D \cdot E$, chega-se em:

$$\Delta i_O = \frac{E \cdot (3D - 1)(2 - 3D)}{3 \cdot L \cdot f_s}. \quad (3.17)$$

Parametrizando,

$$\overline{\Delta i_O} = \frac{\Delta i_O \cdot L \cdot f_s}{E} = \frac{(3D - 1)(2 - 3D)}{3} \quad (3.18)$$

$$\overline{\Delta i_O} = \frac{(3D - 1)(2 - 3D)}{3}. \quad (3.19)$$

Encontrando a razão cíclica que culmina na máxima ondulação de corrente parametrizada,

$$\frac{d\overline{\Delta i_O}}{dD} = 3 - 6D = 0 \quad (3.20)$$

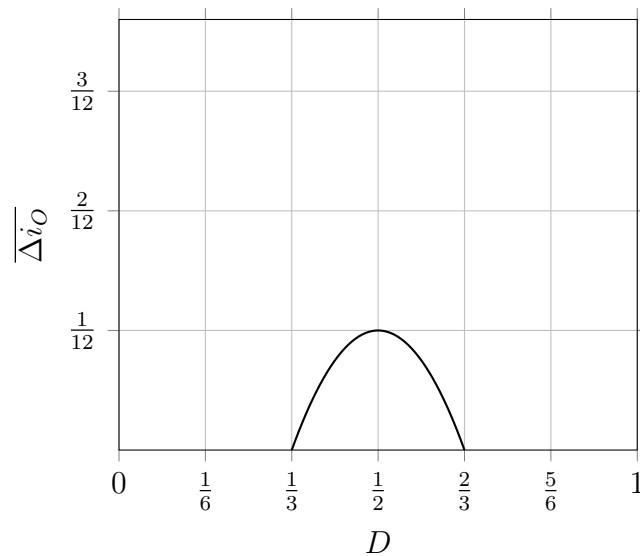
$$D = \frac{1}{2}. \quad (3.21)$$

Substituindo 3.21 em 3.19, chega-se em:

$$\overline{\Delta i_{Omax}} = \frac{1}{12}. \quad (3.22)$$

Por fim, o comportamento gráfico da equação 3.19 é apresentado na Figura 24.

Figura 24 – Ondulação da corrente de saída parametrizada da segunda região de operação.



Fonte: Produzida pelo autor.

3.2.1.3 Terceira região de operação

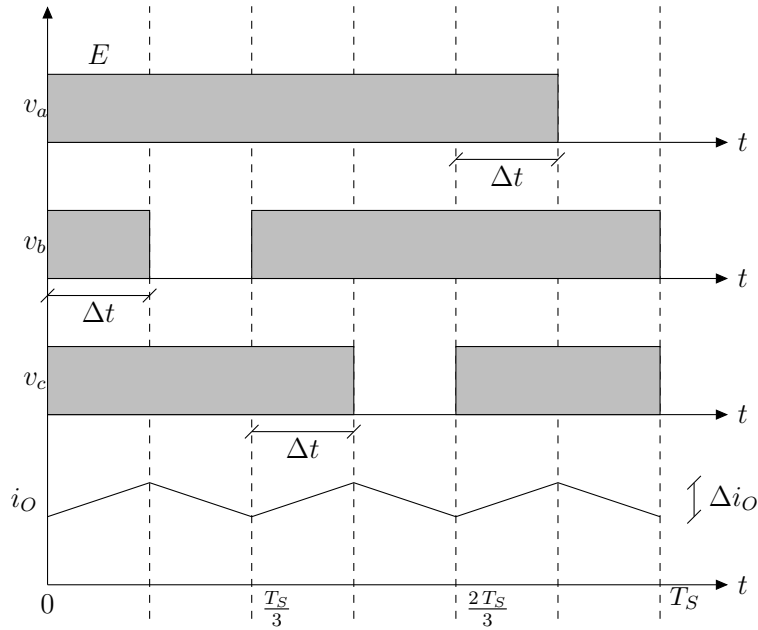
A terceira região de operação é definida no intervalo $2/3 \leq D < 1$. Nesta condição tem-se dois ou três transistores superiores conduzindo concomitantemente a cada 120° . De modo análogo aos casos anteriores, ilustra-se na Figura 25 as formas de onda para este caso.

Com relação a Figura 25, ao tomar o intervalo Δt da fase a como referência, o circuito equivalente do conversor é apresentado na Figura 26.

Com base nesse circuito é possível obter suas equações de estado, conforme:

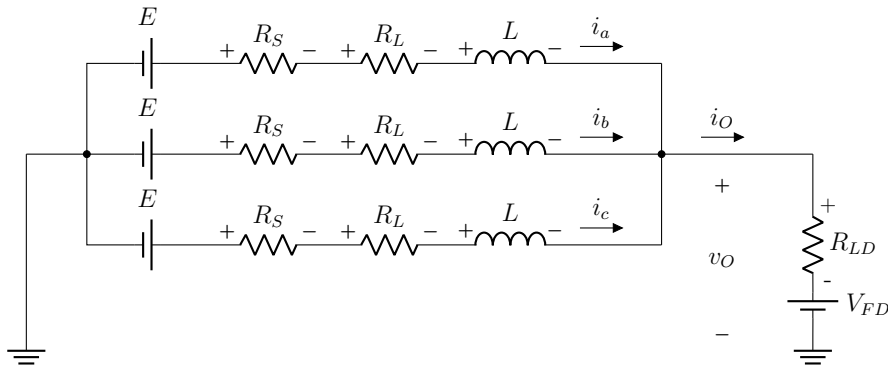
$$\begin{cases} L \frac{di_a}{dt} = E - R_S i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = E - R_S i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = E - R_S i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (3.23)$$

Figura 25 – Formas de onda da terceira região de operação.



Fonte: Produzida pelo autor.

Figura 26 – Circuito equivalente da terceira região de operação com a chave moduladora aberta.



Fonte: Produzida pelo autor.

De modo análogo aos casos anteriores, soluciona-se esse sistema de equações, e após as mesmas manipulações e considerações, chega-se na seguinte equação:

$$L \left(\frac{\Delta i_o}{\Delta t} \right) = 3E - 3V_O. \quad (3.24)$$

Agora, considerando a fase a , o intervalo Δt é expresso como:

$$\Delta t = D \cdot T_s - \frac{2T_s}{3}. \quad (3.25)$$

Substituindo 3.25 em 3.24, já isolando Δi_o e como $V_O = D \cdot E$, chega-se em:

$$\Delta i_o = \frac{E \cdot (1 - D)(3D - 2)}{L \cdot f_s}. \quad (3.26)$$

Parametrizando,

$$\overline{\Delta i_o} = \frac{\Delta i_o \cdot L \cdot f_s}{E} = (1 - D)(3D - 2) \quad (3.27)$$

$$\overline{\Delta i_O} = (1 - D)(3D - 2). \quad (3.28)$$

Encontrando a razão cíclica que acarreta na máxima ondulação de corrente parametrizada,

$$\frac{d\overline{\Delta i_O}}{dD} = 5 - 6D = 0 \quad (3.29)$$

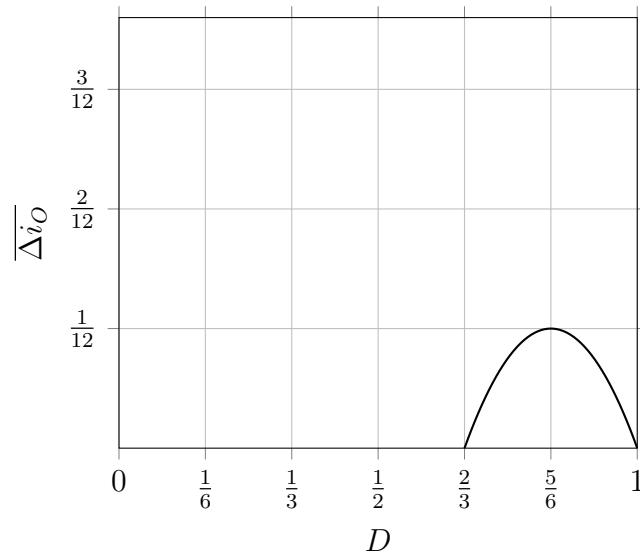
$$D = \frac{5}{6}. \quad (3.30)$$

Substituindo 3.30 em 3.28, obtém-se:

$$\overline{\Delta i_{Omax}} = \frac{1}{12}. \quad (3.31)$$

Por fim, o comportamento gráfico da Equação 3.28 é apresentado na Figura 27.

Figura 27 – Ondulação da corrente de saída parametrizada da terceira região de operação.



Fonte: Produzida pelo autor.

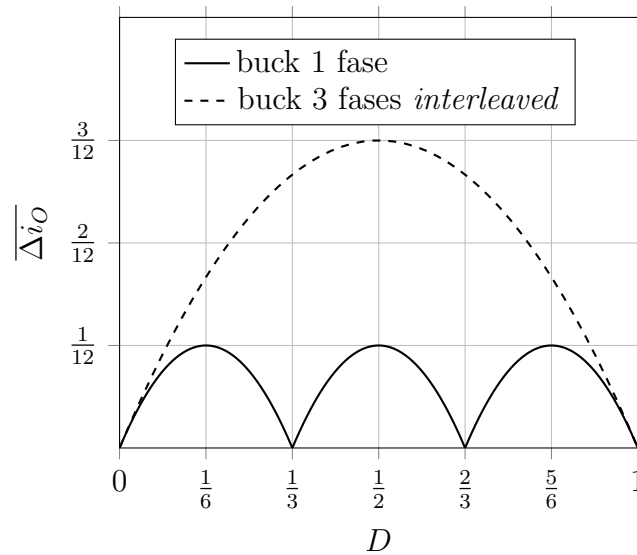
3.2.1.4 Síntese das regiões de operação

O comportamento da ondulação de corrente parametrizada, $\overline{\Delta i_O}$, pode ser visualizado como um todo ao reunir as Equações 3.10, 3.19 e 3.28, referentes a cada uma das três regiões de operação, em uma única função por partes conforme a seguinte Equação 3.32.

$$\frac{\Delta i_O \cdot L \cdot f_s}{E} = \overline{\Delta i_O} = \begin{cases} D(1 - 3D) & 0 < D \leq 1/3 \\ \frac{(3D - 1)(2 - 3D)}{3} & 1/3 \leq D \leq 2/3 \\ (1 - D)(3D - 2) & 2/3 \leq D < 1. \end{cases} \quad (3.32)$$

Na Figura 28 é apresentada a ondulação da corrente de saída parametrizada contemplando todos os casos. Além disso, esboça-se uma curva tracejada para representar essa mesma corrente, porém considerando um conversor buck, a título de comparativo para as análises seguintes.

Figura 28 – Ondulação da corrente de saída parametrizada.



Fonte: Produzida pelo autor.

Nota-se como a operação em *interleaving*, mesmo diante de uma carga como um diodo laser, proporciona uma menor ondulação da corrente de saída, três vezes menor para um razão cíclica igual a $1/2$, considerando os dois conversores operando com uma mesma frequência de comutação, indutâncias e tensão de entrada. Mais ainda, na faixa de excursão da razão cíclica, agora tem-se múltiplos pontos em que a ondulação é teoricamente, e idealmente, igual a zero.

Por fim, as indutâncias do conversor podem ser dimensionadas para o pior caso, ou seja, considerando a máxima ondulação de corrente. Nessa condição, tem-se que $\Delta i_O = \Delta i_{Omax}$ e assim:

$$\overline{\Delta i_O} = \frac{1}{12} = \frac{\Delta i_{Omax} \cdot L \cdot f_s}{E}. \quad (3.33)$$

Portanto, o cálculo das indutâncias é dado pela seguinte Equação 3.34.

$$L = \frac{E}{12 \cdot f_s \cdot \Delta i_{Omax}}. \quad (3.34)$$

3.2.1.5 Circuito médio equivalente

Com base no circuito médio equivalente do conversor, ou modelo médio, é possível adquirir melhores noções sobre as suas grandezas médias, assim como obter expressões para determiná-las. Esse modelo pode ser obtido ao tomar a média das equações de estado

do sistema [27], logo, primeiramente deve-se obtê-las. Para isso, assume-se que as chaves superiores do conversor estão conduzindo no intervalo relativo a D de cada fase, assim chegando ao sistema de equações 3.35.

$$\begin{cases} L \frac{di_a}{dt} = E - R_S i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = E - R_S i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = E - R_S i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (3.35)$$

Já o outro conjunto de equações é proveniente do intervalo complementar $1 - D$ de cada fase, ou seja, com as chaves superiores bloqueadas e as inferiores conduzindo, resultando no sistema de equações 3.36.

$$\begin{cases} L \frac{di_a}{dt} = -V_D - R_D i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = -V_D - R_D i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = -V_D - R_D i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (3.36)$$

As equações médias de cada estado podem ser obtidas ao multiplicar por D cada termo do sistema 3.35, multiplicar por $1 - D$ cada termo do sistema 3.36, e ao final somar ambos os sistemas [27]. Além disso, em regime permanente, a variação da corrente no indutor é zero em um período de comutação, exprimindo que sua tensão média deve ser nula para estar em equilíbrio energético, fazendo com que o resultado da soma dos elementos diferenciais seja igual a zero [27]. Portanto, obtém-se as equações médias conforme 3.37.

$$\begin{cases} 0 = E \cdot D - V_D \cdot (1 - D) - R_D I_a (1 - D) - R_S I_a D - R_L I_a - R_{LD} I_O - V_{FD} \\ 0 = E \cdot D - V_D \cdot (1 - D) - R_D I_b (1 - D) - R_S I_b D - R_L I_b - R_{LD} I_O - V_{FD} \\ 0 = E \cdot D - V_D \cdot (1 - D) - R_D I_c (1 - D) - R_S I_c D - R_L I_c - R_{LD} I_O - V_{FD}. \end{cases} \quad (3.37)$$

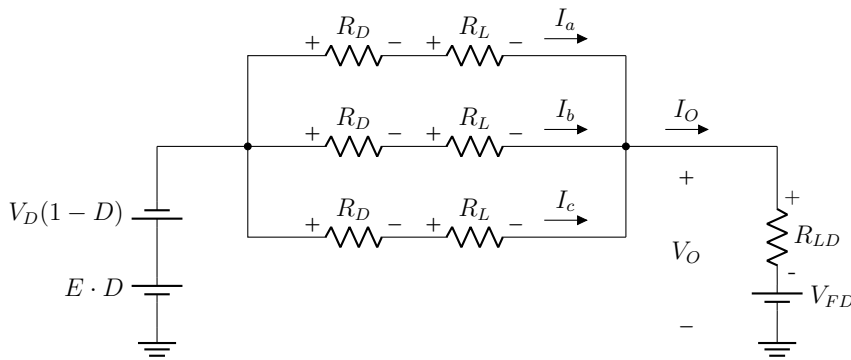
De modo a tornar as análises seguintes mais diretas, menos ofuscadas, considera-se $R_S = R_D$. Essa consideração é realmente plausível. As chaves utilizadas no protótipo deste trabalho atendem razoavelmente essa condição. Divergências na faixa de algumas dezenas de miliohm pouquíssimo influenciam nos resultados de interesse. Apesar disso, no projeto pode-se adotar o menor valor entre os dois por segurança (devido a uma possível condição limitante da razão cíclica explorada ao longo deste trabalho), ou, de preferência, o valor de R_D . Por hora, o mais importante e impactante é a queda de tensão direta do

diodo. Dessa forma, o sistema 3.37 é reescrito conforme 3.38.

$$\begin{cases} 0 = E \cdot D - V_D \cdot (1 - D) - R_D I_a - R_L I_a - R_{LD} I_O - V_{FD} \\ 0 = E \cdot D - V_D \cdot (1 - D) - R_D I_b - R_L I_b - R_{LD} I_O - V_{FD} \\ 0 = E \cdot D - V_D \cdot (1 - D) - R_D I_c - R_L I_c - R_{LD} I_O - V_{FD}. \end{cases} \quad (3.38)$$

Um circuito médio sintetizado pode ser obtido com base nas equações de 3.38, sendo apresentado na Figura 29. Este circuito expõe uma consideração importante so-

Figura 29 – Circuito médio sintetizado.



Fonte: Produzida pelo autor.

bre a distribuição das correntes entre as fases do conversor. Considerando uma mesma razão cíclica em todas as fases, a corrente média de cada fase depende exclusivamente das resistências em que nelas se encontram, assim, só haverá uma distribuição homogênea das correntes entre as fases, caso a resistência total de cada uma seja a mesma. Para tornar essa consideração mais explícita, apresenta-se a Equação 3.39 da corrente média da fase a (I_a).

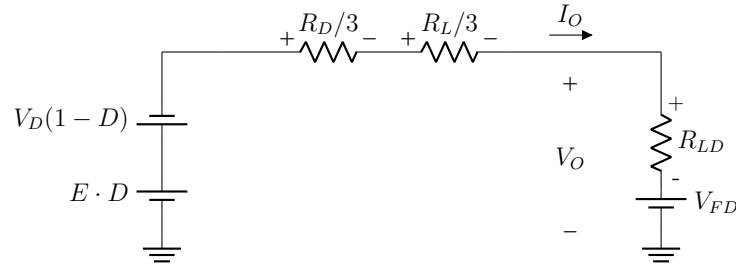
$$I_a = \frac{D \cdot E - V_D(1 - D) - V_O}{R_D + R_L}. \quad (3.39)$$

Dessa forma, como a tensão de entrada e de saída é a mesma para todas as fases, os únicos elementos capazes de alterar a distribuição das correntes entre as fases são suas próprias resistências (a queda de tensão nos diodos também). Evidentemente, por hora está se assumindo uma única razão cíclica, mas em outras situações cada fase poderia ter a sua respectiva razão cíclica, e com isso, obter o controle das correntes individuais atuando nela, ao invés das resistências.

Dando sequência, pode-se manipular o circuito médio sintetizado da Figura 29 para obter o circuito médio equivalente da Figura 30.

Com base nesse circuito é possível estimar o valor médio da razão cíclica de

Figura 30 – Circuito médio equivalente com a chave moduladora aberta.



Fonte: Produzida pelo autor.

operação, na condição da chave moduladora aberta, conforme:

$$D = \frac{\left(\frac{R_D + R_L}{3} + R_{LD}\right) \cdot I_O + V_{FD} + V_D}{E + V_D}. \quad (3.40)$$

Contudo, por vezes não se tem com antecedência os valores de R_{LD} e V_{FD} , pois o fabricante pode não fornecê-los individualmente. Geralmente é disponibilizada a queda de tensão média total sobre o diodo laser, V_{LD} , a qual é igual a composição de $R_{LD}I_O + V_{FD}$. Dessa forma, a Equação 3.40 pode ser reescrita conforme:

$$D = \frac{\left(\frac{R_D + R_L}{3}\right) \cdot I_O + V_{LD} + V_D}{E + V_D}. \quad (3.41)$$

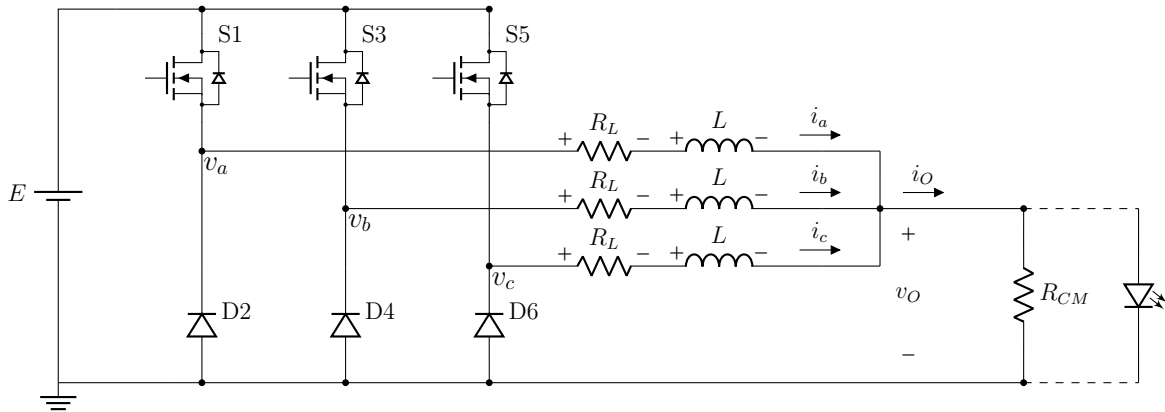
Nota-se que ao idealizar o circuito, fazendo R_D , R_L e V_D igual a zero, e como $V_{LD} = V_O$, a Equação 3.41 nessas condições é igual a equação do ganho estático de tensão ideal do conversor buck.

3.2.2 Considerando a chave moduladora fechada

Quando a chave moduladora está conduzindo, ou, no caso, fechada, sua representação é dada por uma resistência R_{CM} (já que está se empregando um MOSFET). Apresenta-se na Figura 31 este caso. Nesta condição, *a priori* toda a corrente de saída do conversor irá fluir por ela, contudo, o diodo laser não é desconectado do circuito, e ele ainda pode ser acionado indevidamente dependendo da queda de tensão sobre a chave moduladora. Para condicionar uma operação segura, deve-se garantir que o produto $i_O \cdot R_{CM}$ seja consideravelmente inferior a tensão de operação V_{LD} .

Satisfazendo essa condição, a corrente flui majoritariamente por R_{CM} , permitindo eliminar a representação e os efeitos do diodo laser das análises seguintes.

Figura 31 – Conversor com a chave moduladora fechada



Fonte: Produzida pelo autor.

3.2.2.1 Regiões de operação

Apesar de ser possível apresentar uma análise minuciosa das regiões de operação com a chave moduladora fechada, fazer isso seria um tanto quanto redundante, pois não há diferença nos resultados finais das análises. O comportamento da ondulação de corrente, e o cálculo da indutância com base na Equação 3.34, permanecem inalterados.

De modo a demonstrar uma maior clareza ao argumento, pode-se notar que a única diferença no equacionamento se dá nas equações de estado, uma vez que foi alterada a carga apenas. Dessa maneira, a adaptação é feita ao considerar $V_{FD} = 0$ e $R_{LD} = R_{CM}$. Um ponto chave no equacionamento da primeira região de operação acontece com a Equação 3.5, rerepresentada aqui, conforme:

$$L \left(\frac{\Delta i_O}{\Delta t} \right) = E - 3(R_{LD}I_O + V_{FD}). \quad (3.42)$$

Nessa etapa foi possível identificar como o termo $R_{LD}I_O + V_{FD}$ é coincidente com a tensão média de saída do conversor, e com isso, reescrevê-lo como V_O . Ao aplicar as condições enunciadas sobre a adaptação da carga na Equação 3.42, chega-se em:

$$L \left(\frac{\Delta i_O}{\Delta t} \right) = E - 3(R_{CM}I_O + 0). \quad (3.43)$$

Nota-se como $R_{CM}I_O$ ainda é coincidente com a tensão média de saída do conversor. Basta observar a Figura 31. Sendo assim, a Equação 3.43 pode ser escrita como:

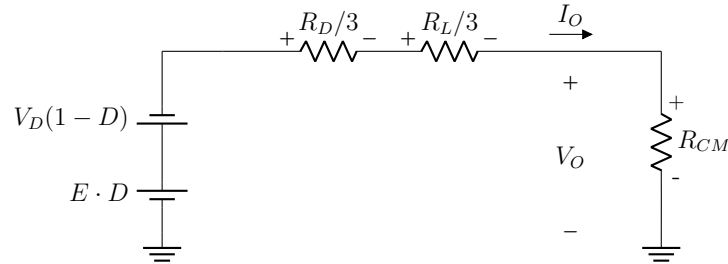
$$L \left(\frac{\Delta i_O}{\Delta t} \right) = E - 3V_O. \quad (3.44)$$

Essa Equação 3.44 é idêntica a Equação 3.6 da primeira região de operação com a chave moduladora aberta. Portanto, não há distinção no equacionamento que se segue, conduzindo exatamente aos mesmos resultados. Por hora, direcionou-se a análise com relação apenas a primeira região de operação, mas o procedimento é válido e igual para os demais estados.

3.2.2.2 Circuito médio equivalente

O procedimento para a obtenção do circuito médio equivalente segue sendo o mesmo realizado com a chave moduladora aberta. Contudo, agora altera-se a carga, sendo $V_{FD} = 0$ e $R_{LD} = R_{CM}$, obtendo o circuito da Figura 32 e a Equação 3.45.

Figura 32 – Circuito médio equivalente com a chave moduladora fechada.



Fonte: Produzida pelo autor.

$$D = \frac{\left(\frac{R_D + R_L}{3} + R_{CM}\right) \cdot I_O + V_D}{E + V_D}. \quad (3.45)$$

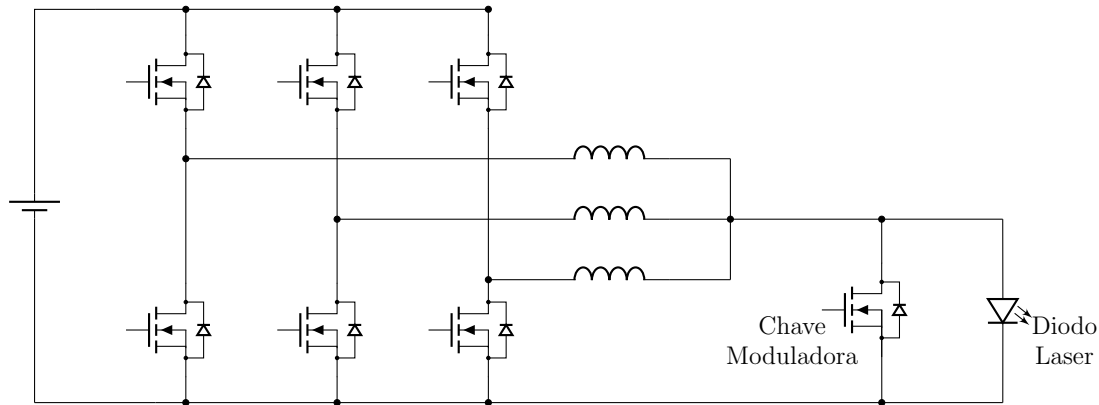
3.3 Cuidados com elevadas frequências de comutação do conversor

O conversor estudado neste trabalho utiliza diodos de roda-livre nos braços de cada fase do circuito. Essa é uma forma de garantir maior robustez, uma vez que os diodos são elementos passivos e por isso não dependem de sinais de comando, os quais podem ser causadores de problemas, bem como intrinsecamente impedem a ocorrência de curto-circuito da célula de comutação. Por outro lado, maiores eficiências podem ser atingidas com o uso da retificação síncrona, diga-se, braços compostos por dois MOSFETs, conforme exemplo da Figura 33, devido a ausência da queda de tensão direta do diodo (obviamente, isso depende da corrente e das características dos componentes). Entretanto, essa técnica pode apresentar uma certa adversidade abordada logo em seguida.

Primeiro, é necessário estimar a razão cíclica de operação quando a chave moduladora está fechada. O procedimento é igual ao já realizado, mas agora, deve-se definir $V_D = 0$ e $R_D = R_S$ nas equações de estado 3.38, por exemplo. Uma outra alternativa é aplicar essas condições direto na Equação 3.45. O resultado é apresentado na seguinte Equação 3.46.

$$D = \frac{\left(\frac{R_S + R_L}{3} + R_{CM}\right) \cdot I_O}{E}. \quad (3.46)$$

Figura 33 – Estágio de potência com retificação síncrona.



Fonte: Produzida pelo autor.

Consideram-se os seguintes dados razoavelmente condizentes com o projeto deste trabalho: $E = 48\text{ V}$; $R_S = 30\text{ m}\Omega$; $R_L = 60\text{ m}\Omega$; $R_{CM} = 20\text{ m}\Omega$. Com uma corrente nominal de 30 A , $D = 0,03125$, ou, em percentual, $3,125\%$. Na frequência de comutação de 500 kHz , o tempo de condução das chaves superiores deve ser $62,5\text{ ns}$, até então nenhuma surpresa. Entretanto, supondo que se deseja $I_O = 3\text{ A}$, assim a razão cíclica é de $0,3125\%$, resultando em um tempo de condução igual a $6,25\text{ ns}$.

É justamente esse tempo ínfimo que pode ser uma situação problemática. Por exemplo, os *gate drivers* utilizados no protótipo deste trabalho exigem um sinal de comando com largura de pulso mínima de 50 ns , muito acima dos $6,25\text{ ns}$. As dimensões aproximadas do dispositivo são de $4,5\text{ mm} \times 10,5\text{ mm}$, ou seja, muito pequeno, e foi escolhido por apresentar uma das melhores performances frente a vários outros.

Ao olhar para o microcontrolador, pois está se implementando um controle digital, seu *enhanced pulse width modulator* (ePWM) consegue atingir uma razão cíclica mínima de $1,5\%$, muito acima dos $0,3125\%$ necessários. O dispositivo é um dos mais avançados no momento para aplicação no cenário de eletrônica de potência. Salienta-se estar utilizando o módulo *high-resolution pulse width modulator* (HRPWM) para atender adequada resolução digital em 500 kHz .

Portanto, nota-se como as análises indicam possíveis limitações na implementação da solução, pois, um limite inferior em D acaba implicando em uma corrente mínima a ser mantida nos indutores, possivelmente acima da desejada, enquanto a chave moduladora está fechada. Seu valor, o qual pode ser calculado pela Equação 3.46, deve ser menor do que a corrente máxima do diodo laser, assim evitando entregar uma sobrecorrente potencialmente danosa ao abrir a chave, uma vez que o controle leva um certo tempo para restabelecê-la. Mas também, seu valor deve ser superior a mínima corrente de referência estabelecida em projeto, evitando operar o conversor em um estado com a ação de controle

saturada, e evitando entregar momentaneamente uma corrente acima da referência.

Conforme demonstrado primeiramente, com $I_O = 30\text{ A}$ a situação é promissora para implementação, mas com $I_O = 3\text{ A}$ já não é o mesmo. A Equação 3.46 indica que aumentar R_S ou R_L , causa menos impacto para atingir uma razão cíclica mínima para uma mesma corrente, do que aumentar R_{CM} , visto que os termos são divididos por três. Ao mesmo tempo, adotar R_{CM} maior, por mais que a corrente de saída mínima necessária seja menor, as perdas quadráticas são muito mais expressivas, pois a chave moduladora processa toda a corrente de saída quando fechada, e I_O pode excursionar até valores nominais da fonte, sendo uma estratégia limitada para resolver esta condição.

O anseio por maiores eficiências, atrelado às capacidades de comando com frequências de comutação consideráveis, parece esbarrar em uma impossibilidade de execução. E nem se está considerando ainda os tempos de comutação do transistor discreto (os quais tendem a aumentar a mínima largura de pulso realizável). Diminuir a frequência de comutação, para que os tempos de condução não sejam tão ínfimos, pode ser inviável devido a possíveis dinâmicas de controle mais lentas, o que pode impedir de atingir determinadas frequências de comutação da chave moduladora (mantendo uma corrente de boa qualidade). Evidentemente, como o cenário da eletrônica em geral está em constante progresso, o que é um problema hoje pode não ser amanhã.

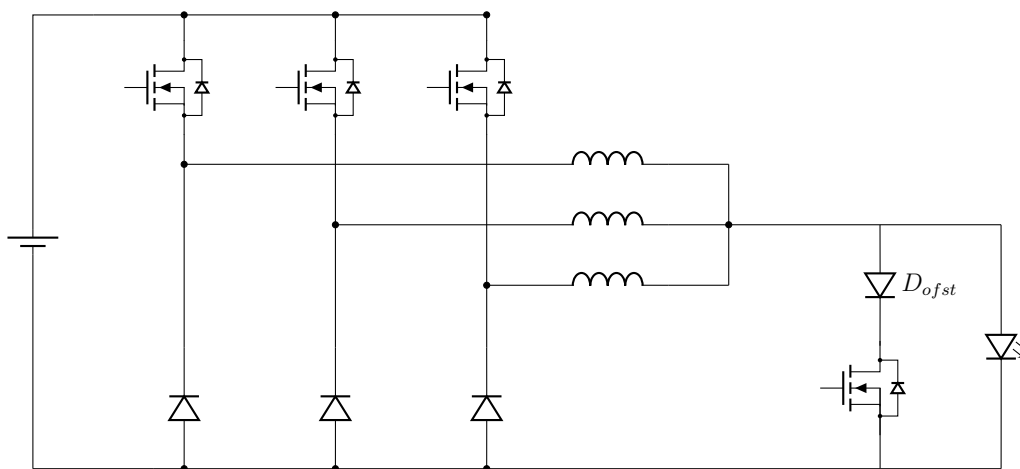
Mas quando não se está utilizando retificação síncrona, $D = 1,745\%$, com base na Equação 3.45 e considerando $V_D = 0,7\text{ V}$. O tempo de condução passa a ser de $34,9\text{ ns}$. Não é perfeito, mas já é melhor. Nota-se como os valores ainda indicam possíveis limitações na hora da implementação, contudo, a corrente mínima a ser mantida será menor (fornecendo maiores margens seguras para a variação da corrente de saída). Neste resultado adotou-se novamente $R_S = R_D$ e utilizou-se do valor especificado de $30\text{ m}\Omega$. O diodo em questão na realidade tem uma resistência série mais próxima de $50\text{ m}\Omega$, conduzindo a $D = 1,786\%$, demonstrando que “divergências na faixa de algumas dezenas de miliohm pouquíssimo influenciam nos resultados de interesse”, conforme pautado na obtenção da Equação 3.38.

Assim sendo, observa-se como a queda de tensão direta do diodo pode ser muito benéfica ao funcionamento geral da fonte, dissipando o excedente de energia dos indutores para manter seu equilíbrio energético quando a chave moduladora está acionada. Enquanto sem o diodo a razão cíclica depende estritamente da corrente de saída, Equação 3.46, com ele há um termo significativo e independente da corrente no numerador (V_D - Equação 3.45) que contribui para resultados melhores. Por essas questões, é preferível diodos com quedas de tensão totais mais expressivas, e inclusive que cresçam com seu aumento de temperatura, tornando diodos SiC Schottky uma escolha muito pro-

missora.

Entretanto, conforme a recém pautado, mesmo com o diodo de roda-livre a situação talvez ainda esteja além dos limites realizáveis. Uma estratégia para condicionar margens de operação mais amplas, é adicionar um diodo em série com a chave moduladora (D_{offset}), causando uma espécie de *offset* da tensão de saída, conforme apresentado na Figura 34. Colocá-lo acima do MOSFET impede que a sua queda de tensão influencie diminuindo a sua tensão *gate-source*, permitindo utilizar mais aproveitadamente um *gate driver* que possui o terra do estágio de potência como sua referência.

Figura 34 – Estágio de potência com diodo *offset*.



Fonte: Produzida pelo autor.

O diodo *offset*, conforme assim será chamado, possui uma queda de tensão direta $V_{D_{offset}}$ e uma resistência série equivalente $R_{D_{offset}}$. A Equação 3.45, respectiva à razão cíclica com a chave moduladora fechada, pode ser pensada como se tivesse sido elaborada considerando $V_{D_{offset}} = 0\text{ V}$ e $R_{D_{offset}} = 0\ \Omega$ no ramo da chave moduladora, portanto, ao considerar valores não-nulos, obtém-se a Equação 3.47 para o cálculo da razão cíclica com D_{offset} .

$$D = \frac{\left(\frac{R_D + R_L}{3} + R_{CM} + R_{D_{offset}} \right) \cdot I_O + V_D + V_{D_{offset}}}{E + V_D}. \quad (3.47)$$

Nota-se como $V_{D_{offset}}$ aparece apenas no numerador dessa equação, ao contrário de V_D que aparece no denominador também, de certa forma amenizando seu efeito. Ao considerar $V_{D_{offset}} = 0,7\text{ V}$ e $R_{D_{offset}} = 15\text{ m}\Omega$, com uma mesma corrente de 3 A , agora tem-se $D = 3,275\%$, situação consideravelmente acima dos $2,5\%$ mínimos requeridos pelo *gate driver* (com $f_s = 500\text{ kHz}$). Portanto, assim há maiores margens seguras para a excursão da corrente de saída.

O preço a ser pago são superiores perdas enquanto a chave moduladora está fechada, equivalente a um estado de *standby* por não estar fornecendo potência à carga, mas

essa é uma forma relativamente simples de preservar o equilíbrio de energia dos indutores sob as incapacidades de acionamento dos transistores em tempos tão curtos. Em vista disso, quanto menor for o tempo acionado, maiores são os alcances de operação da fonte, conduzindo a atenção para buscar baixíssimos tempos de comutação (não apenas por um critério de diminuição dessas perdas).

Uma outra opção ainda, seria infringir a razão cíclica mínima do microcontrolador e permitir que ela atinja zero, impondo um nível zero constante na saída do *gate driver* e abrindo os transistores superiores. Assim, ao cessar momentaneamente por completo o suprimento de energia dos indutores, a corrente dos mesmos não há como crescer, então ela decresce e o erro da malha de controle aumenta, até a ação de controle atingir o patamar da razão cíclica mínima novamente, recarregando os indutores. Percebe-se que seria um acionamento dos transistores com uma frequência inferior a f_s , estando totalmente atrelada às dinâmicas do sistema. Um caso aparentemente possível e, sem sombra de dúvidas, mais eficiente.

3.4 Análise da corrente de entrada

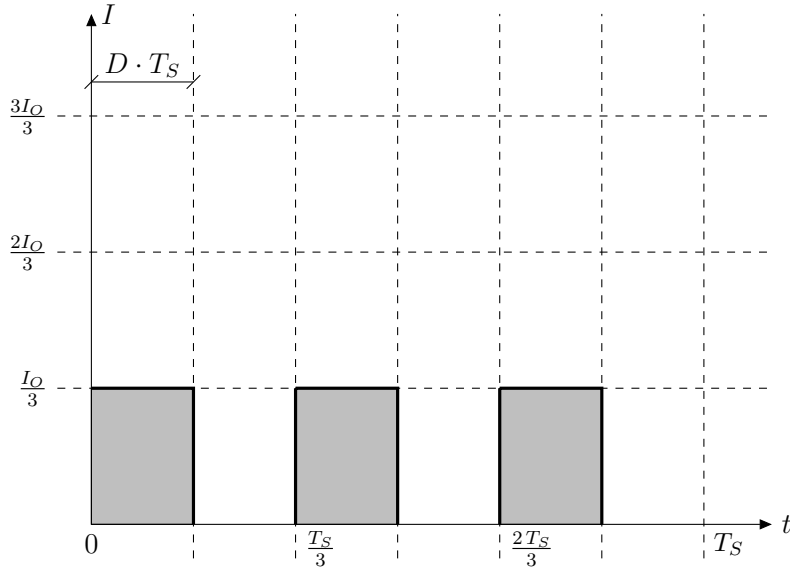
A característica da corrente de entrada I varia de acordo com os estados topológicos do conversor. Analisando cada caso, obtém-se o valor médio e eficaz, bem como a parcela alternada RMS (*root mean square*) necessária para dimensionar o capacitor de entrada do conversor. Por último, apresenta-se uma equação para determinar sua capacitância.

No seguinte desenvolvimento despreza-se a ondulação de corrente proveniente dos indutores das fases do conversor. Conforme já destacado, as aplicações da fonte requerem baixas ondulações da corrente de saída, geralmente menor do que 1% do seu valor nominal, fazendo com que no caso deste trabalho os efeitos da ondulação sejam desprezíveis.

A primeira região de operação ocorre no mesmo intervalo $0 < D \leq 1/3$, condizente com as mesmas formas de onda da Figura 19, resultando em uma corrente de entrada conforme a da Figura 35, fruto de um transistor superior estar conduzindo por vez a cada $T_S/3$. Apresenta-se também o intervalo de condução $D \cdot T_S$ da fase a para auxiliar no desenvolvimento.

Apesar das formas de onda se repetirem em intervalos iguais a $T_S/3$, a razão cíclica é definida em relação ao período de comutação, tornando de certa forma mais cômodo estudar as ondas em todo o intervalo T_S . Sendo assim, o valor médio da corrente de

Figura 35 – Ilustração da corrente de entrada da primeira região de operação.



Fonte: Produzida pelo autor.

entrada I_{AVG} pode ser definido conforme a equação 3.49.

$$I_{AVG} = \frac{3}{T_S} \int_0^{D \cdot T_S} \frac{I_O}{3} dt + \frac{3}{T_S} \int_{D \cdot T_S}^{\frac{T_S}{3}} 0 dt \quad (3.48)$$

$$I_{AVG} = DI_O. \quad (3.49)$$

Nota-se como os limites de integração, neste caso, são definidos com relação ao intervalo equivalente a primeira região de operação da fase a , mas como a análise é feita relativa ao período T_S , multiplica-se por três as integrais para contemplar a área total.

A componente RMS total da corrente de entrada, I_{RMS} , a qual é uma composição de uma parcela contínua e outra alternada, é definida conforme a Equação 3.51.

$$I_{RMS} = \sqrt{\frac{3}{T_S} \int_0^{D \cdot T_S} \left(\frac{I_O}{3}\right)^2 dt + \frac{3}{T_S} \int_{D \cdot T_S}^{\frac{T_S}{3}} (0)^2 dt}. \quad (3.50)$$

$$I_{RMS} = \frac{\sqrt{3D}}{3} I_O. \quad (3.51)$$

Já a componente RMS alternada, I_{RMSac} , pode ser obtida conforme a seguinte relação:

$$(I_{RMS})^2 = (I_{AVG})^2 + (I_{RMSac})^2 \quad (3.52)$$

$$I_{RMSac} = \sqrt{(I_{RMS})^2 - (I_{AVG})^2}. \quad (3.53)$$

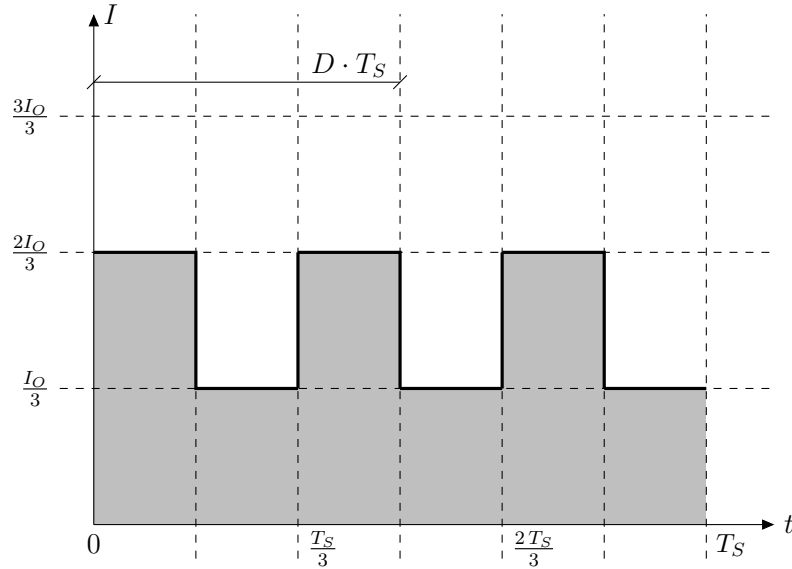
Dessa forma, as Equações 3.49 e 3.51 podem ser substituídas na Equação 3.53, conforme:

$$I_{RMSac} = \sqrt{\left(\frac{\sqrt{3}}{3} \cdot \sqrt{D}I_O\right)^2 - (DI_O)^2} \quad (3.54)$$

$$I_{RMSac} = \frac{\sqrt{3D \cdot (1 - 3D)}}{3} I_O. \quad (3.55)$$

A segunda região de operação ocorre no mesmo intervalo $1/3 \leq D \leq 2/3$, condzente com as mesmas formas de onda da Figura 22, resultando em uma corrente de entrada conforme a da Figura 36, fruto de um ou dois transistores superiores estarem conduzindo por vez a cada $T_S/3$.

Figura 36 – Ilustração da corrente de entrada da segunda região de operação.



Fonte: Produzida pelo autor.

O valor médio pode ser definido de acordo com a Equação 3.57.

$$I_{AVG} = \frac{3}{T_S} \int_{\frac{T_S}{3}}^{D \cdot T_S} \frac{2I_O}{3} dt + \frac{3}{T_S} \int_{D \cdot T_S}^{\frac{2T_S}{3}} \frac{I_O}{3} dt. \quad (3.56)$$

$$I_{AVG} = DI_O. \quad (3.57)$$

O valor eficaz total pode ser obtido conforme a Equação 3.59.

$$I_{RMS} = \sqrt{\frac{3}{T_S} \int_{\frac{T_S}{3}}^{D \cdot T_S} \left(\frac{2I_O}{3}\right)^2 dt + \frac{3}{T_S} \int_{D \cdot T_S}^{\frac{2T_S}{3}} \left(\frac{I_O}{3}\right)^2 dt}. \quad (3.58)$$

$$I_{RMS} = \frac{\sqrt{9D - 2}}{3} I_O. \quad (3.59)$$

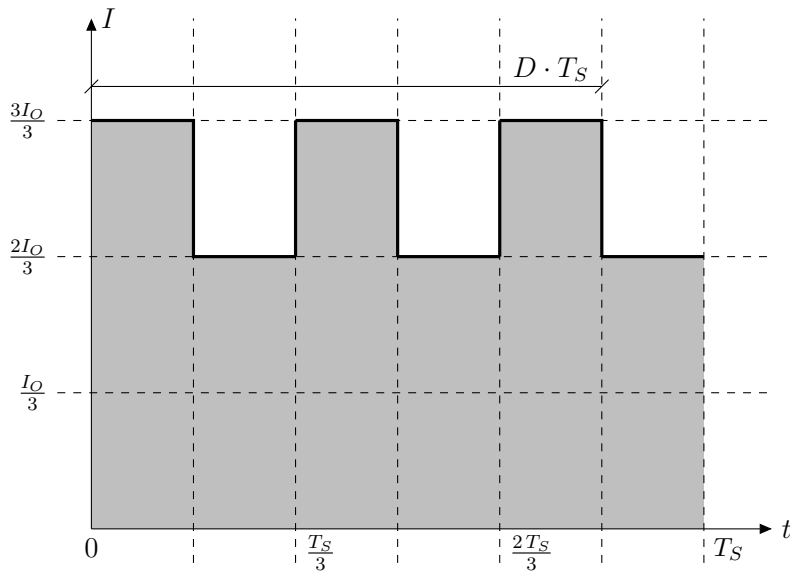
E a componente alternada do valor eficaz pode ser calculada ao substituir as Equações 3.57 e 3.59 na Equação 3.53, obtendo:

$$I_{RMSac} = \sqrt{\left(\frac{\sqrt{9D-2}}{3}I_O\right)^2 - (DI_O)^2} \quad (3.60)$$

$$I_{RMSac} = \frac{\sqrt{(3D-2) \cdot (1-3D)}}{3} I_O. \quad (3.61)$$

A terceira região de operação ocorre no mesmo intervalo $2/3 \leq D < 1$, condizente com as mesmas formas de onda da Figura 25, resultando em uma corrente de entrada conforme a da Figura 37, fruto de dois ou três transistores superiores estarem conduzindo por vez a cada $T_S/3$.

Figura 37 – Ilustração da corrente de entrada da terceira região de operação.



Fonte: Produzida pelo autor.

O valor médio pode ser obtido conforme a Equação 3.63.

$$I_{AVG} = \frac{3}{T_S} \int_{\frac{2T_S}{3}}^{D \cdot T_S} \frac{3I_O}{3} dt + \frac{3}{T_S} \int_{D \cdot T_S}^{T_S} \frac{2I_O}{3} dt. \quad (3.62)$$

$$I_{AVG} = DI_O. \quad (3.63)$$

O valor eficaz total pode ser definido de acordo com a Equação 3.65.

$$I_{RMS} = \sqrt{\frac{3}{T_S} \int_{\frac{2T_S}{3}}^{D \cdot T_S} \left(\frac{2I_O}{3}\right)^2 dt + \frac{3}{T_S} \int_{D \cdot T_S}^{T_S} \left(\frac{I_O}{3}\right)^2 dt}. \quad (3.64)$$

$$I_{RMS} = \frac{\sqrt{15D - 6}}{3} I_O. \quad (3.65)$$

E a componente alternada do valor eficaz pode ser calculada ao substituir as Equações 3.63 e 3.65 na Equação 3.53, obtendo:

$$I_{RMSac} = \sqrt{\left(\frac{\sqrt{15D - 6}}{3} I_O\right)^2 - (DI_O)^2} \quad (3.66)$$

$$I_{RMSac} = \frac{\sqrt{(3D - 2) \cdot (3 - 3D)}}{3} I_O. \quad (3.67)$$

Portanto, como as equações do valor médio 3.49, 3.57, 3.63, são idênticas e o intervalo é contínuo, o valor médio da corrente de entrada pode ser obtido com uma única Equação 3.68.

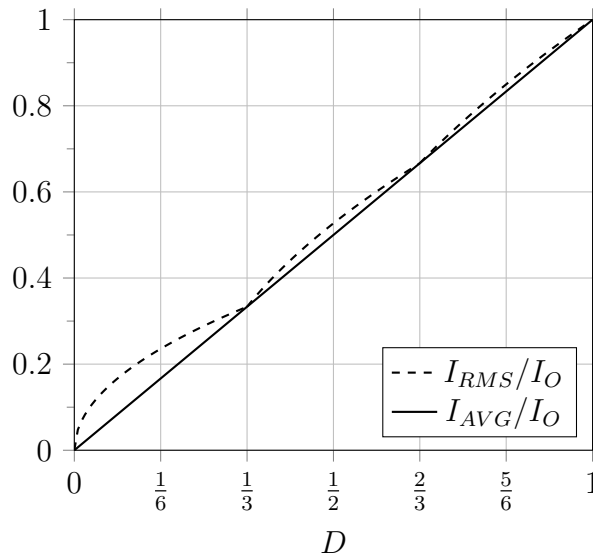
$$I_{AVG} = DI_O. \quad (3.68)$$

A componente I_{RMS} de cada região de operação pode ser sintetizada em uma única Equação 3.69.

$$I_{RMS} = \begin{cases} \frac{\sqrt{3D}}{3} I_O & 0 < D \leq 1/3 \\ \frac{\sqrt{9D - 2}}{3} I_O & 1/3 \leq D \leq 2/3 \\ \frac{\sqrt{15D - 6}}{3} I_O & 2/3 \leq D < 1. \end{cases} \quad (3.69)$$

Ao parametrizar as Equações 3.68 e 3.69, ou seja, as dividir por I_O para ficarem apenas em função de D , seus comportamentos são apresentados na Figura 38.

Figura 38 – Componente média e eficaz total parametrizada da corrente de entrada.



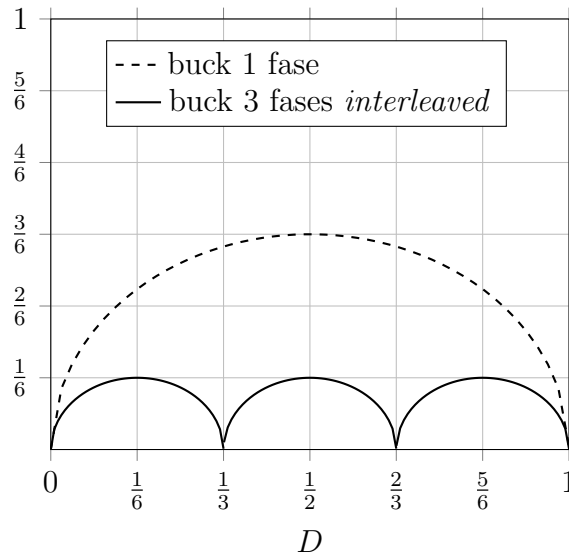
Fonte: Produzida pelo autor.

A componente I_{RMSac} de cada região de operação pode ser sintetizada em uma única Equação 3.70.

$$I_{RMSac} = \begin{cases} \frac{\sqrt{3D \cdot (1 - 3D)}}{3} I_O & 0 < D \leq 1/3 \\ \frac{\sqrt{(3D - 2) \cdot (1 - 3D)}}{3} I_O & 1/3 \leq D \leq 2/3 \\ \frac{\sqrt{(3D - 2) \cdot (3 - 3D)}}{3} I_O & 2/3 \leq D < 1. \end{cases} \quad (3.70)$$

Ao parametrizar a Equação 3.70, dividindo-a por I_O , obtém-se o seguinte comportamento gráfico na Figura 39. A título de comparativo, a curva tracejada representa um conversor buck, e a curva sólida representa o buck *interleaved* em estudo. Os pontos nulos em $1/3$ e $2/3$ podem ser compreendidos ao interpretar que a forma da corrente de entrada é idealmente constante nesses estados, não há sobreposição das fases, logo, não havendo harmônicas, tendo apenas uma componente média.

Figura 39 – Componente alternada eficaz parametrizada da corrente de entrada.



Fonte: Produzida pelo autor.

Da Figura 39 pode-se observar que o valor máximo da componente I_{RMSac} parametrizada é igual a um sexto, permitindo escrever uma expressão para a máxima magnitude da componente alternada RMS da corrente de entrada, $I_{RMSacMAX}$, conforme a Equação 3.71.

$$I_{RMSacMAX} = \frac{I_O}{6}. \quad (3.71)$$

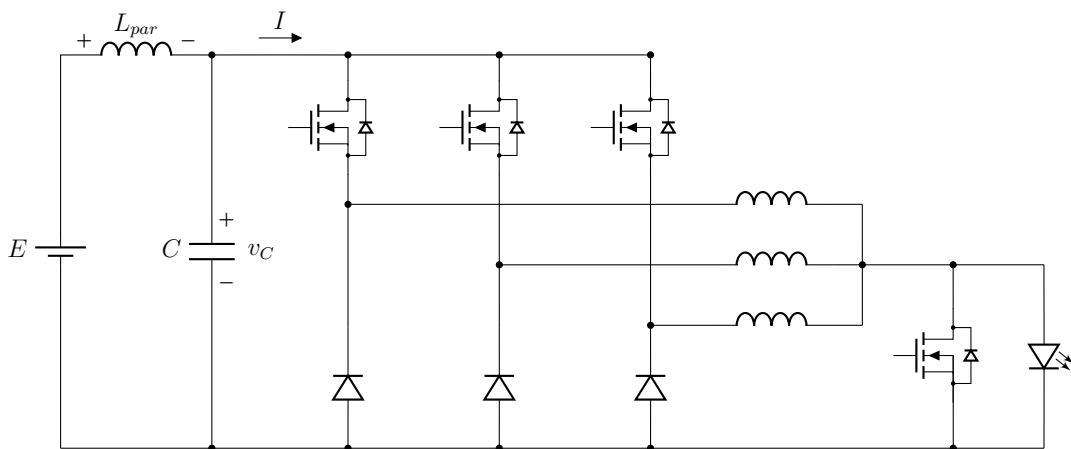
Entretanto, apesar de válido, esse resultado não contempla as harmônicas causadas durante a comutação da chave moduladora. Quando fechada, a tensão de saída tende a ser muito pequena, conduzindo a uma baixa razão cíclica, muito possivelmente condizente

com a primeira região de operação. Quando aberta, e assumindo um diodo laser com uma queda de tensão total considerável, é provável que a razão cíclica situa-se de tal forma a condicionar a segunda, ou a terceira, região de operação. Por isso, ao comutar a chave moduladora, o conversor transita entre suas regiões de operação, alterando o formato da corrente de entrada, provocando um aumento considerável da componente I_{RMSac} .

Determinar uma expressão para calcular esse aumento não é tarefa fácil. Por exemplo, as dinâmicas do controle influenciam significativamente nesse cálculo, afinal, quanto mais rápidas elas forem, menos tempo se passa durante a transição das regiões de operação, gerando uma forma de onda característica com um determinado valor eficaz. Além disso, o controle pode momentaneamente oscilar a razão cíclica entre duas regiões (segunda e terceira - por exemplo), provocando uma forma de onda peculiar, bem como saturar durante alguma transição. Portanto, esses resultados só são seguramente obtidos em ambiente de simulação, sendo observado até mesmo quase o quadruplo do valor calculado pela Equação 3.71, ao comutar da primeira para a terceira região de operação, e quando a tensão do diodo laser vai se aproximando da tensão de entrada.

Sabe-se na realidade que a fonte de tensão de entrada E não tem como ser ideal, possuindo resistências e indutâncias parasitas L_{par} , providas inclusive por cabeados e terminais elétricos. Justamente por isso, é necessário atribuir um capacitor de entrada C , com uma capacitância suficientemente grande, próximo das chaves das fases do conversor, de modo a estabilizar localmente a tensão v_C durante os rápidos transitórios de corrente. Apresenta-se na Figura 40 uma ilustração deste caso.

Figura 40 – Conversor com o capacitor de entrada.



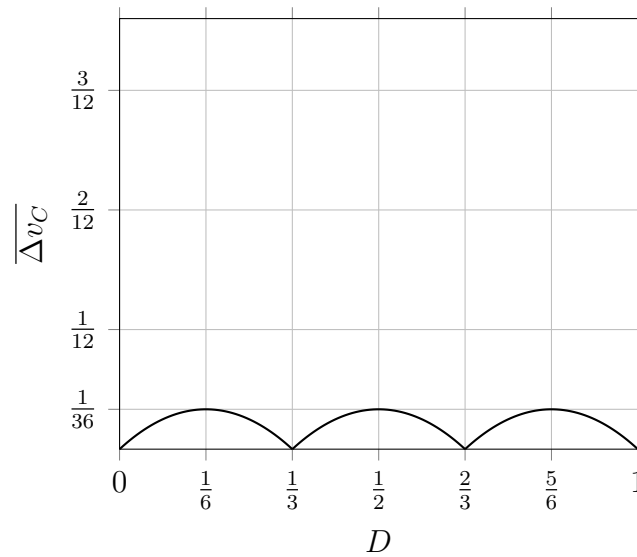
Fonte: Produzida pelo autor.

Baseado em [28], a ondulação da tensão v_C (Δv_C), quando parametrizada ($\overline{\Delta v_C}$), possui um comportamento dado pela Equação 3.72, cujo gráfico está apresentando na

Figura 41.

$$\frac{\Delta v_C \cdot C \cdot f_s}{I_O} = \overline{\Delta v_C} = \begin{cases} \frac{D(1-3D)}{3} & 0 < D \leq 1/3 \\ \frac{(3D-1)(2-3D)}{9} & 1/3 \leq D \leq 2/3 \\ \frac{(1-D)(3D-2)}{3} & 2/3 \leq D < 1. \end{cases} \quad (3.72)$$

Figura 41 – Ondulação de tensão parametrizada do capacitor de entrada.



Fonte: Produzida pelo autor.

Nota-se que o valor máximo da ondulação parametrizada é igual a um sobre trinta e seis avos, permitindo obter a Equação 3.73 para o cálculo da capacitância C , sendo Δv_{Cmax} a máxima ondulação de tensão.

$$C = \frac{I_O}{36 \cdot f_s \cdot \Delta v_{Cmax}}. \quad (3.73)$$

Ainda sim, dependendo das especificações do projeto, a própria indutância L_{par} pode ser suficiente para filtrar significativamente as componentes de alta frequência da corrente de entrada, e caso não seja, então pode-se atribuir em série a ela uma indutância maior. Baseado em [28], a máxima ondulação de corrente que por ela passa ($\Delta I_{LparMAX}$) pode ser determinada pela Equação 3.74.

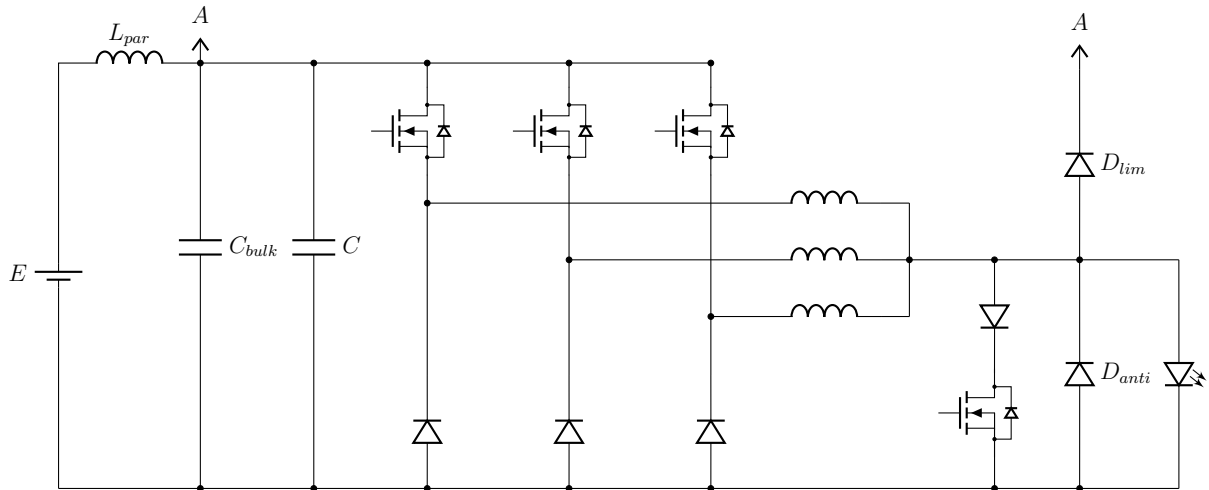
$$\Delta I_{LparMAX} = \frac{4 \cdot \Delta v_{Cmax}}{3 \pi^3 \cdot f_s \cdot L_{par}}. \quad (3.74)$$

3.5 Elementos adicionais ao estágio de potência

Como o diodo laser é muito sensível a tensões reversas, é pertinente ter um diodo em anti-paralelo a ele, D_{anti} , assim limitando a excursão de qualquer transitório negativo

de tensão. Quando a chave moduladora é um MOSFET, seu próprio diodo de corpo pode ser suficiente para desempenhar este papel, contudo, caso o diodo *offset* esteja sendo utilizado em série com ele, então D_{anti} deve ser empregado por segurança. Além do mais, é pertinente adicionar mais uma capacitância (C_{bulk}) e um outro diodo limitador (D_{lim}), conforme apresentado na Figura 42.

Figura 42 – Conversor com os elementos adicionais.



Fonte: Produzida pelo autor.

A capacitância C_{bulk} é atribuída ao barramento de entrada, de modo a fornecer maior estabilidade a tensão durante algum desequilíbrio de corrente, seja pela injeção de corrente através de D_{lim} , ou seja por atender alguma dinâmica de baixa frequência, tal como a alteração da magnitude da corrente de saída. Seu correto dimensionamento depende também das dinâmicas da fonte a montante [29], no caso, aqui idealmente representada por E . Mesmo assim, o documento [30] fornece uma equação aproximada para determiná-la, apresentada pela Equação 3.75 (em que I_{step} é o transitório da corrente de referência, de 3 para 30 A, por exemplo, e ΔV_{step} é a máxima variação permitida da tensão).

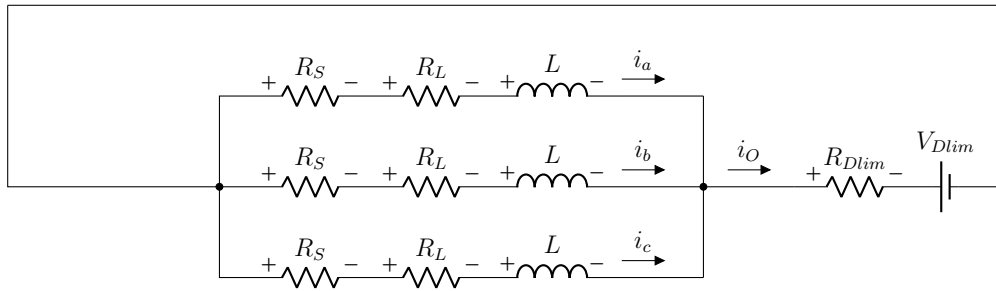
$$C_{bulk} = \frac{1,21 L_{par} \cdot I_{step}^2}{\Delta V_{step}^2} \quad (3.75)$$

Já o diodo limitador D_{lim} , disposto de uma queda de tensão V_{Dlim} e resistência série R_{Dlim} , é responsável por limitar a tensão de saída no mesmo patamar da tensão do barramento. Como o diodo laser inevitavelmente possui indutâncias parasitas, ao impor uma variação de corrente em um curto espaço de tempo, cresce sobre ela uma variação de tensão, um pico de tensão, o qual está muito sujeito a danificar a chave moduladora. Sendo assim, espera-se um pico positivo quando a corrente comuta para o diodo laser, e um negativo quando é comutada de volta para a chave moduladora (o que não acontece devido a D_{anti} ou pela chave moduladora estar conduzindo).

Além disso, diante de uma desconexão abrupta da carga com a fonte em funcionamento e a chave moduladora aberta, D_{lim} fornece um caminho fechado para as correntes dos indutores fluírem, evitando subitamente interrompê-las e assim causar sobretensões potencialmente destrutivas ao conversor. Neste caso, o diodo limitador possui a mesma corrente i_O , a qual irá se anular após um certo tempo, pois, a tensão de saída no momento é idealmente igual a tensão de entrada, e não há como manter a corrente dos indutores maior do que zero nesta circunstância.

Tão logo quando i_O começar a decrescer, o controle tenta restabelecer a corrente aumentando a razão cíclica, porém, diante da impossibilidade de restabelecê-la, a ação de controle satura no patamar superior, e caso não haja alguma restrição, os transistores superiores ficam continuamente fechados. Nisso, obtém-se o circuito equivalente da Figura 43, o qual é utilizado para calcular o tempo necessário para i_O se anular.

Figura 43 – Circuito equivalente ao desconectar a carga.



Fonte: Produzida pelo autor.

Com base nele é possível obter suas equações de estado conforme a Equação 3.76. De antemão, enfatiza-se que as equações só são válidas quando i_a , i_b , i_c , são maior do que zero, conseqüentemente i_O , devido a presença do diodo D_{lim} . O sistema de equações pode ser resolvido ao somar suas equações entre si, e ao lembrar da relação $i_a + i_b + i_c = i_O$, chega-se na Equação 3.77.

$$\begin{cases} L \frac{di_a}{dt} + R_S i_a + R_L i_a + R_{Dlim} i_O = -V_{Dlim} \\ L \frac{di_b}{dt} + R_S i_b + R_L i_b + R_{Dlim} i_O = -V_{Dlim} \\ L \frac{di_c}{dt} + R_S i_c + R_L i_c + R_{Dlim} i_O = -V_{Dlim}. \end{cases} \quad (3.76)$$

$$L \frac{di_O}{dt} + (R_S + R_L + 3R_{Dlim}) \cdot i_O = -3V_{Dlim}. \quad (3.77)$$

Essa equação diferencial é bem característica e possui uma solução particular e outra homogênea. Seguindo os procedimentos de [31], o molde da equação diferencial é

dado pela Equação 3.78, o qual está de acordo com a Equação 3.77, e sua solução é dada pela Equação 3.79.

$$\frac{dx(t)}{dt} + ax(t) = A. \quad (3.78)$$

$$x(t) = \frac{A}{a} + K_2 e^{-at}. \quad (3.79)$$

Dessa forma, obtém-se as relações 3.80 e 3.81.

$$a = \frac{R_S + R_L + 3R_{Dlim}}{L}. \quad (3.80)$$

$$A = \frac{-3V_{Dlim}}{L}. \quad (3.81)$$

Ao substituí-las na Equação 3.79, e ao considerar $x(t) = i_O(t)$, chega-se na Equação 3.82 (a qual não é válida para $i_O(t)$ negativo).

$$i_O(t) = \frac{-3V_{Dlim}}{R_S + R_L + 3R_{Dlim}} + K_2 e^{-\frac{(R_S + R_L + 3R_{Dlim})}{L} \cdot t}. \quad (3.82)$$

A constante K_2 pode ser obtida através da Equação 3.82 ao considerar o instante inicial do sistema, $t = 0$, em que $i_O(0) = i_a(0) + i_b(0) + i_c(0)$, ou seja, a soma das correntes iniciais dos indutores, resultando na Equação 3.83.

$$K_2 = i_O(0) + \frac{3V_{Dlim}}{R_S + R_L + 3R_{Dlim}}. \quad (3.83)$$

Portanto, o tempo de descarga pode ser obtido ao considerar $i_O(t) = 0$ e resolvendo a Equação 3.82 em função de t , obtendo a Equação 3.84.

$$t = L \cdot \frac{\ln\left(\frac{i_O(0) \cdot (R_S + R_L + 3R_{Dlim})}{3V_{Dlim}} + 1\right)}{R_S + R_L + 3R_{Dlim}}. \quad (3.84)$$

Assim, quanto maior L ou $i_O(0)$, mais lentamente ocorre a descarga. O mesmo vale para as resistências, apesar de não estar tão explícito, uma vez que seu comportamento é grosso modo regido por uma função $\ln(x+1)/x$. Nota-se também como V_{Dlim} não pode ser igual a zero, e isso é bem condizente, pois não haveria como ter a composição de uma solução particular caso fosse (estritamente quando $i_O(t) = 0$; que é o caso da Equação 3.84).

Em uma análise similar, pode-se desejar determinar o intervalo de tempo para que i_O atinja um determinado valor diferente de zero, muito útil para estudar o tempo de acomodação da corrente de saída após fechar a chave moduladora (situação discutida na seção sobre os resultados de simulação deste capítulo). Para isso, resolve-se a Equação 3.82

considerando $i_O(t)$ igual ao valor final desejado $i_O(f)$, desde que seja inferior a $i_O(0)$ e maior ou igual a zero, sendo o resultado apresentado na Equação 3.85.

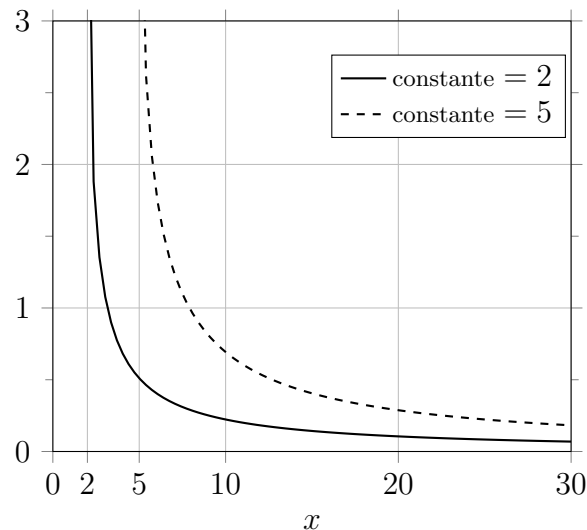
$$t = L \cdot \frac{\ln \left(\frac{i_O(0) \cdot (R_S + R_L + 3R_{Dlim}) + 3V_{Dlim}}{i_O(f) \cdot (R_S + R_L + 3R_{Dlim}) + 3V_{Dlim}} \right)}{R_S + R_L + 3R_{Dlim}}. \quad (3.85)$$

Mas o valor final pode ser escrito relativo ao valor inicial, $i_O(f) = i_O(0) - \Delta I$, sendo ΔI um símbolo genérico para uma dada variação de corrente, obtendo então a Equação 3.86.

$$t = L \cdot \frac{\ln \left(\frac{i_O(0) \cdot (R_S + R_L + 3R_{Dlim}) + 3V_{Dlim}}{(i_O(0) - \Delta I) \cdot (R_S + R_L + 3R_{Dlim}) + 3V_{Dlim}} \right)}{R_S + R_L + 3R_{Dlim}}. \quad (3.86)$$

Assim fica mais fácil de observar um resultado muito importante: supondo um ΔI fixo, quanto maior $i_O(0)$, menor é o intervalo de tempo para atingir $i_O(f)$. Em um primeiro momento isso pode soar um pouco contra intuitivo, afinal, para uma descarga completa, quanto maior $i_O(0)$, mais tempo é necessário de acordo com a Equação 3.84. Entretanto, para uma descarga parcial, a situação é oposta. Olhando mais minuciosamente para a Equação 3.86, grosso modo, pode-se observá-la como sendo $\ln[x/(x - \text{constante})]$, cujo gráfico para duas constantes distintas está apresentado na Figura 44, podendo perceber como o aumento de x , o que seria a corrente inicial, resulta sempre em valores menores.

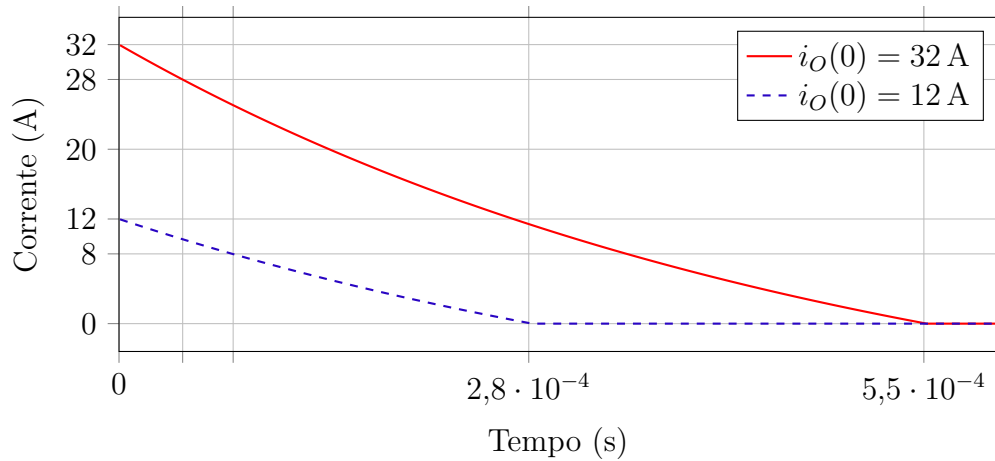
Figura 44 – Estudo do comportamento da equação para descarga parcial.



Fonte: Produzida pelo autor.

O circuito da Figura 43 é utilizado para realizar uma simulação no *software* PSIM versão 9.1.1.400 (com um passo de cálculo igual a $1 \cdot 10^{-8}$). Adota-se: $R_S = 30 \text{ m}\Omega$; $L = 66.667 \text{ }\mu\text{H}$; $R_L = 60 \text{ m}\Omega$; $R_{Dlim} = 15 \text{ m}\Omega$; $V_{Dlim} = 0.7 \text{ V}$. Salienta-se que D_{ofst} foi devidamente incluído na simulação e os resultados são apresentados na Figura 45.

Figura 45 – Resultado de simulação da descarga dos indutores.



Fonte: Produzida pelo autor.

Nota-se como a curva referente a maior corrente inicial realmente toca o eixo zero mais tardiamente, mas é a primeira a atender um mesmo ΔI de 4 A (condizente com o esperado pela análise). Com $i_O(0) = 32$ A, a descarga total ocorreu em 552,29 μ s, e a parcial em 43,50 μ s. Já com $i_O(0) = 12$ A, a descarga total ocorreu 282,93 μ s, e a parcial em 77,63 μ s. O erro relativo ao valor calculado ficou abaixo de 0,3% em todos os casos.

3.6 Esforços de corrente

O objetivo é obter a magnitude das correntes necessárias para dimensionar os componentes que constituem o conversor. De acordo com [28], e desprezando a ondulação de corrente dos indutores, o valor médio e eficaz dos transistores (S_1 , S_2 , S_3) é dado respectivamente pelas Equações 3.87 e 3.88.

$$I_{Smed} = D \cdot \frac{I_O}{3} \quad (3.87)$$

$$I_{Srms} = \sqrt{D} \cdot \frac{I_O}{3}. \quad (3.88)$$

Por outro lado, o valor médio e eficaz dos diodos (D_1 , D_2 , D_3) é obtido respectivamente pelas Equações 3.89 e 3.90.

$$I_{Dmed} = (1 - D) \cdot \frac{I_O}{3} \quad (3.89)$$

$$I_{Drms} = \sqrt{1 - D} \cdot \frac{I_O}{3}. \quad (3.90)$$

A chave moduladora, quando fechada, processa toda a corrente de saída I_O , consequentemente, o diodo *offset* também. A mesma opera com uma razão cíclica D_{CM} , e

devido a similaridade de funcionamento com os transistores superiores, ou seja, conduzindo no primeiro intervalo e bloqueando no outro, logo, o valor médio da corrente neste ramo é dado pela Equação 3.91 e o eficaz pela Equação 3.92.

$$I_{DofstMED} = I_{CMmed} = D_{CM} \cdot I_O \quad (3.91)$$

$$I_{DofstRMS} = I_{CMrms} = \sqrt{D_{CM}} \cdot I_O. \quad (3.92)$$

Os maiores esforços de corrente dos transistores superiores ocorrem quando a chave moduladora está aberta, garantindo uma queda de tensão apreciável sobre o diodo laser, podendo utilizar a Equação 3.40 para calcular D . Já para os diodos inferiores é ao contrário, sendo mais condizente usar a Equação 3.45. É sugestivo que o diodo limitador D_{lim} suporte a corrente de saída I_O pelo menos momentaneamente, caso aconteça uma condição de surto, enquanto D_{anti} não há restrições especiais.

Por fim, como a ondulação de corrente deve ser muito pequena, assim obtendo uma forma de onda praticamente constante e positiva no intervalo T_S , o valor médio e eficaz da corrente no indutores acabam se igualando, permitindo escrever a Equação 3.93. Também é pertinente estimar a máxima ondulação de corrente nos indutores, Δi_{Lmax} , justamente para calcular o pico da corrente nos mesmos, útil para projetá-los, conforme [32] a expressão é dada pela Equação 3.94 para um valor pico-a-pico, sendo obtida nas condições de uma razão cíclica igual a 50%.

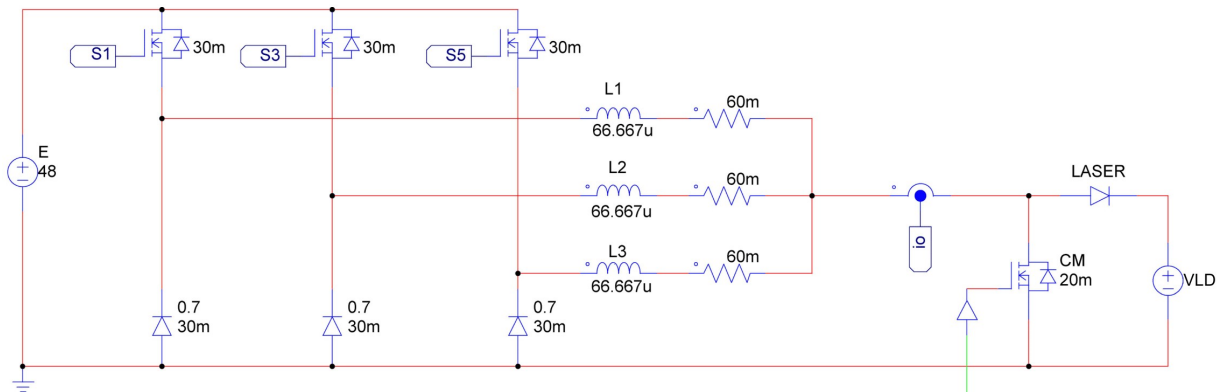
$$I_{Lmed} = I_{Lrms} = \frac{I_O}{3}. \quad (3.93)$$

$$\Delta i_{Lmax} = \frac{E}{4 \cdot f_s \cdot L}. \quad (3.94)$$

3.7 Apresentação e discussão dos resultados de simulação

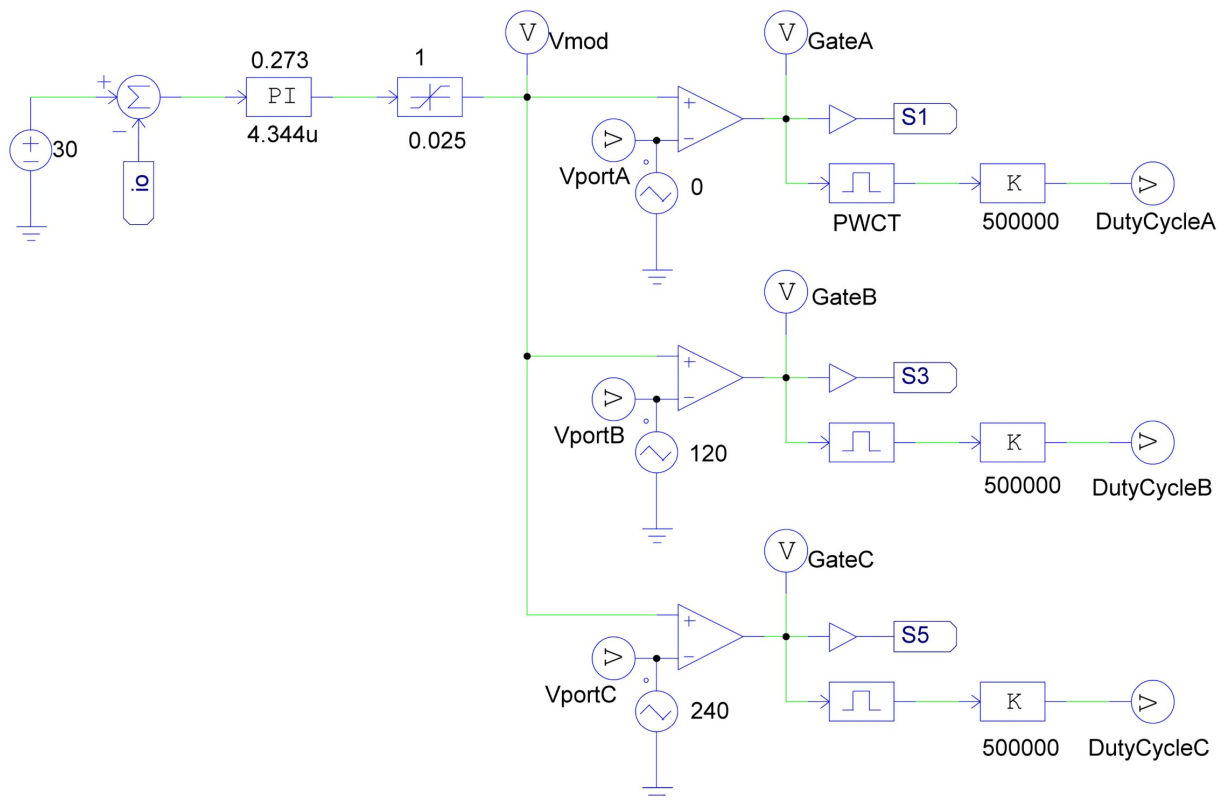
As simulações foram realizadas no *software* PSIM versão 9.1.1.400. Um passo de cálculo igual a $1 \cdot 10^{-9}$ foi adotado para garantir resultados bem acurados. Passos mais brandos começam a distorcer as ondas portadoras, o que nem sempre é significativo. Os parâmetros do circuito são: $E = 48 \text{ V}$; $R_S = 30 \text{ m}\Omega$; $R_D = 30 \text{ m}\Omega$; $V_D = 0,7 \text{ V}$; $L = 66,667 \text{ }\mu\text{H}$; $R_L = 60 \text{ m}\Omega$; $R_{CM} = 20 \text{ m}\Omega$; $I_O = 30 \text{ A}$; $V_{LD} = 35 \text{ V}$; $R_{LD} = 0 \text{ }\Omega$; $f_s = 500 \text{ kHz}$. O estágio de potência está apresentado na Figura 46, enquanto o de comando e controle está na Figura 47. Salienta-se que a simulação pode apresentar divergências numéricas significativas caso as resistências do circuito sejam muito pequenas (bem menores do que as a recém definidas).

Figura 46 – Estágio de potência no PSIM.



Fonte: Elaborada pelo autor.

Figura 47 – Estágio de comando e controle no PSIM.



Fonte: Elaborada pelo autor.

A corrente de saída i_O é controlada através de um compensador Proporcional-Integral para obter os resultados de simulação. Seu ganho é de 0,273 e sua constante de tempo é de $4,344 \cdot 10^{-6}$. As portadoras são do tipo dente de serra e excursionam de zero até um. O sinal modulador é limitado entre 0,025 e 1 (representando pelo menos o limite inferior da atuação do *gate driver* utilizado no protótipo). Utiliza-se o resultado do bloco *Pulse Width Counter*, PWCT, vezes a frequência de comutação f_s , para calcular a razão

cíclica das fases.

Com os dados em questão, e considerando a chave moduladora aberta, os resultados são apresentados na Tabela 1. Nota-se uma elevada acurácia e destaca-se que os valores apresentados estão devidamente arredondados (em vez de truncados). Olhando pela razão cíclica, o conversor opera na terceira região de operação. As equações utilizadas são as seguintes: D - Equação 3.41; Δi_O - Equação 3.32; I_a - Equação 3.39; I_{AVG} - Equação 3.68; I_{RMS} - Equação 3.69; I_{RMSac} - Equação 3.70.

Tabela 1 – Comparação dos resultados calculados e simulados com a chave moduladora aberta.

Variável	Unidade de medida	Calculado	Simulado	Erro relativo (%)
D	%	75,15	75,20	0,07
Δi_O	mA	91,10	92,39	1,42
I_a	A	10,00	9,99	0,10
I_{AVG}	A	22,55	22,55	0,00
I_{RMS}	A	22,96	22,96	0,00
I_{RMSac}	A	4,36	4,36	0,00

Fonte: Elaborada pelo autor.

Nota: Erro relativo ao valor calculado.

Salienta-se que o cálculo de I_a é feito considerando $V_O = V_{LD}$. Além disso, a corrente média e a razão cíclica de cada fase, as quais devem ser idealmente iguais, apresentam variações muito pequenas entre si, de tal forma a serem desprezíveis. Todo caso, por menores que sejam, utilizou-se daquela que gerou o maior erro relativo.

Ao fechar a chave moduladora, a corrente do diodo laser vai para zero, o cálculo da razão cíclica é feito com a Equação 3.45, e para calcular I_a considera-se $V_O = R_{CM} \cdot I_O$. Os resultados são apresentados na Tabela 2. Agora o conversor opera na primeira região de operação.

Tabela 2 – Comparação dos resultados calculados e simulados com a chave moduladora fechada.

Variável	Unidade de medida	Calculado	Simulado	Erro relativo (%)
D	%	4,52	4,55	0,66
Δi_O	mA	56,24	57,04	1,42
I_a	A	10,00	9,99	0,10
I_{AVG}	A	1,36	1,36	0,00
I_{RMS}	A	3,68	3,68	0,00
I_{RMSac}	A	3,42	3,42	0,00

Fonte: Elaborada pelo autor.

Nota: Erro relativo ao valor calculado.

Para validar a segunda região de operação, bem como Δi_{Omax} , $I_{RMSacMAX}$ e Δi_{Lmax} , a chave moduladora é aberta e define-se $V_{LD} = 22.75\text{ V}$, obtendo $D = 50\%$.

Os resultados são apresentados na Tabela 3, em que: $\Delta i_O = \Delta i_{Omax} = 120$ mA conforme a Equação 3.34; $I_{RMSac} = I_{RMSacMAX} = 5$ A pela Equação 3.71; por fim, Δi_{Lmax} simulado foi igual a 366,07 mA e calculado igual a 360 mA, baseado na Equação 3.94, resultando em um erro relativo igual a 1,69 %.

Tabela 3 – Comparação dos resultados calculados e simulados com a chave moduladora aberta e nova razão cíclica.

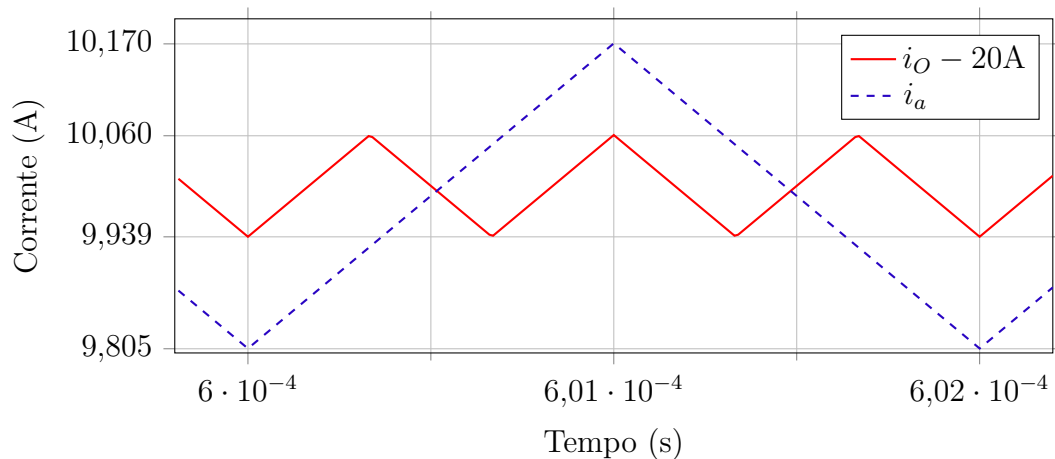
Variável	Unidade de medida	Calculado	Simulado	Erro relativo (%)
D	%	50,00	50,01	0,02
Δi_O	mA	120,00	121,74	1,45
I_a	A	10,00	9,99	0,10
I_{AVG}	A	15,00	15,00	0,00
I_{RMS}	A	15,81	15,81	0,00
I_{RMSac}	A	5,00	5,00	0,00

Fonte: Elaborada pelo autor.

Nota: Erro relativo ao valor calculado.

Apresenta-se na Figura 48 como i_O possui uma frequência de ondulação três vezes superior a f_s . Para isso, subtraiu-se 20 A da corrente de saída para que essa atinja o mesmo patamar de i_a , também apresentada na figura, facilitando a comparação. Inclusive, é possível observar como a magnitude da ondulação é três vezes menor do que a da corrente das fases.

Figura 48 – Resultado simulado da corrente de saída e da fase a .

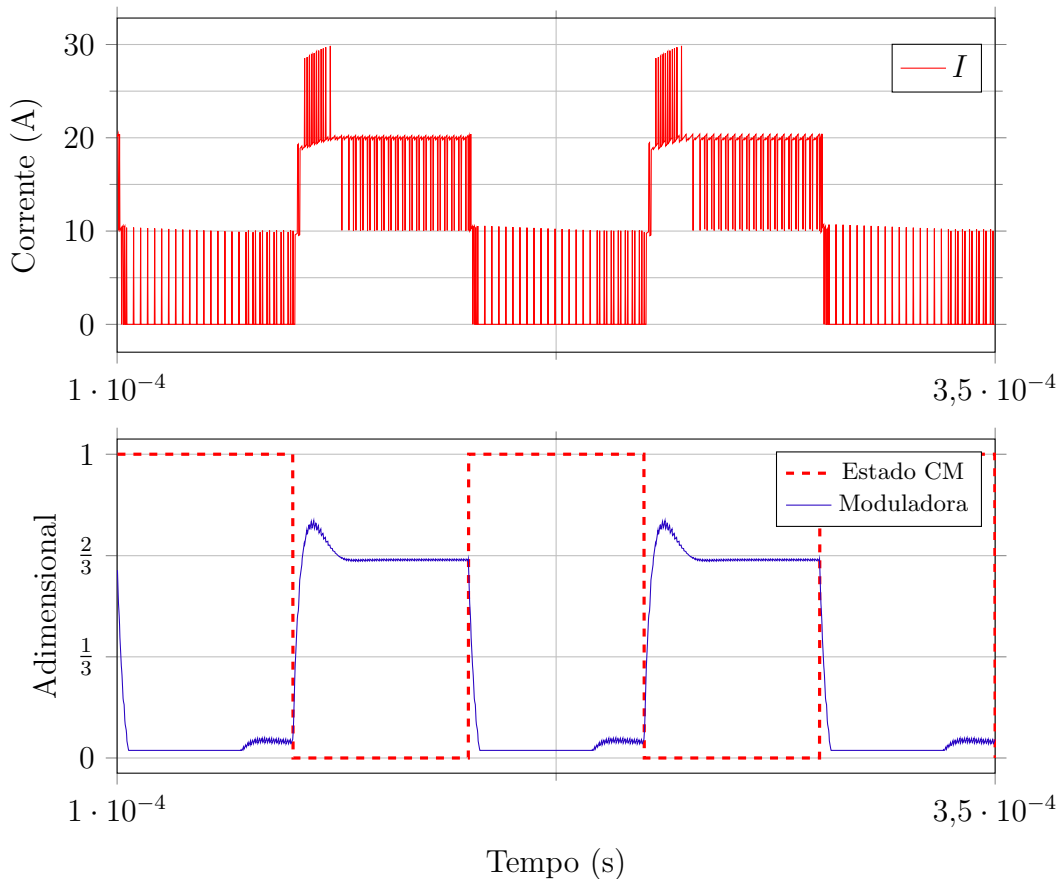


Fonte: Elaborada pelo autor.

Já na Figura 49 é apresentada a corrente de entrada enquanto se modula a corrente da carga (em 10 kHz e com um ciclo de trabalho igual a 50 %). Neste caso adotou-se $V_{LD} = 30$ V. A curva “Estado CM”, quando em nível um, indica que a chave moduladora (CM) está fechada, e quando em nível zero, aberta. A curva “Moduladora” é o sinal modulador provido da malha de controle, a qual no momento não se está entrando no

mérito de estar otimizada ou não. Como as portadoras são unitárias, sua magnitude implica diretamente no valor da razão cíclica do conversor.

Figura 49 – Resultado simulado da corrente de entrada ao transitar entre regiões de operação.

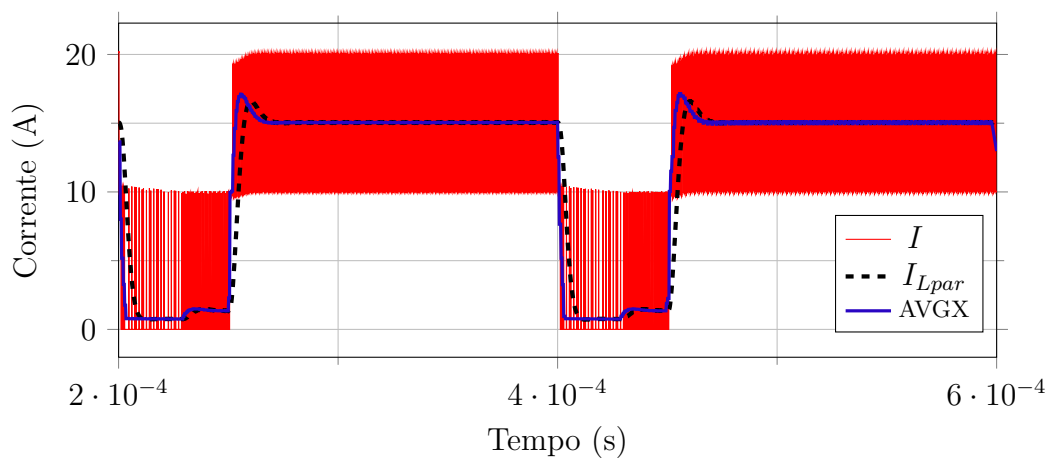


Fonte: Elaborada pelo autor.

Quando CM está fechada, a razão cíclica é condizente com a primeira região de operação, afinal, como o ganho estático de tensão deve ser sempre respeitado, e como sua resistência série deve ser pequena principalmente por critérios de eficiência, sua queda de tensão é muito pequena comparada com a tensão de entrada, culminando em um pequeno valor de D . Ao abrir a chave, devido a dinâmica do controle, atinge-se momentaneamente a terceira região de operação e depois o sistema repousa na segunda região de operação até o seu novo comando. Nota-se como esse “repouso” está muito próximo do limiar entre duas regiões, por isso, qualquer perturbação pode forçar a transição entre uma região e outra, alterando o aspecto da corrente de entrada. Com esse exemplo, nota-se a não trivialidade em definir uma equação segura para o cálculo de I_{RMSac} diante dessas condições. Por último, ao tomar um período maior da corrente de entrada nessa simulação, obtém-se $I_{RMSac} = 14,20$ A, um resultado muito superior aos 5 A resultantes da equação de $I_{RMSacMAX}$.

Já na Figura 50 apresenta-se o resultado de simulação das correntes de entrada contemplando $L_{par} = 10$ nH e uma capacitância total ($C_{bulk} + C = 300$ μ F), tal como na Figura 40. Além disso, atribui-se à indutância parasita uma resistência série de 10 m Ω , para introduzir um amortecimento na entrada e assim conseguir obter resultados adequados. A chave moduladora está comutando a 5 kHz e com um ciclo de trabalho igual a 25% . No gráfico, AVGX representa a média móvel da corrente de entrada, com um período igual a $1/(3f_s)$, obtida através do próprio simulador. Por fim, considera-se novamente $V_{LD} = 22,75$ V.

Figura 50 – Resultado da corrente pela indutância parasita.



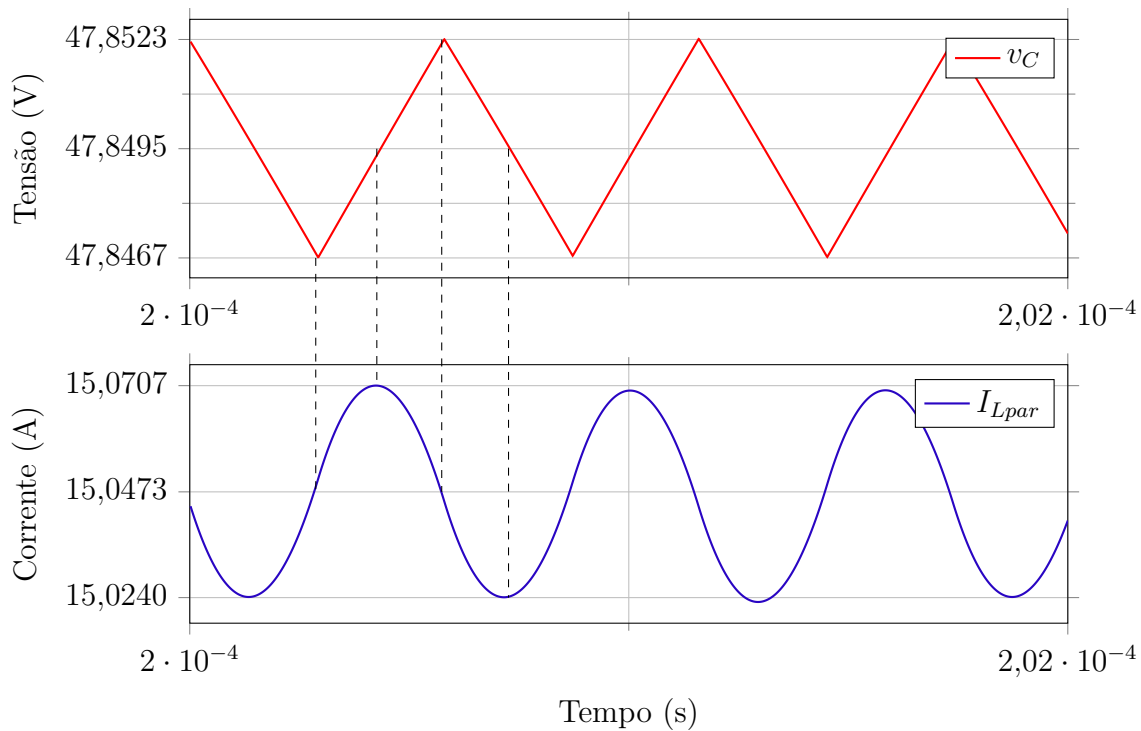
Fonte: Elaborada pelo autor.

É possível notar como a corrente pela indutância parasita segue muito aproximadamente a componente média da corrente de entrada (I), dessa forma, indicando como pequenas indutâncias podem ser suficientes para filtrar as componentes de alta frequência. Também dá para notar como a componente média possui a mesma frequência e razão cíclica complementar da chave moduladora (abstraindo um pouco).

Nas mesmas condições de simulação, mas agora com a chave moduladora constantemente aberta para obter $D = 50\%$, a ondulação de tensão $\Delta v_C = \Delta v_{Cmax}$ obtida foi igual a $5,60$ mV, enquanto pela Equação 3.73 obteve-se $5,56$ mV, um erro relativo igual a $0,72\%$. Já a máxima ondulação de corrente $\Delta I_{LparMAX}$ obtida foi de $46,70$ mA, e a calculada pela Equação 3.74 foi igual a $47,78$ mA, atingindo um erro relativo de $2,26\%$. Os resultados de simulação estão apresentados na Figura 51. Além do mais, a tensão média do barramento reduziu para $47,8495$ V devido a queda de tensão média sobre a resistência série de L_{par} (48 V $- 15,0473$ A $\cdot 10$ m $\Omega = 47,8495$ V).

Ainda sobre a Figura 51, pode-se perceber que a forma de onda I_{Lpar} está relacionada a integral de $-\Delta v_C$, tão logo, v_C expõe indiretamente as taxas de variação de I_{Lpar} . A ondulação de corrente em L_{par} acontece devido a ondulação da tensão da capacitância

Figura 51 – Resultado de simulação da ondulação de tensão e corrente.



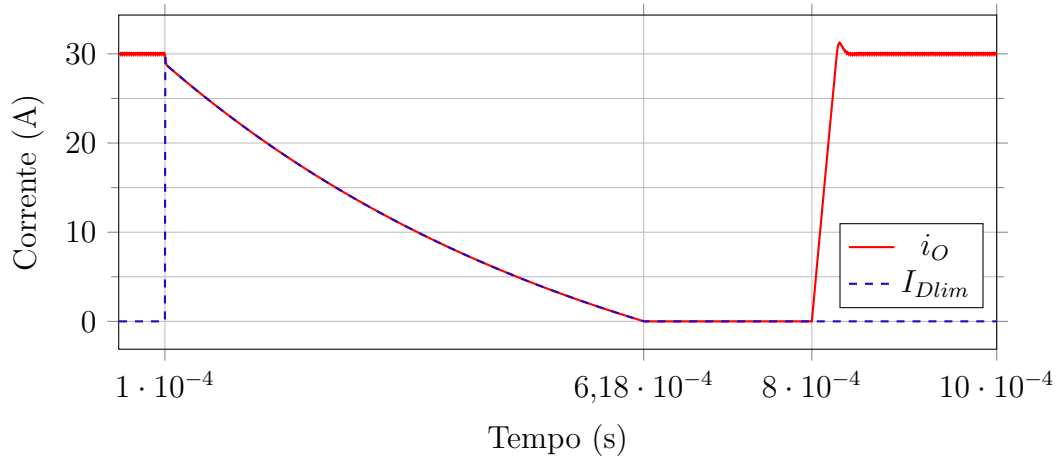
Fonte: Elaborada pelo autor.

total de entrada, afinal, com E constante, não há outra fonte de ondulação compreendida na malha entre E , L_{par} e $C_{bulk} + C$. Portanto, o valor médio de v_C pode ser tomado como um eixo zero para compreender as taxas de variação, e assim, quando a curva toca essa linha, há um ponto crítico em I_{Lpar} (podendo ser um valor máximo ou mínimo local). Já quando a taxa de variação de v_C muda de sinal, ou seja, “a derivada da derivada”, isso indica uma troca de concavidade na curva de I_{Lpar} (neste caso, negativo para positivo equivale a uma troca de “concavidade para cima” para “concavidade para baixo”, sendo o oposto válido, e o que parece uma afronta as definições matemáticas, cabe lembrar que é a tensão sobre o indutor que conta, a qual é igual a $-\Delta v_C$). Há linhas tracejadas na figura que auxiliam a visualização desta análise.

Mantendo esses mesmos parâmetros de simulação, porém agora incluindo apenas o diodo D_{lim} , com uma queda de tensão direta igual a $0,7\text{V}$ e uma resistência série equivalente de $15\text{m}\Omega$, tal como na Figura 42, verifica-se a operação da fonte diante de uma desconexão abrupta da carga. O resultado está apresentado na Figura 52. Ao desconectar, a tensão de saída imediatamente cresce para o patamar de E mais a queda de tensão total sobre D_{lim} , a corrente do diodo limitador I_{Dlim} assume i_O , e os indutores descarregam a sua energia em $518,616\text{ }\mu\text{s}$ nos elementos com perdas das suas respectivas malhas (pela Equação 3.84 obteve-se $530,627\text{ }\mu\text{s}$ - um erro relativo de $2,26\%$). Ao mesmo tempo, na tentativa de manter a corrente i_O no mesmo valor da referência, a ação de controle satura

no patamar superior. Uma vez anulada a corrente dos indutores, D_{lim} bloqueia e a tensão de saída permanece no mesmo valor de E .

Figura 52 – Resultado da desconexão e conexão abrupta da carga.



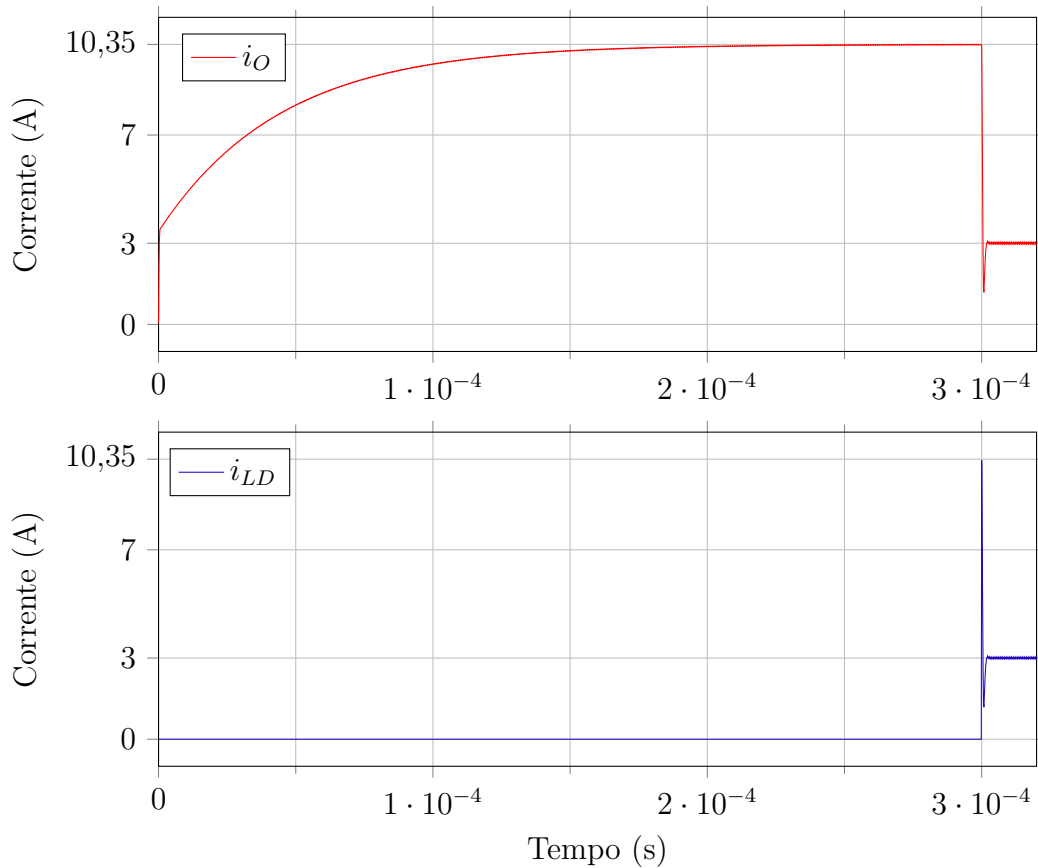
Fonte: Elaborada pelo autor.

Por outro lado, supondo uma conexão abrupta da carga, seja devido a uma reconexão, ou seja ao conectá-la após a fonte ter sido inicializada, é possível que aconteça nela uma sobrecorrente a depender das dinâmicas do controle (mesma Figura 52). Caso a corrente de referência esteja ajustada no mesmo valor da corrente máxima do diodo laser, esse sobressinal pode ser suficiente para danificá-lo permanentemente. Portanto, deve-se ter muito cuidado ao conectar a carga com a fonte em funcionamento, e de preferência, fazer isso apenas com a fonte desligada ou ao garantir que a chave moduladora esteja fechada. Por fim, salienta-se que não houveram perturbações significativas na tensão do barramento durante a desconexão da carga.

Muito bem, até o momento a atenção foi voltada principalmente para as características da fonte, e agora o foco é mais voltado para a qualidade da comutação da corrente do diodo laser. Os parâmetros de simulação são os mesmos utilizados inicialmente na Figura 46. Conforme já visto, com uma corrente de referência igual a 30 A e a chave moduladora fechada, não houveram problemas em seguir a referência (resultados da Tabela 2). Entretanto, agora define-se a referência em 3 A e os resultados de simulação são apresentados na Figura 53 (sendo i_{LD} a corrente instantânea no diodo laser). O sistema começa do zero e em $3 \cdot 10^{-4}$ segundos abre-se a chave moduladora.

Nota-se como a corrente de saída está em um patamar muito superior a corrente de referência, atingindo um valor médio igual a 10,35 A, situação condizente com a Equação 3.45 ao considerar $D = 2,5\%$ e resolvê-la em função de I_O . No instante da abertura da chave, o diodo laser recebe essa magnitude de corrente, mas logo em seguida ela decai e é restabelecida pelo controle (estabilizando no valor desejado). A corrente decai

Figura 53 – Resultado das incapacidades de operação.

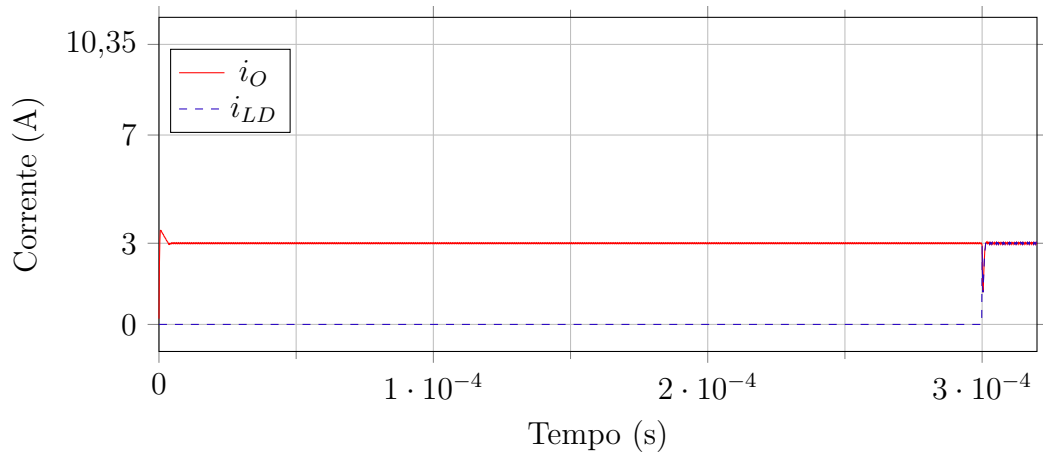


Fonte: Produzida pelo autor.

porque o balanço de tensão média nula nos indutores é momentaneamente violado, afinal, como a razão cíclica está saturada no nível inferior, a tensão média nos nós das células de comutação acaba sendo inferior a tensão do diodo laser, implicando em um ΔV negativo sobre os indutores, conseqüentemente, suas correntes devem diminuir do valor inicial.

Evidentemente, o resultado da Figura 53 aponta uma situação muito inconveniente, e inclusive muito perigosa ao diodo laser. Agora, verifica-se a implementação do diodo *offset* ($V_{D_{offset}} = 0,7\text{ V}$ e $R_{D_{offset}} = 15\ \Omega$) em série com a chave moduladora, sendo esperado que a razão cíclica não sature no patamar inferior e assim i_O consiga seguir a referência ($D = 3,27\%$ pela Equação 3.47). O resultado é apresentado na Figura 54, e está de acordo com o que se espera, demonstrando ser uma solução promissora.

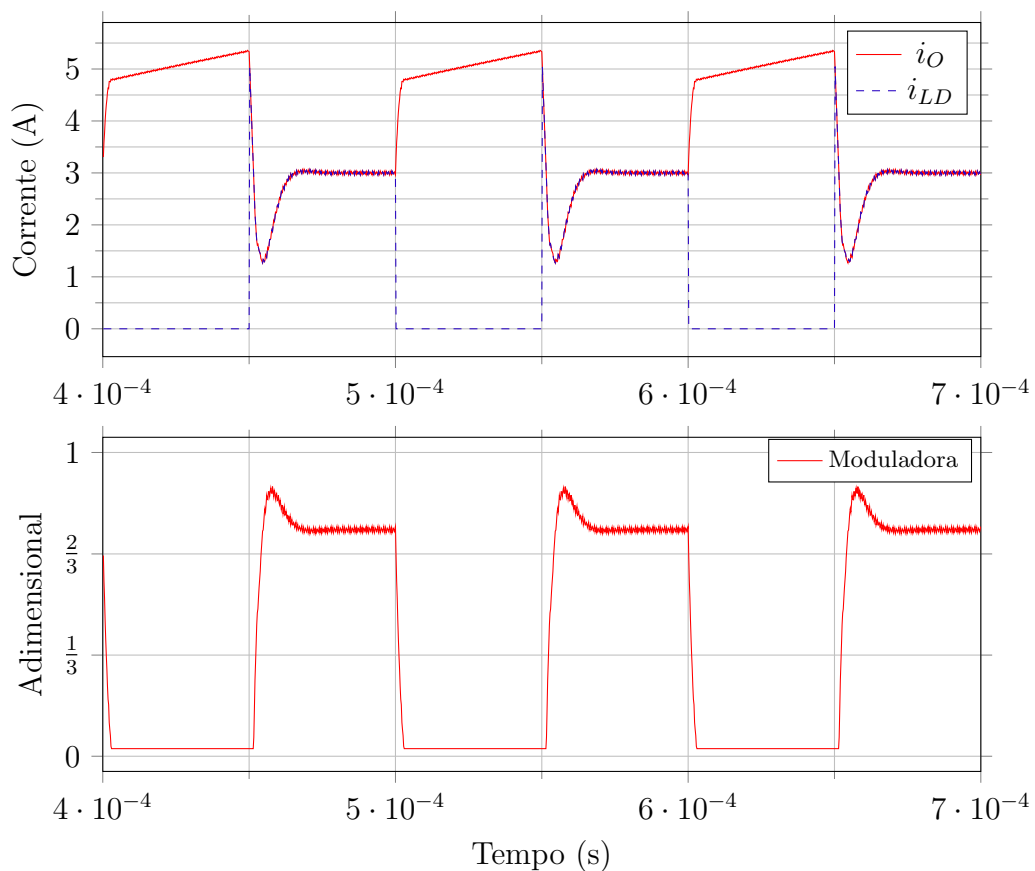
Importante destacar que quando não se está utilizando D_{offset} , nem sempre i_O atinge o seu máximo (os 10,35 A apresentados). O período de comutação da chave moduladora influencia na janela de tempo hábil para a corrente subir. Na Figura 55 há um resultado de simulação modulando i_{LD} em 10 kHz e com razão cíclica de 50%. No instante da comutação, agora, a corrente é de 5,33 A. Percebe-se que quanto menor for o tempo de condução da chave moduladora, menos a corrente de saída cresce, até um mínimo

Figura 54 – Resultado da implementação do diodo *offset*.

Fonte: Elaborada pelo autor.

de possíveis 4,79 A (no exato momento antes da ação de controle saturar), obtendo um aparente ΔI com relação a referência de aproximadamente 1,7 A.

Figura 55 – Resultado das incapacidades de operação comutando a chave moduladora.

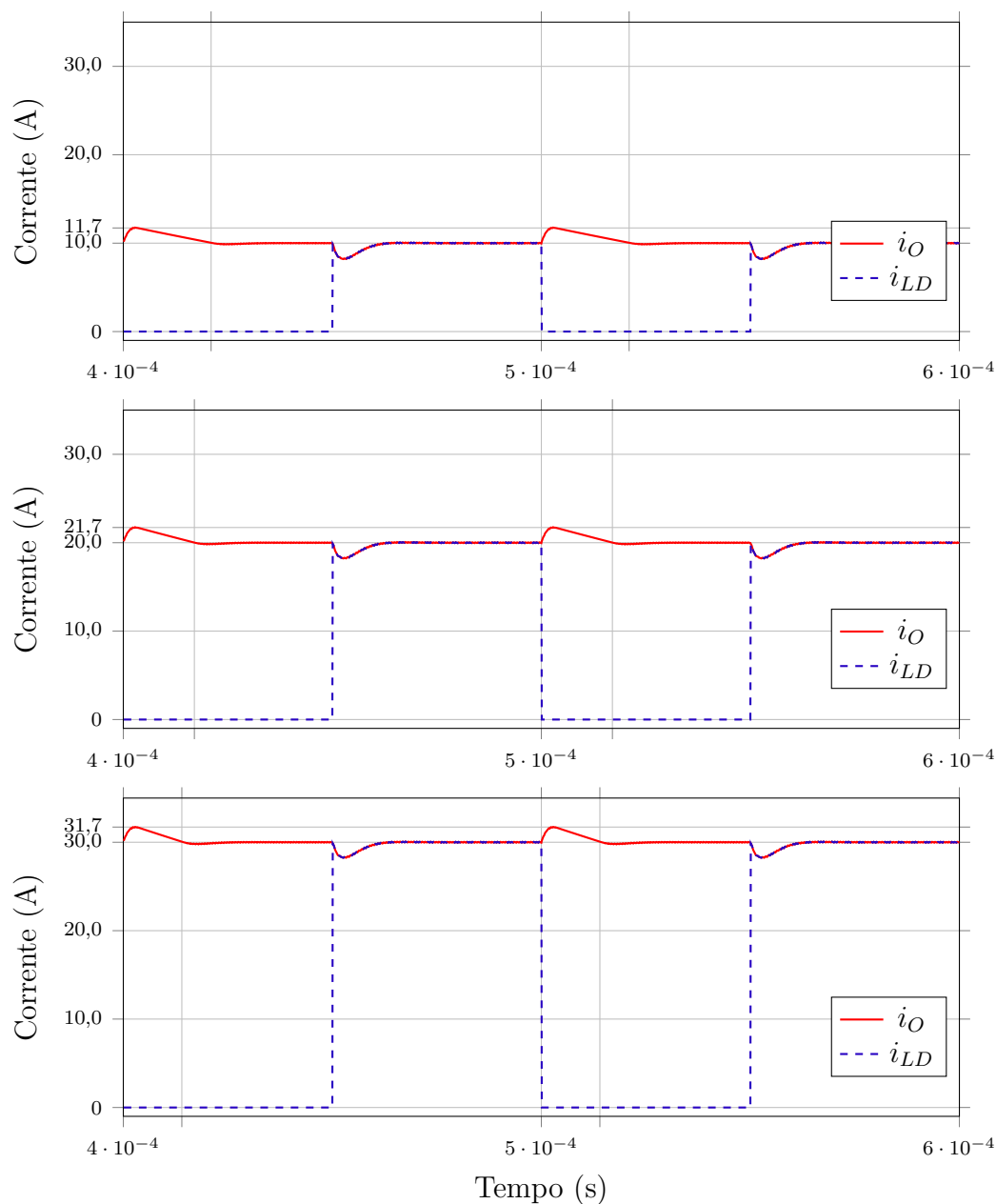


Fonte: Produzida pelo autor.

Mas voltando ao caso com D_{ofst} , ainda sim espera-se que i_O apresente uma sobre-corrente ao fechar a chave moduladora, afinal, tal como a corrente decresce ao abri-la, o oposto deve ocorrer ao fechá-la. Na Figura 56 apresenta-se o resultado para três situações

com referências distintas (10, 20 e 30 A), em que neste caso a saturação da razão cíclica foi ajustada para zero, e não mais nos 2,5 %, justamente para facilitar a condução da análise. Nota-se como o ΔI é tecnicamente fixo em aproximadamente 1,7 A em todos os casos. Essa variação é praticamente independente da magnitude da corrente, mas ela depende das dinâmicas do controle (mais rápido tende a valores menores), e também do quanto o sinal modulador precisa excursionar ao comutar a chave moduladora (quanto mais, maiores serão os valores obtidos). Além disso, quanto maior a referência de corrente, menos tempo é necessário para se recuperar do sobressinal.

Figura 56 – Resultados da sobrecorrente interna ao fechar a chave moduladora.



Fonte: Produzida pelo autor.

No trajeto até atingir o pico da corrente a ação de controle está variando. Básica-

mente ao atingir o pico, a ação de controle satura no patamar inferior, e assim a corrente começa a decrescer seguindo as dinâmicas do circuito equivalente, até atingir a referência novamente e o controle sair da saturação. Como neste caso se está permitindo que D atinja zero, o circuito resultante é muito similar ao da Figura 43, exceto que agora R_S se torna R_D em série com V_D , e o ramo do diodo limitador passa a ser igual ao ramo da chave moduladora com o diodo *offset*. Portanto, a Equação 3.86 pode ser utilizada para calcular o tempo de descarga parcial, com as seguintes considerações: $i_O(0)$ é o pico atingido; ΔI é a diferença entre a corrente de referência e o pico; $R_{Dlim} = R_{CM} + R_{Dofst}$; $V_{Dlim} = V_D + V_{Dofst}$. Os resultados estão apresentados na tabela Tabela 4, sendo os valores simulados da Figura 56, obtidos apenas no intervalo em que a ação de controle estava saturada.

Tabela 4 – Comparação dos resultados calculados e simulados do tempo de descarga parcial.

Referência	Unidade de medida	Calculado	Simulado	Erro relativo (%)
10 A	μs	17,95	17,76	1,07
20 A	μs	13,71	13,38	2,41
30 A	μs	11,10	10,46	5,77

Fonte: Elaborada pelo autor.

Nota: Erro relativo ao valor calculado.

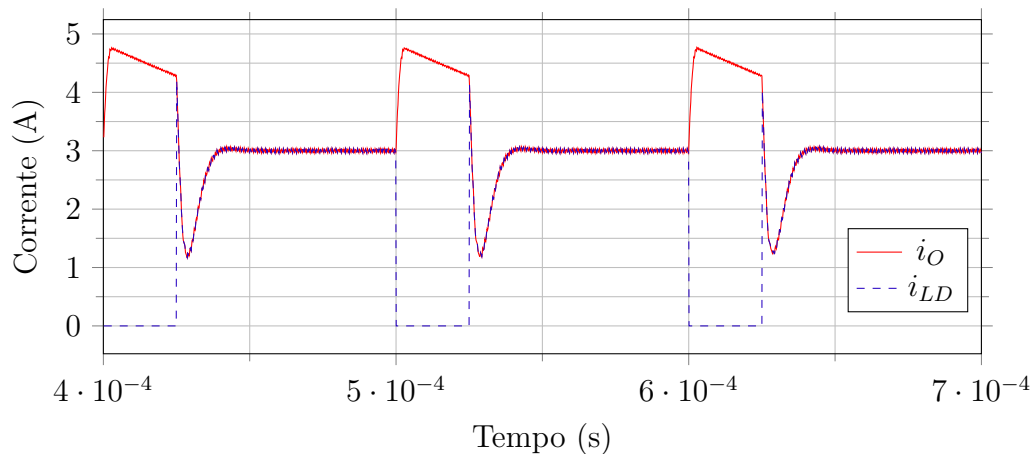
Uma certa dose de erro é algo esperado. A Equação 3.86 já foi validada anteriormente e se demonstrou muito acurada, entretanto, sua aplicação no conversor é pautada em algumas simplificações do sistema. Há como tornar os resultados mais acurados ao tomar os dados em momentos mais refinados, porém não há muita relevância em fazer isso, sendo o mais importante o entendimento do conceito. Por fim, salienta-se que ao aumentar o patamar inferior da razão cíclica, de zero para 2,5 %, por exemplo, o tempo de descarga parcial é maior em todos os casos.

Portanto, devido ao sobressinal inevitável, a chave moduladora deve possuir certas restrições para um funcionamento seguro da fonte. Seu ciclo de trabalho vai sofrendo limitações no patamar inferior com o aumento da sua frequência de comutação, assim, evitando abri-la enquanto i_O retorna para a referência. Seu tempo de condução deve ser grosso modo superior ao tempo de descarga parcial no pior caso (para a menor corrente de saída, maior tensão da carga, e contemplando um limite inferior na excursão da razão cíclica). Mas claro, deve-se contemplar o transitório inicial mais a descarga.

Na Figura 57 é apresentado um caso em que a chave moduladora é aberta antes de completar a descarga parcial. A corrente de referência está ajustada em 3 A, a razão cíclica está novamente com limitação no patamar inferior em 2,5 %, a frequência de co-

mutação da chave é de 10 kHz e seu ciclo de trabalho é de 25 %. Nota-se como a carga momentaneamente recebe um pico de corrente, e em contraste com a Figura 55, i_O está decrescendo no instante da comutação. Mas nem sempre essa sobrecorrente é problemática, se a carga tolera e o usuário está ciente da sua existência, então tudo bem. Ao mesmo tempo, é importante cuidar o ajuste da proteção contra sobrecorrente de i_O , pois ela pode ser indevidamente ativada caso esteja ajustada muito próxima da corrente de referência.

Figura 57 – Resultado ao abrir a chave moduladora antes do tempo mínimo necessário.



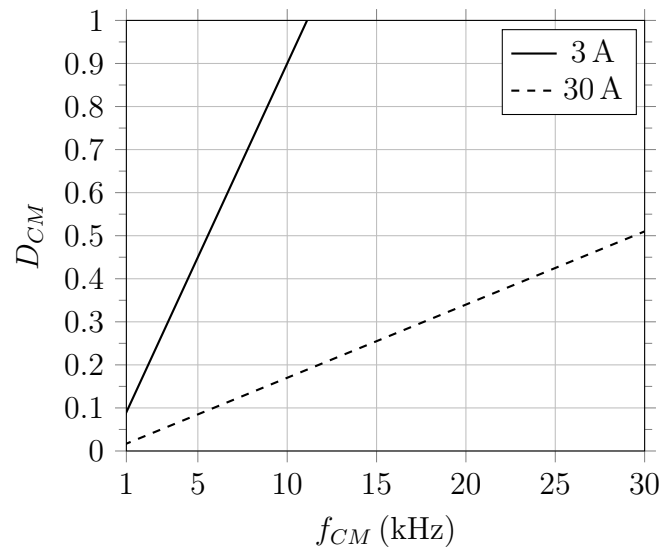
Fonte: Elaborada pelo autor.

Finalmente, via simulação pode-se obter o tempo necessário para acomodar a corrente, e assim traçar curvas como as da Figura 58. A região à esquerda, ou acima das curvas, representa condições seguras de funcionamento (livres de sobrecorrente ao abrir a chave moduladora). Visualiza-se como correntes maiores culminam em áreas mais amplas de operação. Para 3 A o tempo de acomodação foi de aproximadamente 90 μ s, então a equação para traçar a curva fica: $D_{CM} = f_{CM} \cdot 90 \mu$ s (com a imagem da função limitada entre zero e um; excursionando f_{CM} no domínio de interesse). Sendo f_{CM} a frequência de comutação da chave moduladora. Para 30 A o tempo de acomodação foi de aproximadamente 17 μ s. E recapitulando, para conseguir áreas de operação maiores, deve-se buscar cargas com menores tensões totais, maiores correntes de referência, e dinâmicas de controle mais rápidas. Por último, o resultado da Figura 57 é condizente com curva de 3 A da Figura 58, ou seja, opera abaixo da região segura de operação.

3.8 Conclusão

As equações obtidas são acuradas nas devidas circunstâncias e podem ser seguramente utilizadas no desenvolvimento do protótipo. A exceção ocorre para o cálculo da máxima corrente eficaz alternada de entrada, por ser de difícil representação ao considerar

Figura 58 – Condições seguras de operação da chave moduladora.



Fonte: Produzida pelo autor.

a comutação da chave moduladora e as dinâmicas do controle, sendo prudente adotar um valor de três a quatro vezes superior ao calculado. Nas condições adequadas, mínimas indutâncias na entrada podem servir como um apropriado filtro para atenuar as componentes harmônicas, dispensando o projeto de indutores. Devido as incapacidades de comutação dos transistores em baixíssimos tempos, ocasionadas quando há uma elevada frequência de comutação, e a chave moduladora é fechada culminando em uma baixa razão cíclica, a corrente de saída pode se tornar muito maior do que a referência, aplicando uma sobrecorrente momentânea no diodo laser ao abrir essa chave. Uma solução para isso é adicionar um diodo no estágio de potência para dissipar o excedente de energia dos indutores nessa condição limitante. A chave moduladora não pode operar com qualquer frequência e razão cíclica para uma operação livre de sobressinais na carga, quanto maior a magnitude da corrente de saída, maiores são as suas faixas de operação seguras. Por fim, a proteção contra sobrecorrente pode ser acionada indevidamente caso esteja regulada muito próxima da corrente de referência do controle.

4 Estágio de controle

O objetivo é controlar digitalmente a corrente de saída com um compensador Proporcional-Integral. De início, obtém-se a função de transferência do estágio de potência através da modelagem por valores médios, mais um aprimoramento proposto para contemplar os efeitos do *interleaving*, seguida pelas funções que representam os elementos da malha de controle. Adota-se a aproximação por *small-aliasing* para projetar o sistema, permitindo estudá-lo inteiramente no domínio da frequência, sendo a parcela digital representada por atrasos e ganhos. Avalia-se o controle discretizado em simulação e obtém-se os coeficientes necessários para implementação no microcontrolador.

4.1 Funções de transferência do estágio de potência

O método adotado para obter as funções de transferência do estágio de potência consiste na obtenção das suas equações médias de estado, conforme [27]. O procedimento agora, no entanto, é um pouco mais formal do que o realizado no capítulo anterior. Primeiramente, considera-se a chave moduladora aberta e obtém-se novamente as equações de estado 3.35 e 3.36, uma para cada estado das células de comutação, respectivamente rerepresentadas aqui conforme as Equações 4.1 e 4.2.

$$\begin{cases} L \frac{di_a}{dt} = E - R_S i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = E - R_S i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = E - R_S i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (4.1)$$

$$\begin{cases} L \frac{di_a}{dt} = -V_D - R_D i_a - R_L i_a - R_{LD} i_O - V_{FD} \\ L \frac{di_b}{dt} = -V_D - R_D i_b - R_L i_b - R_{LD} i_O - V_{FD} \\ L \frac{di_c}{dt} = -V_D - R_D i_c - R_L i_c - R_{LD} i_O - V_{FD}. \end{cases} \quad (4.2)$$

Feito isso, os valores médios do primeiro intervalo (relativo ao período T_S) são obtidos ao multiplicar a Equação 4.1 por d (a razão cíclica instantânea - a qual é em função do tempo t). Já com relação ao segundo intervalo, multiplica-se a Equação 4.2 pelo complementar da razão cíclica instantânea ($1 - d$). Por fim, os valores médios do intervalo total (T_S) são obtidos ao somar as equações obtidas em ambos intervalos, e ao considerar novamente $R_S = R_D$, chega-se na Equação 4.3 (em que $\langle x \rangle_{T_S}$ representa a

média da variável x sobre o intervalo T_S).

$$\begin{cases} L \frac{d\langle i_a \rangle_{T_S}}{dt} = E \cdot d - V_D \cdot (1 - d) - R_D \langle i_a \rangle_{T_S} - R_L \langle i_a \rangle_{T_S} - R_{LD} \langle i_O \rangle_{T_S} - V_{FD} \\ L \frac{d\langle i_b \rangle_{T_S}}{dt} = E \cdot d - V_D \cdot (1 - d) - R_D \langle i_b \rangle_{T_S} - R_L \langle i_b \rangle_{T_S} - R_{LD} \langle i_O \rangle_{T_S} - V_{FD} \\ L \frac{d\langle i_c \rangle_{T_S}}{dt} = E \cdot d - V_D \cdot (1 - d) - R_D \langle i_c \rangle_{T_S} - R_L \langle i_c \rangle_{T_S} - R_{LD} \langle i_O \rangle_{T_S} - V_{FD}. \end{cases} \quad (4.3)$$

Esse sistema de equações 4.3 pode ser solucionado ao somá-las entre si, sendo válida a consideração $\langle i_a \rangle_{T_S} + \langle i_b \rangle_{T_S} + \langle i_c \rangle_{T_S} = \langle i_O \rangle_{T_S}$, obtendo a Equação 4.4 ao já dividi-la por três.

$$\frac{L}{3} \frac{d\langle i_O \rangle_{T_S}}{dt} = E \cdot d - V_D \cdot (1 - d) - \left(\frac{R_D + R_L}{3} + R_{LD} \right) \langle i_O \rangle_{T_S} - V_{FD}. \quad (4.4)$$

Desse modo, o próximo passo é atribuir um ponto quiescente e uma perturbação de pequenos sinais nas variáveis de interesse, as quais no momento são $\langle i_O \rangle_{T_S}$ e d . Portanto, escreve-se $d = D + \hat{d}$, e também $\langle i_O \rangle_{T_S} = I_O + \hat{i}_O$, sendo \hat{d} e \hat{i}_O as componentes de pequenos sinais. Na realidade, estritamente falando, o ponto quiescente é irrelevante na obtenção da função de transferência devido ao conversor em questão ser linear. Ao fazer essas substituições na Equação 4.4, e ao desprezar os termos puramente médios, chega-se na Equação 4.5.

$$\frac{L}{3} \frac{d\hat{i}_O}{dt} = E \cdot \hat{d} + V_D \cdot \hat{d} - \left(\frac{R_D + R_L}{3} + R_{LD} \right) \hat{i}_O. \quad (4.5)$$

Aplicando a transformada de Laplace na Equação 4.5 e considerando condições iniciais nulas, obtém-se a função de transferência que relaciona a razão cíclica com a corrente de saída (G_{id}), estando a chave moduladora aberta, conforme a Equação 4.6.

$$G_{id}(s) = \frac{\hat{i}_O}{\hat{d}} = \frac{E + V_D}{\frac{L}{3}s + \left(\frac{R_D + R_L}{3} + R_{LD} \right)}. \quad (4.6)$$

Por outro lado, ao considerar a chave moduladora fechada, substitui-se R_{LD} por $R_{Dofst} + R_{CM}$ na Equação 4.6, em que R_{Dofst} é igual a zero quando não se tem D_{ofst} . Como há uma planta para cada estado da chave moduladora e como muito possivelmente ambas serão muito similares devido as resistências R_{LD} , R_{Dofst} e R_{CM} , se situarem em patamares próximos entre si, pode-se trabalhar apenas com uma delas para projetar o compensador da lei de controle. O caminho mais conservador é considerando a chave moduladora aberta e ao considerar $R_{LD} = 0 \Omega$, uma vez que geralmente não se conhece seu valor com antecedência, o que acaba deslocando sutilmente o polo para a esquerda no diagrama de Bode, resultando em um projeto com uma possível redução da margem de fase disponível para projetar o compensador.

Olhando mais atentamente, nota-se que ao obter $G_{id}(s)$ através do modelo médio, não se consideram as defasagens das portadoras devido ao *interleaving*, portanto, essa função de transferência representa apenas um caso de três conversores idênticos em paralelo. Mas afinal, no caso em questão, a planta é atualizada a cada 120° , em um terço do período de comutação, então é de se esperar uma redução do atraso de transporte da própria planta (e isso no domínio da frequência é equivalente a um avanço de fase). Sendo assim, busca-se representar esse efeito na função $G_{id}(s)$.

De início, tem-se a consideração de que $\hat{i}_O = \hat{i}_a + \hat{i}_b + \hat{i}_c$, e então, incorporam-se as defasagens entre as fases nesse equacionamento. No domínio da frequência é realmente de interesse o atraso relativo entre os sinais, pois não há um referencial absoluto como um instante zero, assim \hat{i}_b está atrasada de \hat{i}_a em 120° . Já \hat{i}_c está atrasada de \hat{i}_b também em 120° , assim como \hat{i}_a está atrasada de \hat{i}_c na mesma proporção, permitindo escrever as relações da Equação 4.7.

$$\begin{cases} \hat{i}_b = \hat{i}_a e^{-\frac{T_S}{3} \cdot s} \\ \hat{i}_c = \hat{i}_b e^{-\frac{T_S}{3} \cdot s} \\ \hat{i}_a = \hat{i}_c e^{-\frac{T_S}{3} \cdot s} \end{cases} \quad (4.7)$$

Dessa forma, \hat{i}_O pode ser reescrita pela Equação 4.8, e ao colocar a exponencial em evidência, chega-se na importante relação da Equação 4.9, a qual indica que, ao considerar as defasagens, a relação nodal é preservada, mas aparece um atraso na componente de pequenos sinais.

$$\hat{i}_O = \hat{i}_c e^{-\frac{T_S}{3} \cdot s} + \hat{i}_a e^{-\frac{T_S}{3} \cdot s} + \hat{i}_b e^{-\frac{T_S}{3} \cdot s} \quad (4.8)$$

$$\hat{i}_O = \hat{i}_O e^{-\frac{T_S}{3} \cdot s} \quad (4.9)$$

Substituindo isso em $G_{id}(s)$, Equação 4.9 em Equação 4.6, obtém-se a Equação 4.10.

$$G_{id}(s) = \frac{\hat{i}_O e^{-\frac{T_S}{3} \cdot s}}{\hat{d}} = \frac{E + V_D}{\frac{L}{3}s + \left(\frac{R_D + R_L}{3} + R_{LD}\right)} \quad (4.10)$$

É possível fazer ainda mais uma manipulação matemática e finalmente obter a Equação 4.11. Nota-se que a suposição inicial foi atendida, a planta agora possui um

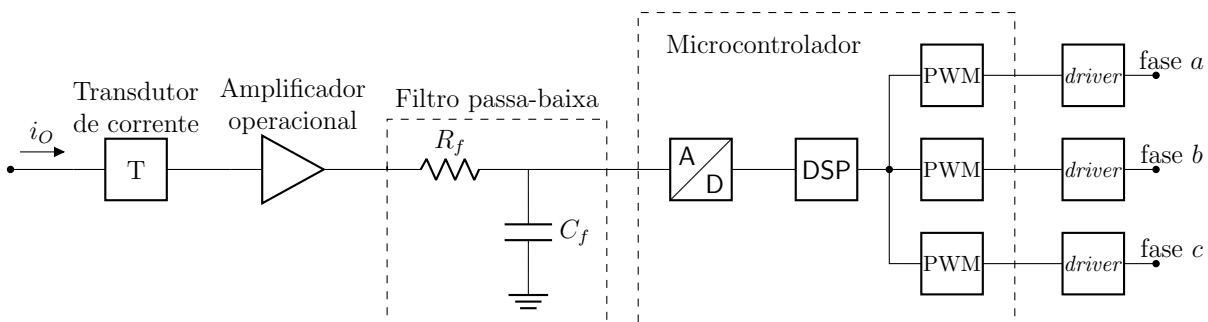
avanço de fase equivalente aos 120° , sendo assim, há uma redução do atraso de transporte da própria planta. Enquanto esse refinamento da teoria pode ser irrelevante em muitos casos, por exemplo, quando a frequência de cruzamento por 0 dB está bem abaixo da frequência de comutação do conversor, neste trabalho isso acaba tendo uma significativa relevância (permitindo projetar analiticamente o compensador para obter dinâmicas mais rápidas com um bom coeficiente de amortecimento).

$$G_{id}(s) = \frac{\hat{i}_O}{\hat{d}} = \frac{(E + V_D) \cdot e^{+\frac{T_S}{3} \cdot s}}{\frac{L}{3}s + \left(\frac{R_D + R_L}{3} + R_{LD}\right)}. \quad (4.11)$$

4.2 A malha de controle

O objetivo é fazer o controle digital da corrente de saída i_O utilizando um compensador Proporcional-Integral (PI). Nota-se como não se está implementando nenhum recurso para o controle individual das correntes das fases, portanto, é necessário um rigor extra no desenvolvimento do protótipo, buscando obter fases com resistências idênticas para garantir um adequado balanço natural da corrente entre elas. Na Figura 59 há um diagrama da malha de controle empregada (na qual DSP se refere a *digital signal processor*).

Figura 59 – Diagrama da malha de controle.



Fonte: Produzida pelo autor.

Devido as exigências dinâmicas da fonte, necessárias para uma boa operação com elevadas frequências de comutação da chave moduladora, os atrasos puros de transporte apresentam muita relevância no projeto por diminuírem a margem de fase disponível. Analogicamente, o *gate driver* apresenta esse atraso, e o transdutor de corrente além disso possui um ganho atribuído. Ambos podem ser modelados no domínio da frequência [33], resultando na Equação 4.12 para o transdutor (sendo K_T o ganho e α_T o atraso em

segundos) e na Equação 4.13 para o *gate driver* (em que α_{DR} é o atraso em segundos).

$$G_T(s) = K_T e^{-\alpha_T s}. \quad (4.12)$$

$$G_{DR}(s) = e^{-\alpha_{DR} s}. \quad (4.13)$$

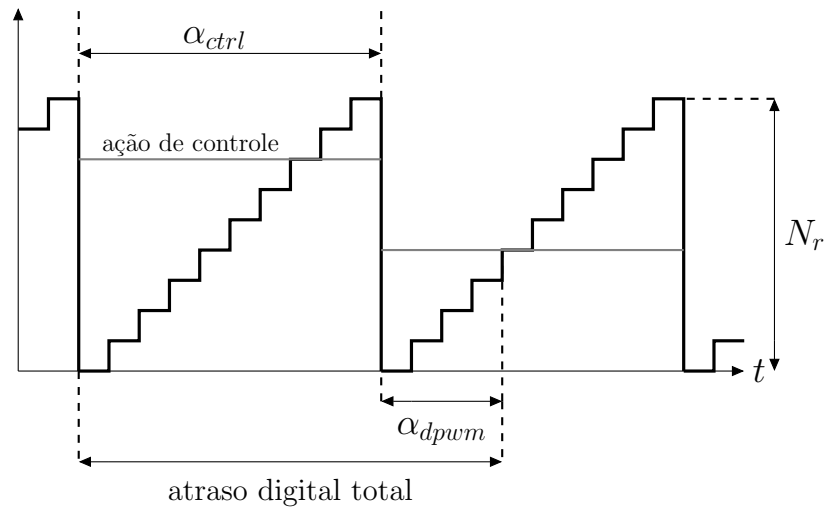
Geralmente, o sinal provido do transdutor deve ser condicionado antes de ir para o microcontrolador, assim atribui-se ganhos a ele utilizando amplificadores operacionais, os quais são considerados livres de atrasos e com uma resposta plana em frequência (nas situações adequadas), resultando apenas no ganho do amplificador K_{OP} . Ao mesmo tempo, é prudente adicionar um filtro passa-baixa na entrada do conversor analógico-digital (A/D), assim garantindo maior estabilidade às leituras. O filtro é composto por um resistor R_f e um capacitor C_f (obtendo a Equação 4.14) [34]. Neste trabalho, é muito importante projetá-lo de forma a não interferir na margem de fase, portanto, seu polo deve estar muito acima da frequência de cruzamento desejada do sistema.

$$G_{RC}(s) = \frac{1}{R_f C_f s + 1}. \quad (4.14)$$

A parte digital contribui com mais dois atrasos, um relacionado com a modulação e outro com a lei de controle, assim como contribui com os ganhos dos módulos A/D e PWM digital [35]. Tratando-se primeiro dos atrasos, supondo que o sinal seja amostrado no início de cada período T_S , tão logo calcula-se a lei de controle e obtém-se o resultado da ação de controle, seu valor só vai ser atualizado para o PWM no início do próximo período T_S (considerando que a arquitetura do microcontrolador esteja implementada desta forma - por vezes conhecida como *shadow mode*). Isso constitui o atraso da lei de controle (α_{ctrl}). Mas ainda, após a ação de controle ter sido devidamente atualizada, leva-se um período proporcional a razão cíclica para que ocorra a atualização do PWM, constituindo o atraso da modulação (α_{dpwm}). Uma ilustração dos casos está apresentada na Figura 60.

Considerando portadoras do tipo dente-de-serra crescentes (*trailing-edge*), tal como na Figura 60, o atraso da modulação pode ser representado pela Equação 4.15, em que N_r é quantidade de números inteiros para obter a frequência de comutação desejada [35]. Nota-se agora como a resposta dinâmica do conversor passa a ter dependência com seu ponto quiescente de operação D , fruto da digitalização do controle. Já o atraso da lei de controle pode ser aproximado pelo próprio intervalo T_S , mas deve-se atentar que as condições são similares a de um segurador de ordem zero, resultando na Equação 4.16

Figura 60 – Ilustração dos atrasos digitais.



Fonte: Produzida pelo autor.

[33].

$$G_{dpwm}(s) = \frac{e^{-D \cdot T_S \cdot s}}{N_r}. \quad (4.15)$$

$$G_{ctrl}(s) = \frac{1 - e^{-T_S \cdot s}}{T_s \cdot s}. \quad (4.16)$$

Até o momento não foram considerados os efeitos do *interleaving* nesses atrasos (ofuscando as reais capacidades dinâmicas da fonte). O desenvolvimento adotado do controle baseia-se na aproximação por *small-aliasing*, quando a ondulação do sinal amostrado é muito inferior ao ser valor médio, e quando a frequência de amostragem está sincronizada com a frequência da ondulação do sinal lido, tornando adequadas a utilização de plantas obtidas através de modelos médios para projetar o compensador digitalmente [35]. Nessas condições o controlador basicamente enxerga apenas o valor médio do sinal controlado (sem a necessidade de implementação de qualquer filtro *anti-aliasing*). Portanto, como i_O apresenta uma ondulação com frequência igual a $3f_s$, a amostragem deve acontecer nessa mesma frequência para melhores dinâmicas, reduzindo em um terço a janela de tempo para o cálculo da lei de controle (pois a cada 120° deve-se fazer a conversão A/D, realizar os cálculos necessários e atualizar a ação de controle). Então o atraso da lei de controle passa a ser aproximado por $T_S/3$ e assim obtém-se a Equação 4.17. Já o atraso da modulação também é reduzido porque dentro de um período T_S agora correm três

atualizações da razão cíclica, resultando na Equação 4.18.

$$G_{ctrl}(s) = \frac{1 - e^{-\frac{T_S}{3} \cdot s}}{\frac{T_S}{3} \cdot s}. \quad (4.17)$$

$$G_{dpwm}(s) = \frac{e^{-D \frac{T_S}{3} \cdot s}}{N_r}. \quad (4.18)$$

Enquanto aos ganhos introduzidos pela digitalização, o PWM contribui com um ganho $K_{dpwm} = 1/N_r$, o qual está implícito na Equação 4.18 (na qual geralmente se considera $N_r = 1$ durante o projeto e só ao final atribui-se o ganho K_{dpwm} aos parâmetros do compensador) [35]. Já o módulo A/D participa com o seu ganho K_{ad} , o qual depende da sua tensão de fundo de escala V_{FS} , por exemplo, até 3,3 V, e da sua resolução em bits n_{ad} , conforme a Equação 4.19 [35].

$$K_{ad} = \frac{V_{FS}}{2^{n_{ad}}}. \quad (4.19)$$

Quando se está atendendo a aproximação por *small-aliasing*, o compensador pode ser dimensionado no domínio da frequência, sendo em um primeiro momento desprezados os ganhos da digitalização, mas não os atrasos [35]. Com base na função de transferência de laço aberto não-compensada $F T L A_{nc}(s)$, Equação 4.20, pode-se projetar o compensador PI analiticamente, primeiro obtendo a frequência angular do zero invertido ω_z (Equação 4.21) e depois o ganho k_c (Equação 4.22), devendo especificar a frequência angular de cruzamento por 0 dB desejada ω_c , bem como a margem de fase MF em radianos neste ponto [35].

$$F T L A_{nc}(s) = K_{OP} \cdot G_T(s) G_{DR}(s) G_{RC}(s) G_{ctrl}(s) G_{dpwm}(s) G_{id}(s). \quad (4.20)$$

$$\omega_z = \frac{\omega_c}{\tan \left(MF - \frac{\pi}{2} - \angle(F T L A_{nc}(\omega_c)) \right)}. \quad (4.21)$$

$$k_c = \frac{\omega_c}{\sqrt{\omega_c^2 + \omega_z^2} \cdot |F T L A_{nc}(\omega_c)|}. \quad (4.22)$$

Salienta-se estar considerando $N_r = 1$ em $G_{dpwm}(s)$ da $F T L A_{nc}(s)$, assim como $G_{ctrl}(s)$ e $G_{dpwm}(s)$ são respectivas as Equações 4.17 e 4.18. A frequência de cruzamento por 0 dB f_c , relacionada com $\omega_c = 2 \pi f_c$, pode ser especificada relativa a frequência da ondulação de i_O , a qual é $3 f_s$, e não apenas sobre f_s caso não houvesse o *interleaving*, favorecendo atingir bandas passantes maiores. Mesmo assim, em situações reais, geralmente a banda vai estar limitada a uma fração de f_s devido as imperfeições intrínsecas

das implementações [36]. Além do mais, deve-se ter cuidado com o domínio da equação de ω_z , pois caso MF esteja além do alcance das capacidades do PI, o resultado é um ω_z negativo, logo, inválido. Por exemplo, se a margem de fase está em 20° , não há o que o compensador possa fazer para levá-la até 25° , ao manter um mesmo f_c , uma vez que sua contribuição de fase é de menos noventa graus até zero. Por último, a função de transferência do compensador PI, $G_{PI}(s)$, é dada pela Equação 4.23.

$$G_{PI}(s) = \frac{k_c(s + \omega_z)}{s}. \quad (4.23)$$

Supondo uma implementação paralela do PI, ou seja, os ganhos proporcional e integral seguem por ramos distintos e ao final são somados, e considerando uma discretização pelo método *backward Euler* [35], o ganho integral discretizado mas não-escalonado (k_{Ine}) pode ser definido pela Equação 4.24, enquanto o proporcional discretizado mas não-escalonado é dado pela Equação 4.25. Nota-se o termo $T_S/3$ em k_{Ine} justamente pelas condições impostas no período de amostragem devido ao *interleaving*.

$$k_{Ine} = k_c \omega_z \cdot \frac{T_S}{3}. \quad (4.24)$$

$$k_{Pne} = k_c. \quad (4.25)$$

O passo final é o escalonamento dos coeficientes do compensador ao contemplar os ganhos do A/D e PWM, pois até o momento são considerados unitários. Portanto, o ganho integral discretizado e escalonado é dado pela Equação 4.26, enquanto o ganho proporcional discretizado e escalonado é dado pela Equação 4.27, sendo estes os coeficientes necessários para a implementação digital (a qual é de suma relevância possuir também um mecanismo de *anti-windup*).

$$k_{Ie} = k_{Ine} K_{dpwm} K_{ad}. \quad (4.26)$$

$$k_{Pe} = k_{Pne} K_{dpwm} K_{ad}. \quad (4.27)$$

Por fim, é importante garantir que a resolução do módulo PWM seja superior a do A/D, para ajudar evitar instabilidades em regime permanente (conhecidas como *limit cycling*) [35]. Em linhas gerais, caso isso não seja atendido, a razão cíclica pode ficar oscilando entre dois estados, duas palavras binárias, justamente pelo valor do regime permanente estar entre elas. A resolução do A/D (n_{ad}) é nominalmente dada em bits, 12-bits por exemplo, ao considerar que se está utilizando toda a sua escala de tensão de entrada. Mas a resolução do PWM depende da frequência desejada das portadoras

(F_{PWM}), a qual pode ser igual a f_s , e do *clock* necessário para atingi-la (F_{TBCLK}) considerando um dado N_r , podendo obter a resolução em bits através da Equação 4.28 [37].

$$PWM_{resBits} = \log_2 \left(\frac{F_{TBCLK}}{F_{PWM}} \right). \quad (4.28)$$

4.3 Apresentação e discussão dos resultados de simulação

As simulações foram realizadas no *software* PSIM versão 9.1.1.400. Um passo de cálculo igual a $6,66667 \cdot 10^{-10}$ foi adotado para garantir resultados bem acurados. Os parâmetros do circuito são: $E = 48 \text{ V}$; $R_S = 30 \text{ m}\Omega$; $R_D = 30 \text{ m}\Omega$; $V_D = 0,7 \text{ V}$; $L = 66,667 \text{ }\mu\text{H}$; $R_L = 60 \text{ m}\Omega$; $R_{CM} = 20 \text{ m}\Omega$; $V_{Dofst} = 0,7 \text{ V}$; $R_{Dofst} = 15 \text{ m}\Omega$; $I_O = 30 \text{ A}$; $V_{LD} = 30 \text{ V}$; $R_{LD} = 0 \text{ }\Omega$; $f_s = 500 \text{ kHz}$. Além desses, tem-se os atrasos de transporte analógicos: do *gate driver* $\alpha_{DR} = 50 \text{ ns}$; e do transdutor de corrente $\alpha_T = 100 \text{ ns}$. O ganho do transdutor é definido como $K_T = 0,1 \text{ V/A}$ e do amplificador operacional como $K_{OP} = 1 \text{ V/V}$.

Em um primeiro momento, busca-se uma frequência de cruzamento por 0 dB em 100 kHz, ou seja, o equivalente a um quinto de f_s ($f_c = f_s/5$). O filtro, portanto, deve ter seu polo alocado bem acima dessa frequência para mínimas influências na fase, e ao considerar $R_f = 50 \text{ }\Omega$ e $C_f = 700 \text{ pF}$, sua frequência de corte situa-se em 4,547 MHz; com base na relação $1/(2\pi R_f C_f)$. Dessa forma, $\angle G_{RC}(\omega_c) = -1,26^\circ$, o que é relativamente pouco. Além do mais, considera-se a razão cíclica nas condições nominais de operação, com V_{LD} e I_O definidos, chave moduladora aberta, para determinar o ponto quiescente de operação necessário para o cálculo de $G_{dpwm}(s)$, obtendo $D = 0,67$ (Equação 3.47). Assim o projeto é feito com o maior atraso de transporte possível.

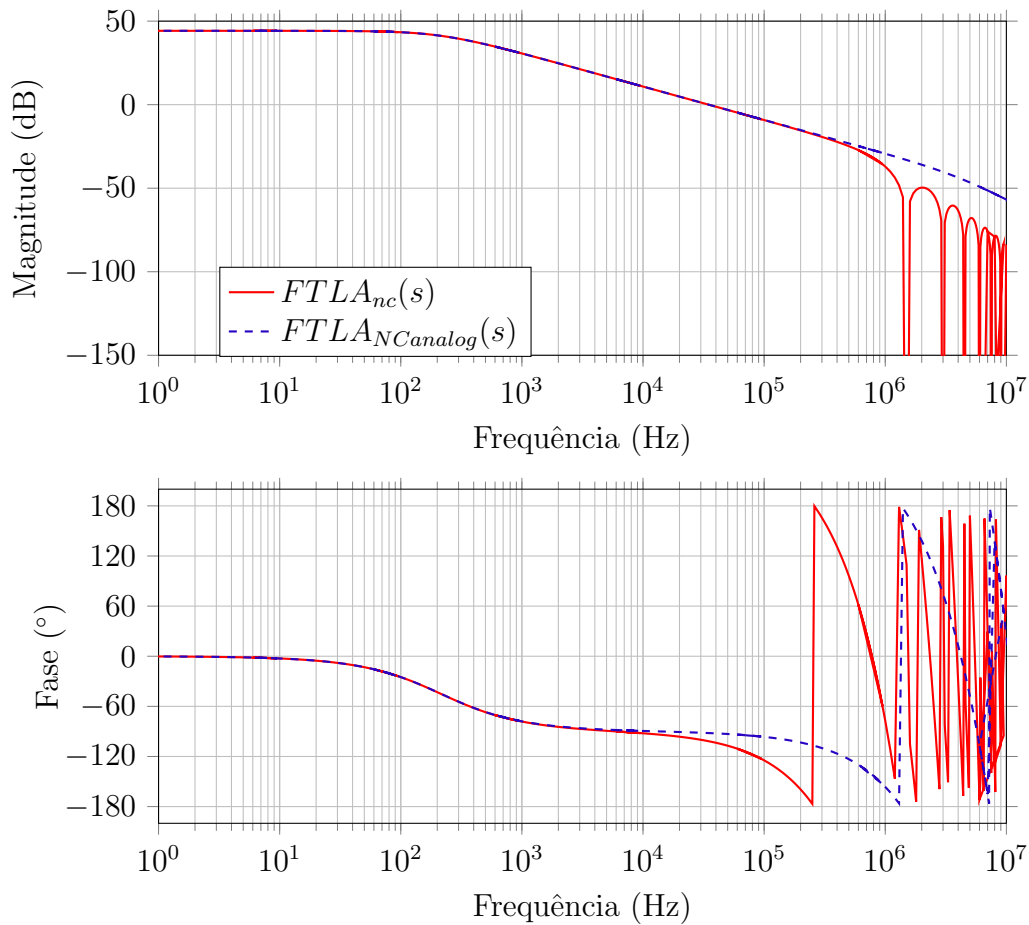
Para maior clareza, de início projeta-se o compensador utilizando $G_{id}(s)$ sem o avanço de fase proposto, assim com base em uma função de transferência muito bem conceituada. Em seguida, faz-se o mesmo, porém considerando o avanço de fase em $G_{id}(s)$, ou seja, a tentativa de representar os efeitos do *interleaving* nessa função de transferência obtida através do modelo médio da planta.

4.3.1 Considerando $G_{id}(s)$ sem o avanço de fase

Para projetar o compensador utiliza-se da função de transferência $G_{id}(s)$, sem o avanço de fase proposto, considerando a chave moduladora aberta (Equação 4.6). Destaca-se que no momento os ganhos da digitalização são desprezados ($N_r = 1$ e $K_{ad} = 1$). Apresenta-se na Figura 61 o diagrama de bode da $FTLA_{nc}(s)$, Equação 4.20, bem como

uma situação desprezando os atrasos digitais $FTLA_{NC\text{analog}}(s)$, sem contemplar $G_{ctrl}(s)$ e $G_{dpwm}(s)$. Nota-se em ambos os casos um comportamento bem regular, sem múltiplos cruzamentos por 0 dB, com um decaimento monótono de 20 dB/década na região de f_c , e com margens de fase e ganho positivas (indicando estabilidade) [34]. Evidentemente, nas regiões de maiores frequências a resposta de $FTLA_{nc}(s)$ é dominada pelo *aliasing*.

Figura 61 – Diagrama de Bode da planta não-compensada.



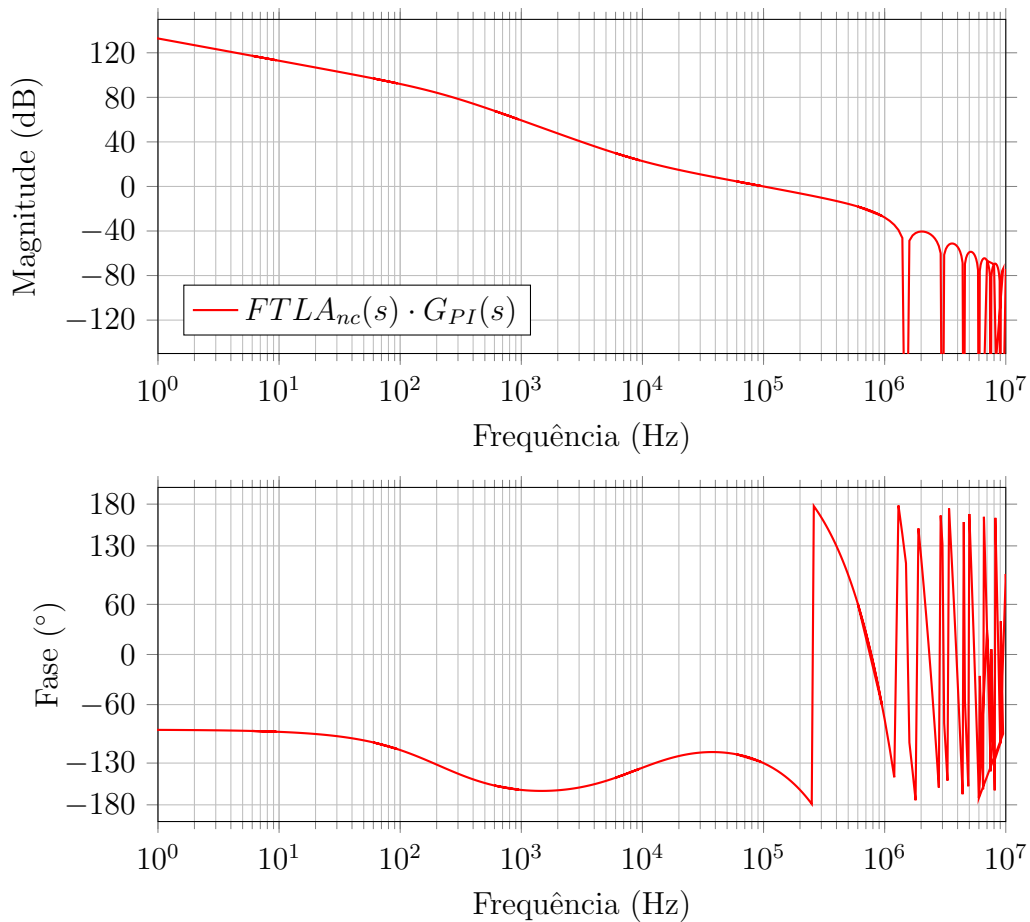
Fonte: Produzida pelo autor.

Caso fossem desprezados todos os atrasos, inclusive os analógicos, a margem de fase em f_c seria igual a $88,63^\circ$. Ao considerar os atrasos analógicos a margem de fase é igual a $83,46^\circ$ (uma redução de $5,17^\circ$ com $\alpha_T + \alpha_{DR} = 150$ ns). E quando se contemplam os atrasos digitais, obtém-se $MF = 55,38^\circ$, uma redução de $28,08^\circ$ frente ao caso analógico. Além disso, pelo diagrama de Bode é observado como a planta digital é estável até cerca de 250 kHz, enquanto a analógica passa de 1 MHz (pelo menos idealmente). Portanto, assim tornam-se mais evidentes as limitações da digitalização, as quais são provocadas principalmente por $G_{ctrl}(s)$, na forma empregada neste trabalho, sendo talvez possível obter aprimoramentos ao diminuir esse atraso utilizando uma FPGA (*field-programmable gate array*) [35]. E claro, parte dos resultados dependem de D devido a $G_{dpwm}(s)$, então

valores menores resultam em mais margem de fase disponível na região de f_c .

Nessas condições, opta-se por desejar uma margem de fase igual a 50° , então através da Equação 4.21 obtém-se $\omega_z = 5,921 \cdot 10^4$ rad/s, e pela Equação 4.22 chega-se em $k_c = 2,876$. O diagrama de Bode resultante da multiplicação de $F T L A_{nc}(s)$ com $G_{PI}(s)$ é apresentado na Figura 62. Percebe-se como em f_c , a curva da magnitude toca em 0 dB e $MF = 50^\circ$, enquanto a margem de ganho é de 8,57 dB. Vale ressaltar que é prudente escolher uma margem de fase sutilmente inferior a máxima disponível, neste caso são os $55,38^\circ$, justamente para evitar que o zero invertido do compensador PI seja situado em frequências muito baixas, causadas pela característica $1/\tan(x)$ do cálculo de ω_z , pois observou-se péssimos resultados caso isso fosse violado (escolhendo $55,30^\circ$, por exemplo).

Figura 62 – Diagrama de bode da planta compensada.



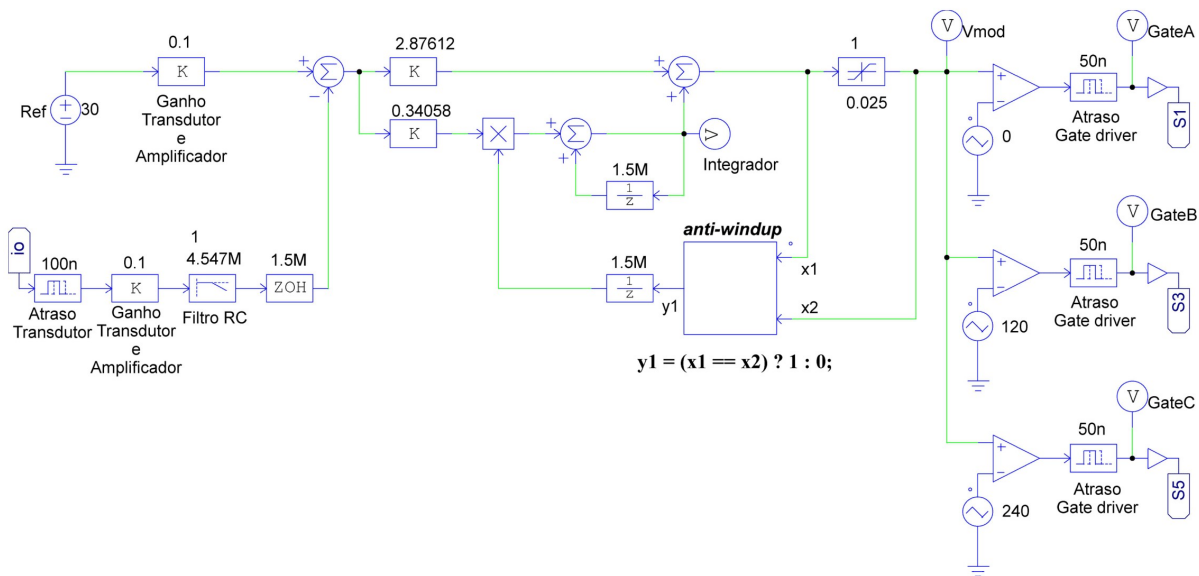
Fonte: Produzida pelo autor.

Para implementação digital do PI, seus coeficientes k_c e ω_z devem ser devidamente discretizados, resultando em $K_{Ine} = 0,34058$ e $k_{Pne} = 2,87612$, respectivamente pelas Equações 4.24 e 4.25. O próximo passo seria escalonar esses coeficientes para contemplar os ganhos da digitalização, e assim escrevê-los no microcontrolador, contudo, implementar na simulação a quantização do sistema é tarefa inviável, atendo-se apenas a k_{Pne} e K_{Ine}

para as simulações. Por transparência da metodologia, com $N_r = 200$, $n_{ad} = 12$ bits e $V_{FS} = 3,3$ V, apresenta-se que os coeficientes discretizados e escalonados acabam sendo: $k_{Ie} = 0,0548791656$ pela Equação 4.26; $k_{Pe} = 0,4634367665$ pela Equação 4.27. A expressividade das casas decimais após a vírgula se deve por ter sido escrito dessa forma no microcontrolador utilizado no protótipo.

Tendo projetado o compensador, na Figura 63 apresenta-se a sua implementação no PSIM, assim em conjunto com os outros elementos que constituem o controle e o acionamento. Destaca-se a presença da lógica de *anti-windup* para zerar a contribuição da parcela integral em condições de saturação da ação de controle. Já o estágio de potência é o mesmo da Figura 46 do Capítulo 3 (exceto agora pela inclusão de D_{ofst} em série com a chave moduladora).

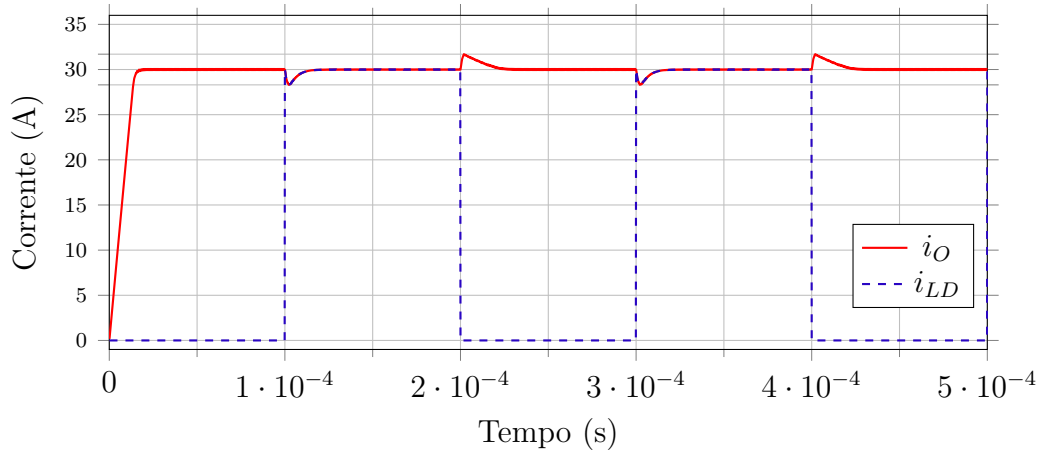
Figura 63 – Estágio de comando e controle no PSIM.



Fonte: Elaborada pelo autor.

Os seguintes resultados consideram a chave moduladora comutando a 5 kHz e com uma razão cíclica de 50%. Começando com uma corrente de referência igual a 30 A, conforme já destacado, os resultados de i_O e i_{LD} são apresentados na Figura 64. A ausência de sobressinal na inicialização é fortemente influenciada pelo mecanismo de *anti-windup*. As características seguem iguais as apresentadas no Capítulo 3, sobrecorrente ao fechar a chave moduladora, e afundamento da corrente ao abri-la. Nota-se que com $MF = 50^\circ$, i_{LD} é livre de qualquer sobressinal provido das dinâmicas do controle, sendo assim, a relação do fator de amortecimento ser aproximadamente um centésimo da margem de fase [34] não é bem atendida, indicando como o sistema nestas condições não pode ser tão aproximado por uma função de transferência característica de segunda-ordem.

Figura 64 – Correntes com controle digital e comutação da chave moduladora.



Fonte: Elaborada pelo autor.

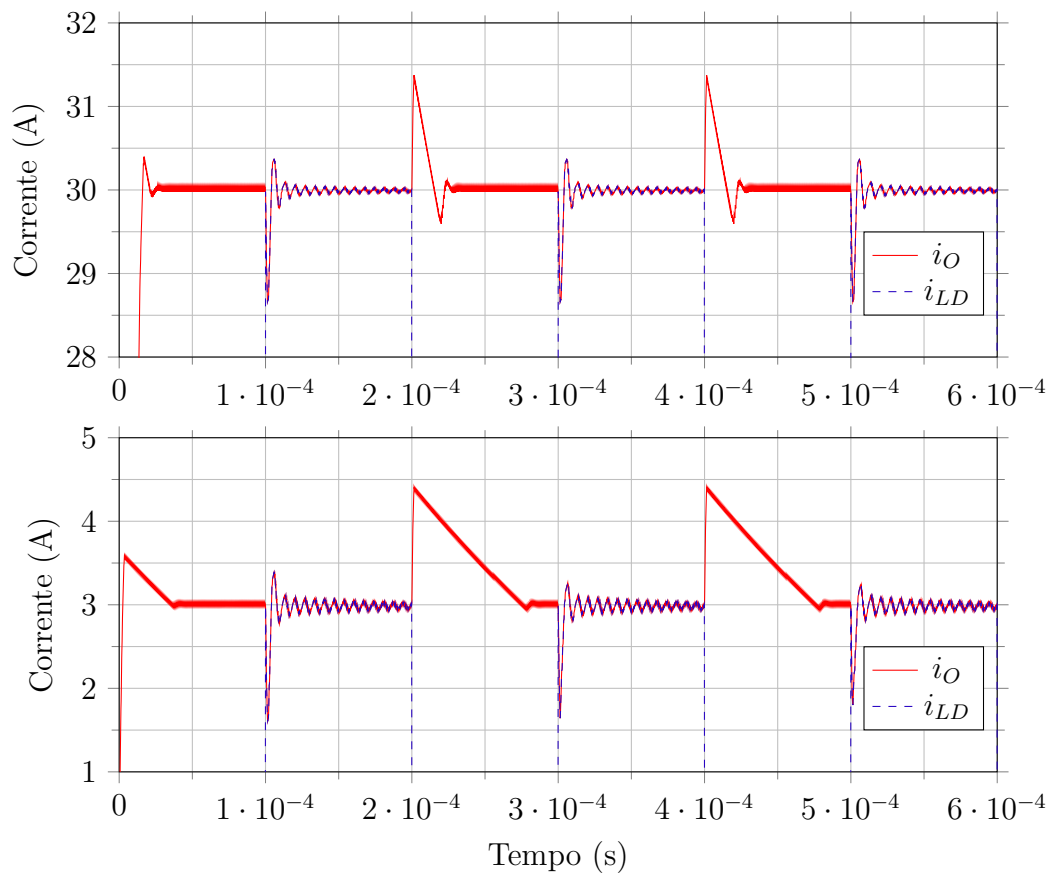
O sobressinal e o afundamento da corrente apresentam ambos aproximadamente um $\Delta I = 1,70$ A com relação a referência. Do instante que a chave moduladora fecha, até a corrente decair para 1% acima da referência, o intervalo de tempo é igual a $19,47 \mu\text{s}$. Enquanto do instante que a chave moduladora abre, até a corrente atingir 1% abaixo da referência, o intervalo de tempo é igual a $10,73 \mu\text{s}$. Considerando uma outra simulação com $I_O = 3$ A, a resposta é bem similar a da Figura 64, observa-se o mesmo ΔI aproximado de $1,70$ A, mas uma recuperação da sobrecorrente em $93,40 \mu\text{s}$, e do afundamento em $19,91 \mu\text{s}$. Intervalos maiores com correntes menores já é algo esperado (trata-se disso no Capítulo 3).

Vale analisar, pelo menos qualitativamente, os efeitos na resposta em frequência ao fechar a chave moduladora (uma vez que o sistema foi dimensionado com ela aberta). Ao fechá-la, a razão cíclica vai cair, então reduzindo o atraso provocado por $G_{dpwm}(s)$, assim aumentando a margem de fase em f_c , possivelmente tornando a resposta mais amortecida. Contudo, a mudança não é instantânea devido as próprias dinâmicas do controle, bem como altera-se a planta $G_{id}(s)$, algo que pode ter mais ou menos impacto dependendo dos parâmetros do circuito. E o oposto acontece ao abri-la (mas vale lembrar que o sistema está retornando para o estado que ele foi projetado, logo, possivelmente dentro das especificações). No fim das contas, pela tendência em amortecer a resposta, ou pelo menos empatar graças alguma contribuição da nova $G_{id}(s)$, não se esperam sobressinais e isso condiciona critérios seguros para acionamento do laser ou da fonte.

Novos testes são feitos mas agora considerando $MF = 30^\circ$ e os mesmos $f_c = 100$ kHz. Resultados para correntes de 3 e 30 A são apresentados na Figura 65, cujos gráficos estão com a mesma escala vertical relativa à referência para facilitar a comparação. Percebe-se como o sistema é menos amortecido e por isso há sobressinais segui-

dos de oscilação na corrente do diodo laser (algo tecnicamente indesejado). Inclusive a inicialização apresenta sobrecorrente mesmo diante da presença do mecanismo de *anti-windup* (situação irrelevante pelo laser não estar acionado e o pico ser inferior ao atingido durante operação). Nota-se que com 3 A a oscilação acaba sendo mais expressiva do que com 30 A. Por fim, os tempos de acomodação para o critério de 1%, e os ΔI tanto para mais quanto para menos, acabam sendo inferiores ao caso com $MF = 50^\circ$.

Figura 65 – Resultado das correntes com pequena margem de fase.



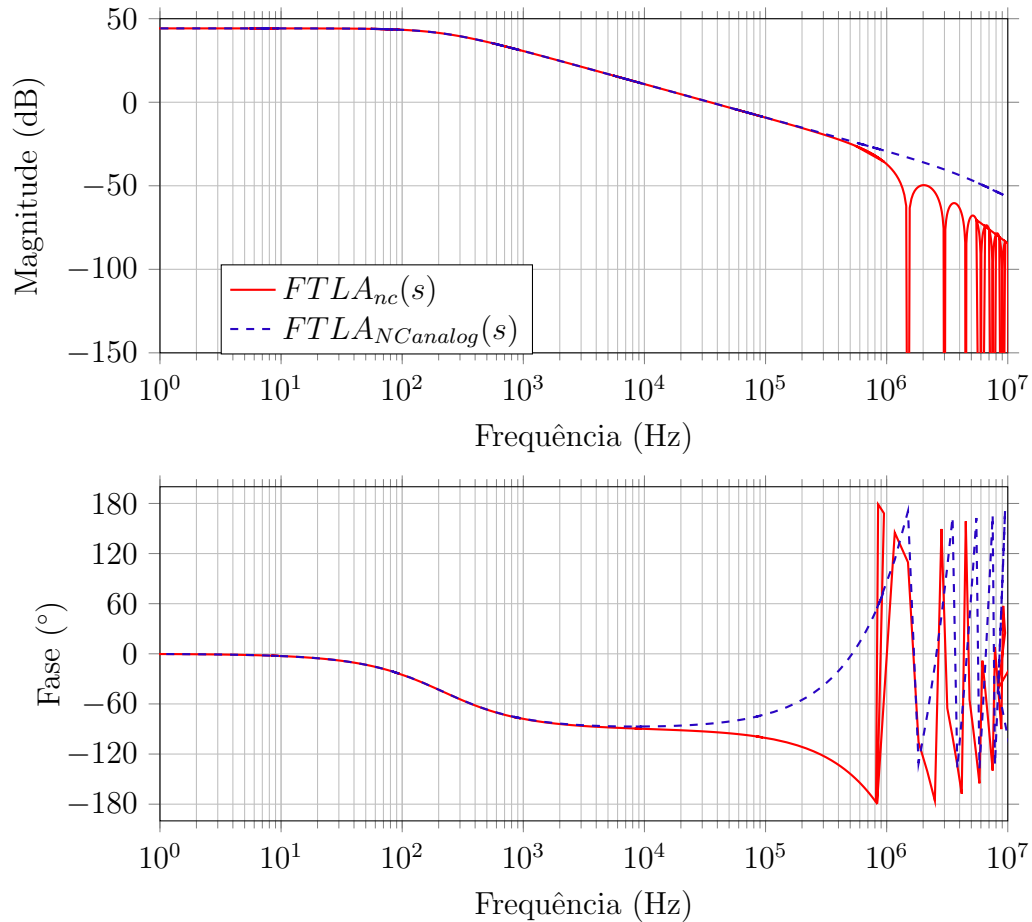
Fonte: Produzida pelo autor.

4.3.2 Considerando $G_{id}(s)$ com o avanço de fase de proposto

Agora, o compensador é projetado utilizando-se da função de transferência $G_{id}(s)$, com o avanço de fase proposto, considerando a chave moduladora aberta (Equação 4.11). Destaca-se novamente que no momento os ganhos da digitalização são desprezados ($N_r = 1$ e $K_{ad} = 1$). Apresenta-se na Figura 66 o diagrama de bode da $FTLA_{nc}(s)$, Equação 4.20, bem como uma situação desprezando os atrasos digitais $FTLA_{NCanalog}(s)$, sem contemplar $G_{ctrl}(s)$ e $G_{dpwm}(s)$. O comportamento da magnitude permanece inalterado, porém o mesmo não vale para a fase ao passar dos 10 kHz, em que na planta analógica agora

começa a crescer com o aumento da frequência, então assim trazendo mais margem de fase para a planta digital (mas que pode haver alguma distorção ou falta de representação a partir de certo ponto - não é uma característica comum).

Figura 66 – Diagrama de Bode da planta não-compensada com $G_{id}(s)$ proposta.



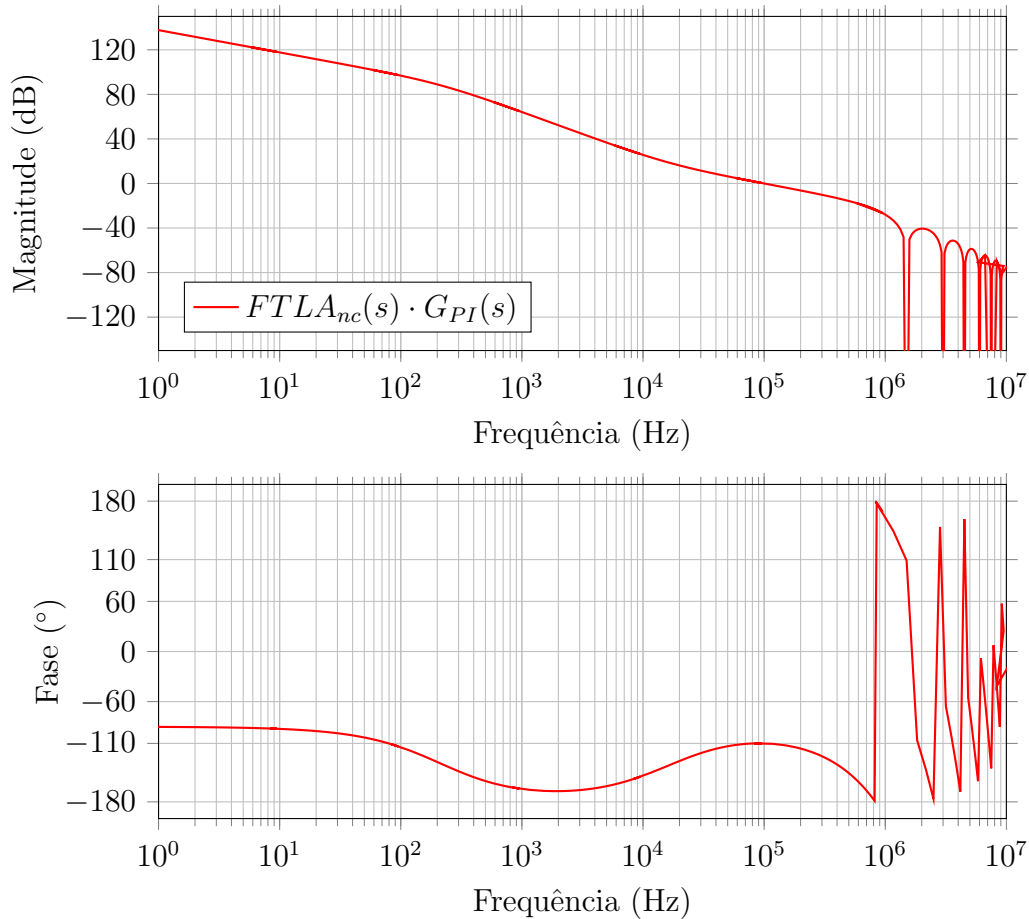
Fonte: Produzida pelo autor.

Caso fossem desprezados todos os atrasos, inclusive os analógicos, a margem de fase nos mesmos $f_c = 100$ kHz seria igual a $112,86^\circ$ (sendo que antes era $88,63^\circ$ - uma diferença de $24,23^\circ$). Ao considerar os atrasos analógicos a margem de fase é igual a $107,46^\circ$. E quando se contemplam os atrasos digitais, obtém-se $MF = 79,38^\circ$ (enquanto antes era $55,38^\circ$ - uma diferença de $24,00^\circ$). Portanto, nota-se como agora há uma margem de fase significativamente maior para uma mesma frequência de cruzamento por 0 dB, por isso, o diagrama de Bode indica ser possível atingir f_c até próximo de 800 kHz (contra os 250 kHz anteriores). Pelo menos idealmente.

Nessas condições, pode-se agora definir uma margem de fase além dos 50° anteriores, então opta-se por 70° e através da Equação 4.21 obtém-se $\omega_z = 1,038 \cdot 10^5$ rad/s, e pela Equação 4.22 chega-se em $k_c = 2,85$. O diagrama de Bode resultante da multiplicação de $FTLA_{nc}(s)$ com $G_{PI}(s)$ é apresentado na Figura 67. Percebe-se como a f_c e MF são

atendidas. Para implementação digital do PI, seus coeficientes k_c e ω_z devem ser devidamente discretizados, resultando em $K_{Ine} = 0,34058$ e $k_{Pne} = 2,87612$, respectivamente pelas Equações 4.24 e 4.25.

Figura 67 – Diagrama de bode da planta compensada com $G_{id}(s)$ proposta.



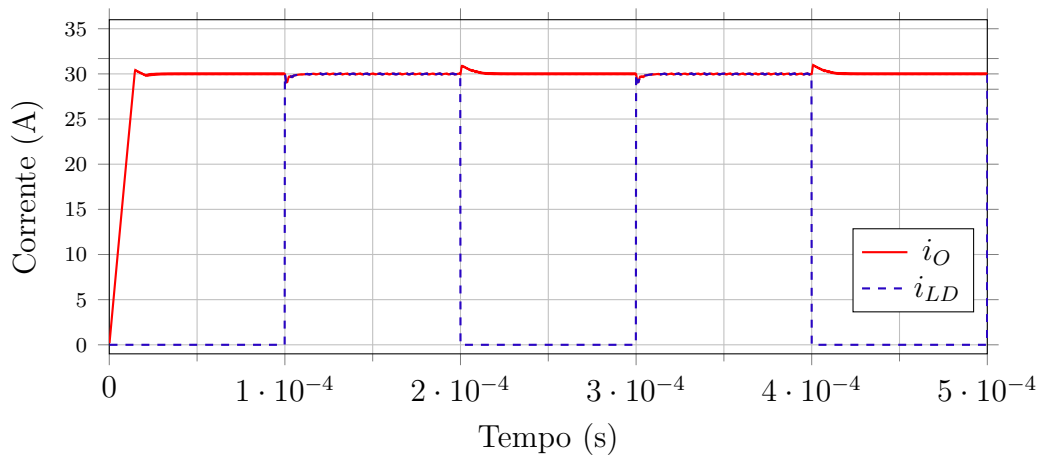
Fonte: Produzida pelo autor.

A simulação segue sendo exatamente igual a realizada anteriormente sem contemplar o avanço de fase em $G_{id}(s)$, exceto, evidentemente, pelos novos parâmetros do compensador. Recapitula-se que a chave moduladora está comutando a 5 kHz e com uma razão cíclica de 50%. Para uma referência de 30 A, a acomodação da corrente do sobressinal agora ocorre em 16,37 μs , antes era em 19,47 μs , enquanto a recuperação do afundamento ocorre em 6,71 μs (*versus* os 10,73 μs anteriores). O ΔI reduziu de 1,7 A para 1,6 A. A forma de onda é de certa forma igual a da Figura 64. Portanto, a inclusão do avanço de fase em $G_{id}(s)$, além de permitir maiores margens para projetar o compensador, nesse experimento condicionou dinâmicas mais rápidas com uma margem de fase inclusive maior (algo que poderia se esperar mais lentidão pelo possível maior coeficiente de amortecimento).

Em um caso mais extremo, consideram-se ousados $f_c = f_s/2 = 250$ kHz, a margem

de fase disponível é de $63,2^\circ$, então projeta-se o compensador para atender $MF = 60^\circ$. Essas condições eram impossíveis de serem atendidas sem considerar o aprimoramento proposto de $G_{id}(s)$. Para uma referência de 30 A, a acomodação da corrente do sobressinal ocorre em $8,86 \mu\text{s}$, enquanto a recuperação do afundamento acontece em $4,84 \mu\text{s}$, e o ΔI é de aproximados 0,9 A. O resultado é apresentado na Figura 68. Apesar de funcionar na simulação, experimentalmente em protótipo pode não ser possível, conforme [36].

Figura 68 – Correntes com controle digital e comutação da chave moduladora com $G_{id}(s)$ proposta.



Fonte: Elaborada pelo autor.

Entretanto, considerar $f_c = f_s$ conduz a péssimos resultados, demonstrando de certa forma que o aprimoramento proposto possui suas limitações. O projeto pode ser conduzido aparentemente até a metade da frequência de comutação, assim, o diagrama de Bode, como o da Figura 66, pode ter uma representação razoavelmente fiel até nesse limite. Mas isso não invalida o método, apesar de suas limitações, é relativamente simples e conduz a bons resultados para uma ampla faixa de frequências (possivelmente dentro das realizáveis experimentalmente).

4.4 Conclusão

A metodologia empregada demonstra-se ser bem propícia para projetar o controle. Tecnicamente há duas funções de transferência que representam o estágio de potência, uma com a chave moduladora fechada e a outra aberta, mas é possível trabalhar apenas com uma delas devido as suas similaridades. Propõe-se um aprimoramento na função de transferência obtida através da modelagem por valores médios, de modo a tentar contemplar os efeitos do *interleaving*, sendo obtidos bons resultados até a metade da frequência de comutação. Deve-se ter cuidado em escolher componentes preferencialmente

com baixo atraso de transporte, bem como projetar o filtro passa-baixa da entrada do ADC com uma elevada frequência de corte, para evitar reduzir a margem de fase disponível na frequência de cruzamento desejada. Graças ao *interleaving*, é possível atingir dinâmicas de controle mais rápidas em comparação com um caso sem ele, mas, em contrapartida, a digitalização impõe limites frente a um controle analógico. Os diagramas de Bode da planta são bem comportados nas regiões em análise, o sistema projetado é estável e a simulação discreta do controle apresenta bons resultados, sendo inviável representar a quantização das grandezas no simulador.

5 Elaboração do protótipo

As considerações das escolhas dos componentes que constituem o estágio de potência são apresentadas. Demonstra-se como utilizar da própria topologia para carregar os circuitos de *bootstrap*, dispensando circuitos adicionais, uma vez que não se está utilizando da forma convencional para carregá-los através da retificação síncrona. Complementarmente, são mostradas as interfaces de comando da fonte, assim como o sistema de alimentação auxiliar e de proteção contra sobretemperatura da carga. Abordam-se os fundamentos da implementação digital, seu rápido mecanismo de proteção contra sobrecorrente, e parte das suas rotinas operacionais. Com os parâmetros do protótipo, projeta-se o compensador e comenta-se sobre alguns resultados de simulação, no final demonstrando as curvas para condições seguras de operação da chave moduladora. Finalmente, o modelo do diodo laser utilizado é apresentado e também a elaboração de uma carga equivalente para substituí-lo quando for pertinente.

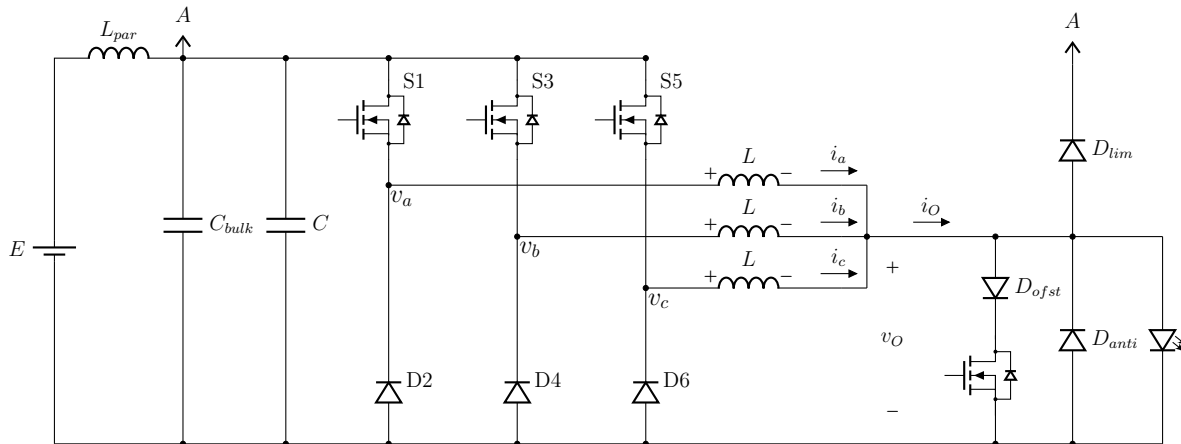
5.1 Estágio de potência

O estágio de potência é reapresentado em detalhes na Figura 69 para maior clareza do capítulo. As especificações nominais da fonte são: tensão de entrada $E = 48\text{ V}$; tensão de saída máxima $V_O = 30\text{ V}$; corrente média máxima de saída $I_O = 30\text{ A}$; ondulação máxima da corrente de saída $\Delta i_O = 0,4\%I_O = 120\text{ mA}$. Nota-se que a potência nominal de saída acaba sendo igual a 900 W . Deseja-se ser possível comutar a chave moduladora em até 50 kHz com adequada qualidade de corrente, por isso, estima-se que seja necessária uma frequência de comutação do conversor (f_s) igual 500 kHz . Sendo assim, calculam-se as indutâncias através da Equação 3.34, obtendo $L = 66,667\text{ }\mu\text{H}$. As outras considerações do projeto do estágio de potência estão apresentadas nas seguintes subseções.

5.1.1 Capacitores

Primeiramente definem-se os capacitores de desacoplamento C e em seguida C_{bulk} . Ao definir que a máxima ondulação vai ser igual a 5% da tensão nominal de entrada, $\Delta v_{C_{max}} = 240\text{ mV}$, a capacitância é obtida através da Equação 3.73, chegando em aproximadamente $C = 7\text{ }\mu\text{F}$. Como se está trabalhando com uma significativa frequência de comutação, 500 kHz , mas não tanto por isso, a principal questão é o anseio em obter tempos de comutação dos transistores ($S1, S3, S5$) na faixa de alguns poucos nanossegundos, o capacitor escolhido deve possuir baixíssimas indutâncias série. Sabendo que elas

Figura 69 – Reapresentação do estágio de potência.



Fonte: Produzida pelo autor.

crecem com o tamanho da malha de corrente, quanto maior a dimensão física do componente, maior tende a ser a sua indutância equivalente. Por isso, opta-se por trabalhar com capacitores cerâmicos SMD (*surface-mount device*).

O modelo escolhido possui o código CL32Y106KCVZNWE (*Manufacturer Product Number*). É um *multi-layer ceramic capacitor*, de aplicação geral, com 100 V nominais, tamanho 1210, dielétrico X7S e uma capacitância de 10 μF . Como estará submetido a uma tensão de operação próxima da metade da sua nominal, considera-se que o mesmo possui uma capacitância de 5 μF , devido a degeneração da capacitância em função da tensão aplicada. Isso é uma aproximação porque não há curvas para o modelo escolhido, algo bem comum nesse tipo de capacitor, pois geralmente o mesmo é avaliado pelo projetista em condições de teste similares a aplicação (quando for possível e pertinente fazer isso). As dimensões físicas das malhas compreendidas entre C - $S1$ - $D2$, C - $S3$ - $D4$, C - $S5$ - $D6$, devem ser mínimas para diminuir as suas indutâncias equivalentes, sendo assim, no protótipo cada fase deve ter um capacitor C bem próximo da célula de comutação. Como são três fases, necessitam-se de pelo menos três capacitores, resultando em um capacitância total igual a 15 μF .

Mas além da capacitância, deve-se atender o critério da máxima componente I_{RMSac} que o mesmo suporta, sendo obtida uma $I_{RMSacMAX} = 5$ A, através da Equação 3.71, mas considera-se no projeto o quádruplo desse valor, pelas condições já abordadas ao obter essa equação, resultando em $I_{RMSacMAX} = 20$ A. Geralmente permite-se uma elevação máxima de temperatura igual a 20 °C para adequada vida útil desse tipo de capacitor. Grosso modo, pode-se dizer que dielétricos como X5R, X7R e X7S, estão dentro dos limites com até 2 A $RMSac$ (essa informação aproximada pode ser obtida no *datasheet* deste componente escolhido). Dielétricos como C0G suportam bem mais do que isso, por

apresentarem uma resistência série equivalente bem menor, mas seu preço é maior e sua capacitância é menor (atingindo apenas $0,1 \mu\text{F}$ em condições nominais similares - algo inviável neste projeto). Portanto, opta-se por ter 9 capacitores CL32Y106KCVZNWE, sendo três para cada fase, resultando em uma capacitância de aproximadamente $45 \mu\text{F}$, atendendo razoavelmente os $20 \text{ A } RMS_{ac}$.

Como considerações finais a respeito do capacitor de desacoplamento, nota-se que a capacitância total acabou ficando superdimensionada. Comenta-se que o dielétrico não precisa ser X7S, e o tamanho 1210 é compatível com as dimensões das células de comutação na forma como foi planejada no protótipo, pois não adianta escolher um capacitor muito pequeno como um 0603, sendo que a indutância da trilha pode ser suficiente para injustificar o seu tamanho menor. Também por vezes deve-se ter cuidado com a baixa resistência série equivalente (ESR) dessa tecnologia, pois, nas condições adequadas, isso pode intensificar ressonâncias devido ao baixo fator de amortecimento resultante (sendo às vezes inclusive necessário associar um resistor em série com o capacitor).

Já C_{bulk} pode ser determinado pela Equação 3.75, em que I_{step} é igual a 27 A , fruto da diferença entre a corrente de saída nominal e a mínima permitida quando a chave moduladora está aberta ou fechada, e ΔV_{step} igual a 3% da tensão nominal de entrada, ou seja, $1,4 \text{ V}$. Além disso, considera-se L_{par} como sendo 600 nH , ao supor uma conexão de entrada com cabos de 30 cm bem espaçados entre si, sem nenhum plano de referência, condição que se aproxima melhor da relação de 10 nH por centímetro. Deve-se considerar o tamanho da malha de corrente no cálculo da indutância parasita aproximada, como cada condutor possui 30 cm , o total pode ser aproximado por 60 cm , desse modo, obtém-se aproximadamente $C_{bulk} = 255 \mu\text{F}$.

Assim, escolhem-se 10 capacitores em paralelo modelo 100SEV33M10X10.5, os quais são de *aluminum electrolytic*, SMD Radial, 100 V e $33 \mu\text{F}$, resultando em $330 \mu\text{F}$ (sem considerar a degeneração da capacitância pela tensão de operação). Uma vantagem de usar dez, em vez de um com uma capacitância maior, é uma menor indutância equivalente do conjunto, assim como a resistência série. Pelos capacitores de desacoplamento há uma ondulação de tensão em alta frequência, tão logo, nestes capacitores haverá essa mesma ondulação por estarem em paralelo [30]. Então, caso a ESR de cada capacitor seja muito pequena, as perdas individuais acabam aumentando, correndo o risco de danificar o componente.

A ESR do capacitor escolhido pode ser estimada pelo cálculo da tangente de perdas ($\tan \delta$), obtendo 4Ω para 120 Hz , porém o *datasheet* fornece correções da frequência para até 10 kHz , sendo que a ondulação ocorre em $1,5 \text{ MHz}$, e a resistência diminui com o au-

mento da frequência, obtendo uma situação complicada. Um outro capacitor foi utilizado para traçar um comparativo e assim poder estimar melhor a ESR. O modelo de referência é o UCZ2A221MNS1MS, mas para $33 \mu\text{F}$, o qual possui os mesmos 4Ω em 120 Hz , porém fornece informações da ESR em 100 kHz , a qual é de $550 \text{ m}\Omega$, uma redução de grosso modo sete vezes. Como de 120 Hz para 100 kHz a diminuição foi sete vezes, e supondo sem base nenhuma que pode haver uma aproximação linear razoável, para $1,5 \text{ MHz}$ a redução total é de aproximadamente igual aos mesmos sete. Portanto, assume-se que a ESR do capacitor escolhido para o projeto é de $550 \text{ m}\Omega$ em $1,5 \text{ MHz}$.

A ondulação de tensão $\Delta v_{C_{max}}$ pode ser convertida para valor eficaz ao dividir por $2 \cdot \sqrt{3}$ [30], assim obtendo aproximadamente 69 mV , e com isso, a potência dissipada é de aproximados 8 mW em cada capacitor (pela relação $P = V^2/R$). Cabe determinar se isso é muito ou pouco. Para tal, utiliza-se da informação que o componente suporta 170 mA em 120 Hz , assim, $4 \Omega \cdot (170 \text{ mA})^2 = 115 \text{ mW}$. A conclusão é que o componente está superdimensionado. Se considerar os $45 \mu\text{F}$ superdimensionados do desacoplamento, $\Delta v_{C_{max}}$ vai ser menor ainda, e assim haverá ainda mais folga. Portanto, C escolhido possui uma capacitância muito grande e C_{bulk} poderia ter uma resistência série maior (menor capacidade de corrente).

5.1.2 Transistores

Um dos primeiros critérios para o dimensionamento dos transistores ($S1$, $S3$, $S5$) foi buscar conversores que operam em condições similares (e assim obter parâmetros como referência). Foram encontrados modelos de até algumas centenas de watt, em faixas de tensão e corrente aproximadas, com frequências entre 200 a 300 kHz . Esses *reference design* são da Texas Instruments, códigos: PMP9700; PMP10509; PMP30168; PMP30189. Constatou-se que as referências utilizam transistores SMD, mas após análises, foi possível concluir que os mesmos podem dissipar até algumas poucas unidades de watt, e como neste projeto esperava-se além disso, essa tecnologia foi descartada. Mesmo assim, extraíram-se informações relevantes sobre o *gate resistor*, circuito de *bootstrap*, *snubber* e os parâmetros dos transistores.

Em linhas gerais levantou-se capacitâncias de entrada C_{iss} na faixa de 1000 a 3000 pF . Entretanto, é difícil fazer comparativos porque esse parâmetro depende também da especificação da tensão entre *drain-source*. Uma alternativa é utilizar da *gate charge* total Q_g , a qual não depende dessa tensão, sendo estabelecida a faixa de 30 nC e resistência *drain-source* R_{dson} na faixa de $10 \text{ m}\Omega$. Assim, encontrou-se o transistor utilizado neste trabalho, modelo IPP129N10NF2SAKMA1 da Infineon, um MOSFET, com tensão

máxima de 100 V, $Q_g = 28 \text{ nC}$ e $R_{dson} = R_S = 12,9 \text{ m}\Omega$ nas condições especificadas no *datasheet*.

Estimar a razão cíclica para o cálculo das perdas de condução pela Equação 3.88 é um pouco delicado. Se considerar condições nominais de operação, com $R_D = R_L = 15 \text{ m}\Omega$ e $V_D = 0,7 \text{ V}$, obtém-se $D = 0,64$ através da Equação 3.41. Contudo, a fonte foi projetada sem nenhum mecanismo de verificação da tensão de entrada e caso por algum motivo o usuário aplique 36 V na entrada, a fonte vai funcionar, e assim $D = 0,84$. Um pior caso seria $D = 0,985$, que é a limitação do HRPWM do microcontrolador, então vale mais projetar considerando $D = 1$ porque os erros são mínimos. Sendo assim, a perda máxima de condução por transistor é igual a $12,9 \text{ m}\Omega \cdot (10 \text{ A})^2 = 1,3 \text{ W}$, mas como são três transistores, chega-se em até 3,9 W. Evidentemente, são condições extremas de funcionamento e ao considerar uma operação normal com $D = 0,64$, a potência total dissipada é igual a 2,5 W.

Já as perdas de comutação podem ser definidas pela Equação 5.1 [38], em que t_r é o tempo de subida da comutação, t_f o de descida, V_{off} a tensão de bloqueio e I_{on} a corrente enquanto em condução. Os tempos de comutação podem ser aproximados pela relação $2,2R_gC_{iss}$ [38] (em que R_g é o resistor de *gate* e C_{iss} a capacitância informada pelo fabricante). Pelo *datasheet*, $C_{iss} = 1500 \text{ pF}$ em 50 V, e opta-se por começar com $R_g = 2,2 \text{ }\Omega$ para condicionar um tempo de comutação relativamente pequeno, resultando em $t_r = t_f = 7,3 \text{ ns}$. Considerando $V_{off} = E$ e $I_{on} = I_O/3$, $P_{comu} = 1,7 \text{ W}$ para cada transistor, então o total é igual a 5,1 W. Entretanto, com antecedência é difícil dizer se esses tempos são de fato realizáveis, ou se irão trazer sérios problemas de interferência eletromagnética, por isso um cálculo mais extremo é feito considerando $t_r = t_f = 20 \text{ ns}$, obtendo uma perda total igual 14,4 W.

$$P_{comu} = \frac{f_s}{2}(t_r + t_f)V_{off}I_{on}. \quad (5.1)$$

A chave moduladora também é um MOSFET e o critério adotado foi possuir a menor R_{dson} possível. Mas foi preferível buscar um modelo similar ao utilizado nas fases do conversor. O resultado foi o transistor IPP076N15N5AKSA1 da Infineon, com tensão de 150 V e $R_{dson} = R_{CM} = 7,6 \text{ m}\Omega$, porém com uma capacitância de saída $C_{oss} = 1200 \text{ pF}$ (a qual pode interferir na qualidade da comutação). Como esse transistor pode ficar inteiramente acionado com corrente nominal, sua perda de condução é igual $7,6 \text{ m}\Omega \cdot (30 \text{ A})^2 = 6,8 \text{ W}$. Com relação as perdas de comutação, considera-se $V_{off} = V_O$, $I_{on} = I_O$, e os tempos de comutação são definidos como sendo 1% do período relativo a sua máxima frequência de comutação (50 kHz), $t_r = t_f = 200 \text{ ns}$, portanto, pela Equação 5.1 as perdas atingem 9 W. Adotar tempos muito curtos podem intensificar sobretensões ou

excitar ressonâncias do circuito composto pela capacitância do transistor, indutância do cabeamento e a capacitância da carga. E assim, quando a chave está o tempo inteiro acionada, não há perdas de comutação, e quando está comutando, as perdas de condução diminuem em função da sua razão cíclica pela Equação 3.92 (sendo que é o usuário que determina D_{CM}). Na pior das hipóteses considera-se D_{CM} muito próxima de 1 e as perdas totais acabam sendo $6,8\text{ W} + 9\text{ W} = 15,8\text{ W}$.

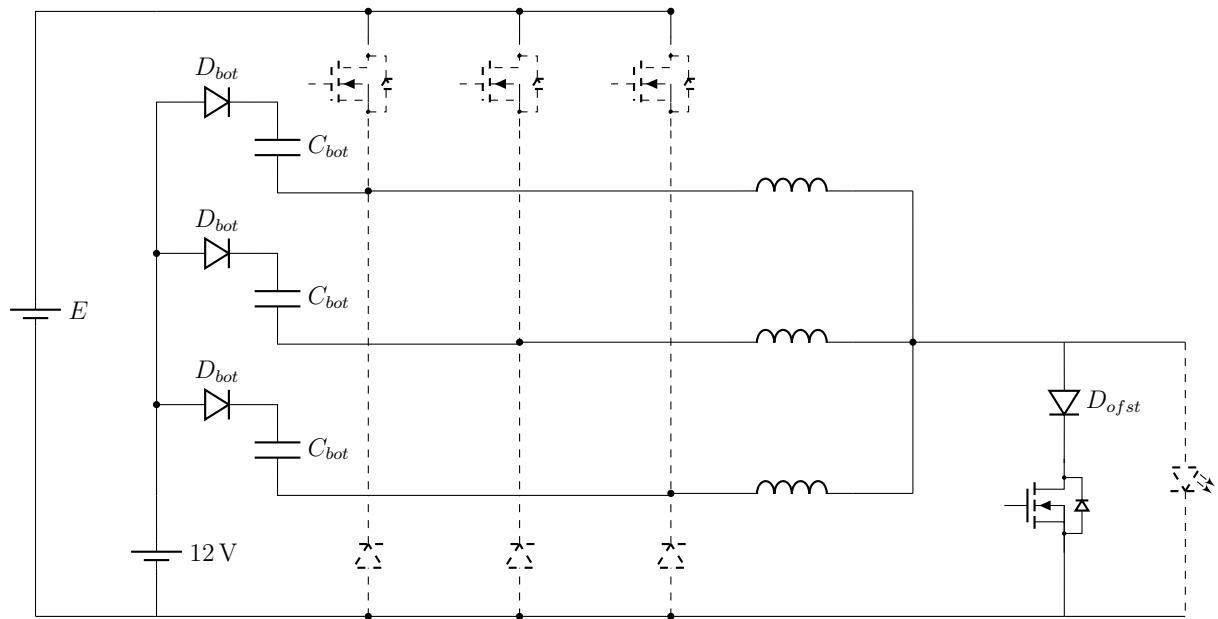
5.1.3 Gate Driver

O acionamento dos transistores $S1$, $S3$, $S5$, é feito com um circuito de *bootstrap*, assim necessitando apenas uma fonte auxiliar para as três fases. Essa técnica é bem aplicada quando a célula de comutação possui retificação síncrona, ou seja, um MOSFET como chave inferior do braço, justamente porque ao acioná-lo obtém-se um caminho fechado para carregar o capacitor de *bootstrap* (C_{bot}), e assim o *gate driver* recebe a alimentação necessária e o circuito pode operar. Entretanto, no projeto se está utilizando diodos na parte inferior, então o mesmo precisa conduzir para que C_{bot} carregue, mas isso só é possível com corrente não-nulas nos indutores, algo que só acontece caso os transistores sejam acionados, e como o capacitor não está carregado, não há como comutá-los e assim o circuito não tem como funcionar.

Uma solução é utilizar da chave moduladora para obter um caminho fechado através dos indutores (conforme Figura 70). Na rotina de inicialização da fonte, o microcontrolador envia um comando para fechar essa chave, neste momento carrega-se C_{bot} em uma tensão ligeiramente inferior a tensão de alimentação do *driver*, causada principalmente devido a queda de tensão do diodo *offset* e do diodo de *bootstrap* (D_{bot}). A diferença é mínima e não causa problemas, além disso, pode-se definir um temporização de talvez 1 ms para dar tempo de sobra ao carregamento. Após terminar, o *gate driver* está apto a funcionar e a fonte pode operar normalmente.

O dimensionamento dos componentes do circuito seguiu procedimentos usuais conhecidos na literatura (tais como os de [39]). Com as devidas margens de segurança, C_{bot} calculado foi de $1\ \mu\text{F}$, mas adotou-se no lugar um capacitor de $10\ \mu\text{F}$ por já estar sendo utilizado no projeto. Há também um resistor em série com D_{bot} para evitar picos de corrente durante a inicialização, mas isso pode provocar um carregamento muito lento do capacitor, especialmente com elevadas capacitâncias e resistências, algo que não representa problemas no caso deste projeto graças a maneira com que é carregado pela chave moduladora (com temporizações definidas pelo microcontrolador).

Devido as exigências dinâmicas, o *gate driver* escolhido para cada fase é o mo-

Figura 70 – Circuito resultante na primeira carga do capacitor de *bootstrap*.

Fonte: Produzida pelo autor.

delo ADUM4120-1BRIZ, da Analog Devices, o qual é isolado através de acoplamento magnético. Destacam-se os baixos tempos de comutação da saída, tipicamente 18 ns, os atrasos de propagação α_{DR} na faixa de 40 ns, e a baixa distorção na largura de pulso igual 9 ns, enquanto a sua largura de pulso mínima é de 50 ns. Tudo isso, evidentemente, nas condições de teste do *datasheet*, as quais de certa forma se assemelham com as do projeto. Por ser grade B, seu *under voltage lockout* do secundário é tipicamente de 7,3 V, o qual é alimentado em 12 V, enquanto o primário em 3,3 V para melhor harmonia com os níveis lógicos de tensão do microcontrolador. A chave moduladora recebe esse mesmo *gate driver* por conveniência, mas não precisaria de tamanha performance, sendo dispensado o uso de *bootstrap* por estar no mesmo referencial da fonte auxiliar.

Por fim, é muito importante ter em seu primário um resistor de *pull-down*, conforme presente no esquemático do projeto. Constatou-se experimentalmente que no *gate driver* situado próximo as fontes auxiliares presentes no protótipo, estavam sendo induzidas tensões no primário capazes de atribuir um nível lógico alto na entrada, como consequência, aplicando um nível lógico alto na saída. Quando a chave moduladora era fechada, o circuito de *bootstrap* era carregado, o secundário do *driver* alimentado, e o transistor acabava sendo fechado. Mas como o microcontrolador ainda não havia inicializado as rotinas operacionais do controle, a chave permanecia fechada juntamente com a chave moduladora, resultando em um curto-circuito na alimentação de entrada. Assim, subitamente, a tensão sobre os capacitores de entrada reduzia, as fontes auxiliares desligavam, sem alimentação os transistores abriam, saindo da condição de curto-circuito.

Então a fonte não inicializava.

5.1.4 Diodos

A escolha dos diodos $D2$, $D4$, $D6$, das fases do conversor, foi baseada na intensão de obter baixas perdas de comutação, devido a f_s , e maiores perdas de condução (para ajudar a manter o equilíbrio de energia nos indutores enquanto a chave moduladora está fechada - Equação 3.45 ou 3.47). Assim a escolha de diodos SiC Schottky se tornou bem atrativa, apesar das suas tensões de bloqueio mínimas serem muito superiores as do circuito, mas que não há problemas. Por mais que a tecnologia por vezes prometa perdas de comutação nulas, ou seja, perfeitas, a capacitância da sua junção acaba sim contribuindo na qualidade da comutação que é imperfeita, então o foco foi encontrar um modelo com baixas cargas capacitivas totais Q_c (informação que depende da tensão de bloqueio). O resultado foi o diodo IDH10G65C6XKSA1 da Infineon, com 650 V de bloqueio, e $Q_c = 14,7 \text{ nC}$ para 400 V.

O próprio *datasheet* fornece equações para calcular a queda de tensão direta e a resistência série do diodo para uma dada temperatura. Considerando uma temperatura de junção T_j igual a 70°C , obtém-se aproximadamente $V_D = 0,7 \text{ V}$ e $R_D = 60 \text{ m}\Omega$. Os esforços médio e eficaz da corrente dependem da razão cíclica (Equações 3.89 e 3.90), o pior caso acontece quando D é mínimo, o que seria 2,5 %, então como é um valor muito pequeno, vale mais a pena considerar $D = 0$. Dessa forma, a perda de condução para cada diodo acaba sendo $0,7 \text{ V} \cdot 10 \text{ A} + 60 \text{ m}\Omega \cdot (10 \text{ A})^2 = 13 \text{ W}$, e o total fica igual a 39 W. Enquanto a perda de comutação pode ser considerada desprezível, pela curva da energia E_c vs. a tensão de bloqueio, chega-se que E_c vai ser menor do que $0,5 \mu\text{J}$, e ao multiplicar isso por f_s , tem-se 250 mW.

Salienta-se que essa perda de condução considera um caso extremo, com a chave moduladora permanecendo acionada e com corrente nominal. Em outras condições, por exemplo, com $D = 0,4$, a perda total dos diodos é igual a 19,2 W. Mas a chave moduladora possivelmente estará comutando, forçando a razão cíclica alternar entre dois estados, sendo necessário talvez adotar um D médio para estimar as perdas enquanto em operação.

Já o diodo *offset* foi pensando em ter rápidas dinâmicas de comutação, para interferir minimamente na comutação da chave moduladora, e uma elevada capacidade de corrente, pois pelo mesmo pode passar continuamente a corrente nominal da fonte. A queda de tensão deve ser considerável para seu propósito ter relevância. Chega-se novamente em diodos SiC Schottky. Em linhas gerais, quanto maior a capacidade de condução, menor é a resistência junção-capsula R_{jc} , ou menor é a resistência série equivalente, ou a

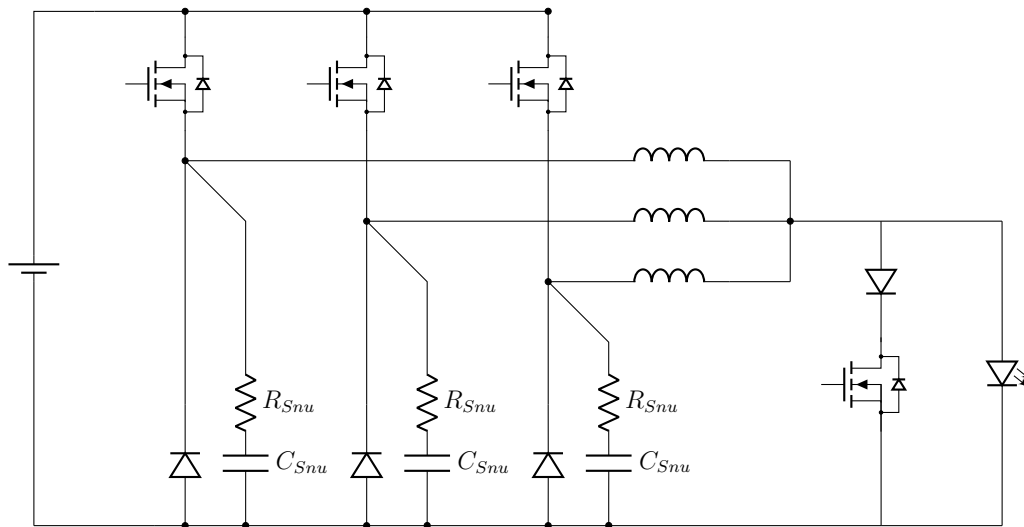
queda de tensão direta (ou até mesmo ambos). Assim, escolheu-se o modelo GC20MPS12-220 da GeneSic Semiconductor, em que no *datasheet* indica que o mesmo suporta 43 A ao manter um temperatura de capsula em 100 °C, e também disponibiliza equações para calcular V_{Dofst} e R_{Dofst} , obtendo em 70 °C 0,9 V e 34 mΩ. A perda de condução com 30 A é igual a 57,6 W. Isso considerando que o mesmo está continuamente acionado, enquanto as perdas de comutação são consideradas desprezíveis.

Por fim, sem muito mistério, o diodo limitador D_{lim} foi escolhido considerando uma tensão de bloqueio suficientemente grande, uma capacidade instantânea de corrente para suportar uma condição de surto, bem como uma rápida comutação para limitar devidamente a tensão de saída. Escolheu-se o modelo SBRD10200 da SMC Diode Solutions, tipo Schottky, com 200 V de bloqueio e 100 A de *peak one cycle non-repetitive surge current*. Aproveitou-se para utilizar este mesmo modelo como diodo anti-paralelo D_{anti} . Dimensioná-los depende muito das características da carga e na forma como a chave moduladora opera (fatores razoavelmente incertos).

5.1.5 Snubber

Já no desenvolvimento foi previsto nos nós de comutação um circuito *snubber*, composto de um resistor R_{Snu} e capacitor C_{Snu} em série, conforme Figura 71, justamente para caso fosse necessário refinar a qualidade da comutação (reduzindo sobretensões e controlando oscilações). Através dos *reference designs* expostos na subseção sobre os transistores deste capítulo, constatou-se que capacitâncias na faixa de 1000 pF e resistências na faixa de alguns ohms aparentemente seriam suficientes, culminando na escolha de prever espaço no protótipo para capacitores cerâmicos e resistores SMD tamanho 1206.

Aferida a necessidade de utilização deste circuito, seguiu-se os procedimentos de [40] para dimensioná-lo, os quais basicamente consistem em: medir a frequência de oscilação sem o *snubber*; reduzir essa frequência pela metade ao implementar C_{Snu} arbitrários (sendo que já se tem um valor de referência para maiores chances de sucesso); com isso é possível estimar a indutância parasita do nó de comutação; conseqüentemente há como saber a capacitância parasita; por fim, sabendo as parasitas, determina-se R_{Snu} ao definir um coeficiente de amortecimento desejado. Como resultado do procedimento, obteve-se $C_{Snu} = 1000$ pF e $R_{Snu} = 2,2$ Ω para um coeficiente de amortecimento desejado igual a 0,7.

Figura 71 – Circuito *snubber* nos nós de comutação.

Fonte: Produzida pelo autor.

5.1.6 Indutores

Os indutores foram projetados com base na metodologia de [41] e confeccionados no laboratório. O núcleo escolhido foi do tipo EE, tamanho 42/21/20, da fabricante Thornton, cujo código é: NEE-42/21/20-5500-IP12R. O *gap* calculado é igual a 1,6 mm, mas foi feito manualmente com pedaços de papel sulfite, sem condições de medir o espaço resultante. As espiras foram feitas com um cabo de fio Litz com 400 condutores AWG 38, sendo que com aproximadamente 15 voltas o fator de execução ficou unitário, ou seja, não havia mais como enrolar. O comprimento do chicote ficou em torno de 1,5 m. Os terminais foram feitos derretendo a isolação da ponta em um cadinho de solda a 480 °C por aproximadamente oito segundos (depois foi anexado ao terminal olhal M3). O problema dessa técnica é o enrijecimento da extremidade do condutor. Utilizando um analisador de impedância, E4990 da Keysight, a indutância L estava de acordo com o projetado, cerca de 70 μH , a resistência série R_L ficou em torno de 8 $\text{m}\Omega$ e a frequência de ressonância em quase 3 MHz.

5.1.7 Transdutor de corrente

Uma opção era utilizar resistor *shunt* para amostrar a corrente de saída i_O , mas para 30 A, sua resistência deveria ser pequena demais para dissipações adequadas de potência, situação que torna a leitura de tensão muito pequena em baixas correntes. Não é impossível, basta projetar adequadamente, às vezes até usando resistores em paralelo e amostrando a tensão sobre eles, contudo, o estágio de potência é isolado e isso torna o uso de transdutores isolados de certa forma mais propícios.

Buscar por modelos com baixos atrasos de transporte é um ponto muito impor-

tante para um controle com dinâmicas mais rápidas. Uma opção que inicialmente foi bem atrativa é a versão CAS 50-NP, da fabricante LEM, o qual dispõe da tecnologia *Flux Gate*. O tempo de resposta é menor do que 300 ns, precisa de alimentação de 5 V, e a saída já é condicionada por um amplificador operacional interno ao dispositivo. Porém, nela há um ruído intrínseco a 450 kHz, conforme consta no seu *datasheet*, com magnitude suficiente para ser lida pelo ADC (*Analog-to-Digital Converter*) do microcontrolador, a qual deve ser filtrada. Para significativa atenuação, um filtro de primeiro ordem afetaria muito a margem de fase da planta, um de segunda ordem também e implementar um filtro *notch* era inviável. Portanto, descartou-se essa opção ainda na fase de projeto.

A escolha final foi o modelo LAH 50-P, da fabricante LEM, o qual dispõe da tecnologia de efeito *Hall*. O tempo de resposta (α_T) é menor do que 500 ns, porém precisa de alimentação simétrica entre 12 a 15 V, um resistor de precisão para amostrar o sinal do secundário e um amplificador operacional para condicionamento da resposta. Sua relação de transformação é 1:2000, e com um resistor de 100 Ω , para 30 A no primário obtém-se 1,5 V sobre ele ($K_T = 100/2000 = 0,05$).

A resposta é condicionada por amplificadores operacionais que resultam idealmente em um ganho igual a $K_{OP} = 1,5$, para fazer melhor proveito da escala do ADC, e para estar em sintonia com a escala digital da referencia analógica externa. Por último, o filtro passa-baixa é projetado para ter mínimas interferências na margem de fase da planta na frequência de cruzamento por 0 dB desejada, então definiu-se $R_f = 50 \Omega$ e $C_f = 680 \text{ pF}$, resultando em uma frequência de corte em 4,68 MHz. Pode parecer irrelevante, mas cabe lembrar que os ruídos acoplados geralmente são frutos de componentes de alta frequência, sendo prudente ter o filtro.

5.1.8 Dissipador de calor

O dissipador de calor foi dimensionado em um processo iterativo com as dimensões da placa de circuito impresso. Como foi adotado que os componentes $S1$, $S3$, $S5$, $D2$, $D4$, $D6$, D_{ofst} e a chave moduladora, compartilhariam o mesmo dissipador, mecanicamente seria inviável ter um modelo maior ou menor do que as dimensões da placa (apesar de que relativamente maior poderia ser adequado). Mas também, o mesmo deve prover uma dissipação de calor adequada, pois estima-se que as perdas podem atingir 112,4 W quando a chave moduladora está fechada e nas piores condições possíveis, sendo importante lembrar que o diodo laser possui temperaturas máximas na faixa dos 45 °C, e como provavelmente estará bem próximo da fonte, a temperatura dos componentes deve ser mantida bem baixa.

O cálculo da potência máxima considera a soma da perda total P_{total} , dos diodos ($D2$, $D4$, $D6$), do diodo offset (D_{offset}) e da chave moduladora. Então, $15,8\text{ W} + 39\text{ W} + 57,6\text{ W} = 112,4\text{ W}$. Quando a chave moduladora está aberta, não há as suas perdas e nem as de D_{offset} , resultando apenas no equilíbrio das perdas entre os diodos e transistores das fases (as quais dependem do ponto de operação). O conversor deve ser dimensionado para o pior caso possível. Não se sabe as intensões do usuário ou tampouco se ocorrerá algum erro de operação. Mas em situações usuais, supondo razões cíclicas em faixas intermediárias, tanto em D ou D_{CM} , as perdas totais serão bem inferiores a essa máxima.

Como resultado, obteve-se o modelo HS15450, da fabricante HS Dissipadores, com um comprimento de 200 mm e anodização preto fosco. Sua largura é de 154 mm e altura igual a 50 mm. O fabricante especifica sua resistência térmica como $1,22\text{ }^\circ\text{C/W}$ por 100 mm de comprimento e para uma variação de temperatura com relação à ambiente igual a $75\text{ }^\circ\text{C}$. Como se está utilizando o dobro do comprimento, o *datasheet* determina multiplicar a resistência por um fator de correção igual a 0,75. E como não se deseja uma variação de temperatura tão grande, mas algo próximo a $30\text{ }^\circ\text{C}$, deve-se aplicar mais um fator de correção igual a 1,257. Ao mesmo tempo, considera-se a utilização de refrigeração forçada, com um fluxo de ar igual a 3 m/s, aplicando mais um fator igual a 0,4. A resistência térmica final do dissipador é igual a $R_{dis} = 0,46\text{ }^\circ\text{C/W}$.

Dessa maneira, supondo uma temperatura ambiente T_a igual a $35\text{ }^\circ\text{C}$, a temperatura da superfície T_c é igual a $T_a + R_{dis}P_{total} = 86,7\text{ }^\circ\text{C}$. Assim, calcula-se a temperatura da junção T_j com as resistências junção-capsula R_{jc} providas no *datasheet*, as quais presumem uma dissipação infinita e também a presença de uma interface térmica entre o componente (pasta térmica - por exemplo). Esse valor aparentemente é propício de ser utilizado porque o tamanho dos componentes é muito menor do que do dissipador. Assim, obtém-se: $R_{jc} = 0,54\text{ }^\circ\text{C/W}$ e $T_j = 118\text{ }^\circ\text{C}$ para D_{offset} ; $R_{jc} = 0,4\text{ }^\circ\text{C/W}$ e $T_j = 93\text{ }^\circ\text{C}$ para a chave moduladora; $R_{jc} = 1,3\text{ }^\circ\text{C/W}$ e $T_j = 104\text{ }^\circ\text{C}$ para os diodos das fases. Temperaturas elevadas mas dentro dos limites.

Por ultimo, direcionados para o sentido das aletas do dissipador de calor, há três mini ventiladores modelo AD0412HS-G76, fabricantes ADDA ou BERFLO, com dimensões 40x40x10 mm, alimentação contínua 12 V, potência 1,2 W, velocidade 6000 RPM e fluxo de ar igual a 6,70 CFM. A mesma fonte que supre os *gate drivers* alimenta os ventiladores.

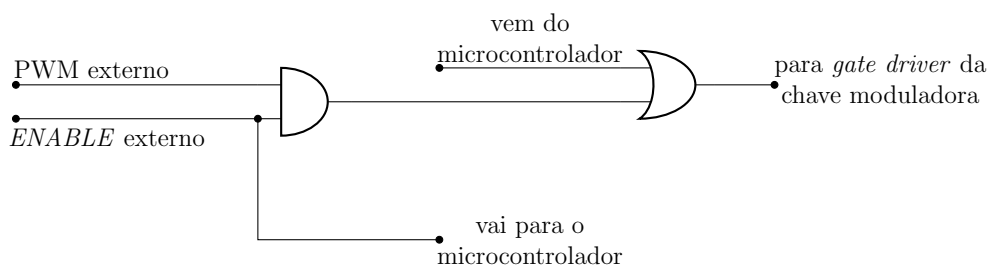
5.2 Estágio complementar

O estágio complementar constitui os circuitos que fazem parte do funcionamento da fonte. A chave moduladora é comandada por um circuito de portas lógicas que determina se o microcontrolador ou o usuário vai ter prioridade no comando. A definição da magnitude da corrente de referência do controle é feita através da leitura de um sinal analógico externo pelo ADC. O sistema de alimentação auxiliar expõe brevemente as fontes auxiliares utilizadas e as cargas alimentadas por elas. Por último, apresenta-se o circuito com base em um termistor para aferir a temperatura do diodo laser e atuar em condições de sobretemperatura.

5.2.1 Interface de comando da chave moduladora

A chave moduladora é comandada pelo usuário e pelo microcontrolador através do circuito da Figura 72. Durante a inicialização da fonte, o sinal que vem do microcontrolador está em nível lógico alto, forçando a chave moduladora fechar, independentemente dos sinais externos providos pelo usuário. Assim é possível carregar os indutores e manter um nível de energia adequado. Depois disso, o sinal vai para nível lógico baixo e permanece dessa forma, entregando o comando ao usuário, sendo que em condições de falta (atuação da proteção contra sobrecorrente ou temperatura) o microcontrolador força a chave moduladora fechar, assim impedindo que a corrente vá para a carga.

Figura 72 – Interface de comando da chave moduladora.



Fonte: Produzida pelo autor.

Só que antes de entregar o comando para o usuário, ou seja, definir a saída do microcontrolador em nível lógico baixo, o sinal de *ENABLE* é lido pelo microcontrolador para se certificar que está em nível lógico alto, garantindo que a chave moduladora permaneça fechada durante a troca de comando (pois a carga pode estar desconectada e abri-la nestas condições, com corrente pelos indutores, representaria uma condição de falta). Entretanto, após a elaboração do protótipo, identificou-se que o PWM externo deve estar em nível lógico alto também para que isso seja possível, então há uma falha

nesta lógica de segurança, sendo importante garantir que a carga esteja conectada quando *ENABLE* for para nível alto.

O sinal de *ENABLE* também possui a função operacional de habilitar ou não a propagação do PWM externo. Quando *ENABLE* = 0, a chave moduladora abre, e quando ao contrário, essa chave recebe os comandos do PWM externo. Assim também há uma forma rápida de atuar na corrente da carga.

5.2.2 Interface da referência analógica

A definição da magnitude da corrente de saída é feita através de uma referência analógica V_{Iref} provida externamente pelo usuário. Esse sinal é condicionado pelos amplificadores operacionais e depois é lido pelo microcontrolador (o qual vai atualizar a referência digital do controle). O sinal analógico varia entre 0 a 5 V e atribui-se ao mesmo um ganho de 0,665 V/V para não exceder os 3,3 V do ADC. O resultado da conversão $Code_{res}$ é dado pela Equação 5.2, baseado em [37], enquanto a equivalência da referência interna em amperes I_{eq} é obtida pela Equação 5.3, sendo o número 30 referente a corrente máxima de saída da fonte, e o número 2792 devido ao resultado da conversão analógico-digital para 30 A do sinal condicionado do transdutor de corrente. Assim, ficando em sintonia com a escala digital do controle. Na Tabela 5 apresenta-se a relação de transferência para alguns valores.

$$Code_{res} = \text{floor} \left(\frac{0,665 V_{Iref}}{\frac{3,3}{2^{12}}} \right). \quad (5.2)$$

$$I_{eq} = \frac{Code_{res}}{2792} \cdot 30. \quad (5.3)$$

Tabela 5 – Relação de transferência.

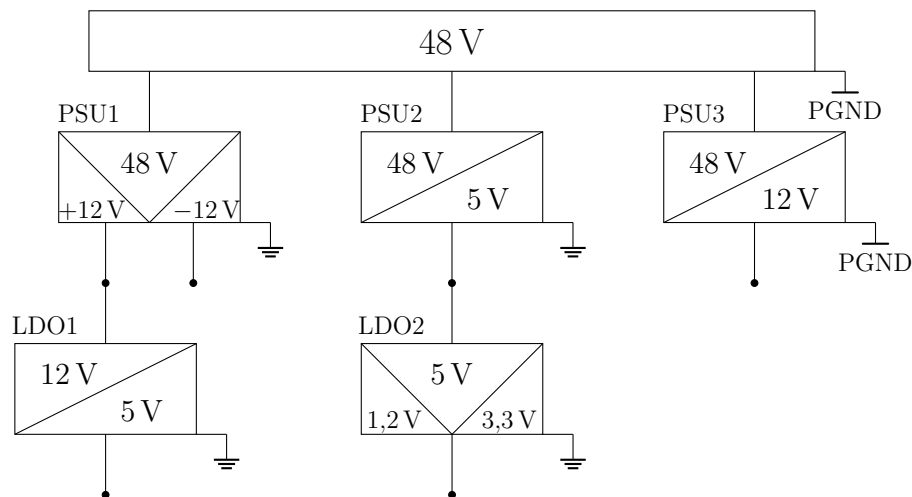
V_{Iref}	I_{eq}	$Code_{res}$
0,339 V	3 A	279
0,564 V	5 A	465
1,128 V	10 A	931
1,692 V	15 A	1396
2,256 V	20 A	1862
2,820 V	25 A	2327
3,383 V	30 A	2792

Fonte: Elaborada pelo autor.

5.2.3 Sistema de alimentação auxiliar

Toda a alimentação auxiliar é inicialmente derivada do barramento de entrada do conversor. Uma ilustração do sistema é apresentada na Figura 73. As fontes PSU1, PSU2, PSU3, são conversores CC-CC isolados, porém nota-se que PSU3 tem seu secundário no mesmo referencial do estágio de potência (PGND). PSU1 tem como propósito prover a alimentação simétrica para o transdutor de corrente, mas também alimenta um regulador linear LDO1, o qual fornece a tensão de referência para o termistor e a tensão para alimentar o primário do *gate driver* da chave moduladora. Isso foi feito para manter a integridade de sinal da placa porque a distância impedia o roteamento adequado.

Figura 73 – Diagrama do sistema de alimentação auxiliar.



Fonte: Produzida pelo autor.

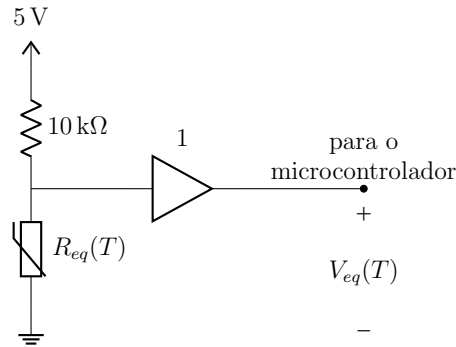
PSU2 fornece os 5 V que são utilizados pela placa, mas principalmente, alimenta o regulador linear LDO2 que promove as tensões necessárias para o microcontrolador e primário dos *gate drivers* das fases. Já PSU3 alimenta o secundário de todos os *gate drivers* (bem como as ventoinhas também).

5.2.4 Proteção contra sobretemperatura

Na fonte há terminais para acoplar um termistor NTC e assim poder monitorar a temperatura da base do diodo laser. A medição é feita através de um divisor de tensão com o NTC, conforme Figura 74, e em seguida tem-se um *buffer* antes de ir para o microcontrolador como uma tensão $V_{eq}(T)$. A resistência desse transdutor diminui com o aumento da sua temperatura, cuja relação pode ser aproximada pela Equação 5.4 [42], em que $B_{25/100}$ é o seu coeficiente de temperatura determinado para a região entre 25 a 100 °C, T é a temperatura desejada, e T_0 é a temperatura em que a resistência inicial R_0

foi definida. Sabendo disso, a tensão resultante é dada pela Equação 5.5, e esse valor é convertido para o microcontrolador através da Equação 5.2, desprezando o ganho 0,665 e fazendo $V_{Iref} = V_{eq}(T)$.

Figura 74 – Configuração do termistor.



Fonte: Produzida pelo autor.

$$R_{eq}(T) = R_0 \cdot e^{B_{25/100} \left(\frac{1}{T + 273,15} - \frac{1}{T_0 + 273,15} \right)}. \quad (5.4)$$

$$V_{eq}(T) = 5 \text{ V} \frac{R_{eq}(T)}{R_{eq}(T) + 10 \text{ k}\Omega}. \quad (5.5)$$

Supondo um termistor com $B_{25/100} = 3988 \text{ K}$, $T_0 = 25^\circ\text{C}$ e $R_0 = 10 \text{ k}\Omega$, para $T = 35^\circ\text{C}$ obtém-se $R_{eq}(T) = 6,479 \text{ k}\Omega$. Logo, $V_{eq}(T) = 1,966 \text{ V}$ e o resultado da conversão analógica-digital é igual a 2439. Por fim, salienta-se que há na placa um *jumper* para habilitar ou não esta proteção, e quando habilitada, durante uma condição de atuação, a chave moduladora é fechada mas o estágio de potência continua operante, porém a referência de corrente é mantida em um nível seguro. O comando da chave, bem como a definição da referência de corrente, é devolvido ao usuário apenas após manualmente limpar a falta pressionando um interruptor presente na placa.

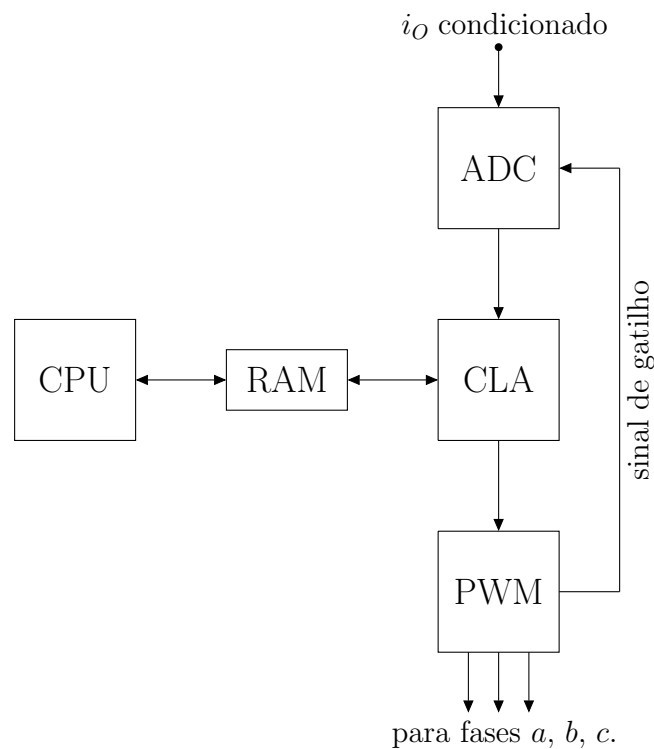
5.3 Microcontrolador

O microcontrolador utilizado é o modelo F28379S da Texas Instruments, código TMS320F28379SPTPT, operando com um *clock* principal de 200 MHz. Destacam-se as principais considerações no desenvolvimento do algoritmo, assim como alguns resultados de performance, começando com a maneira que a cadeia do controle é estruturada dentro do microcontrolador (a arquitetura). A forma de atuação da proteção contra sobrecorrente é explorada e as rotinas operacionais são apresentadas (atualização da corrente de referência do controle e proteção térmica da carga).

5.3.1 Arquitetura da implementação do controle digital

No microcontrolador F28379S há uma CPU (*central processing unit*) da linha C28x e uma outra unidade de processamento conhecida como CLA (*control law accelerator*). Ambas se comunicam através de endereços compartilhados de memória RAM (*random-access memory*), conforme Figura 75, os quais devem ser inicializados pela CPU, e neste projeto as mensagens compartilhadas são: o valor da referência do controle; o resultado da conversão ADC, ou seja, a leitura da corrente i_O amostrada; e os parâmetros do compensador. Nota-se que é um compartilhamento bidirecional (ambas as unidades podem ler e escrever). A CPU também é responsável por todas as configurações iniciais do sistema, incluindo a CLA, ADC e PWM, bem como desempenha todas as funções não-críticas em segundo plano com relação a lei de controle.

Figura 75 – Ilustração da arquitetura implementada digitalmente.



Fonte: Produzida pelo autor.

Como são três fases, há três módulos PWM configurados para gerar portadoras em uma mesma frequência, mas defasadas entre si de 120° . Ao final do período de cada módulo, o mesmo dispara um gatilho para inicializar a conversão A/D, a qual é feita todas as vezes para um único canal (i_O condicionado). Após terminar a conversão, o próprio módulo ADC gera um gatilho para ativar a *task* configurada na CLA, em que pode ser pensada como uma função na programação que contém a rotina da lei de controle. São três *tasks*, sendo uma para cada fase. Ao iniciá-la, a CLA faz a leitura do resultado

da conversão, depois executa-se o compensador PI em *assembly*, programado através da *Digital Control Library* (DCL) [43], e por fim a ação de controle é escrita no respectivo módulo PWM que deu origem a cadeia.

Salienta-se estar sendo utilizado o submódulo *high-resolution pulse width modulator* (HRPWM), assim conseguindo obter um PWM com uma resolução superior à do ADC, no caso, 13 bits *vs.* 12 bits. Caso isso não fosse utilizado, o PWM apresentaria uma resolução de apenas 7 bits, situação causada pelas altas frequências de comutação. É um item necessário, mas a cada atualização da razão cíclica deve-se calcular o refinamento da largura de pulso, implicando em uma execução mais lenta da *task*.

Nota-se que não há nenhuma participação da CPU durante a execução do controle, liberando-a para outras atividades, garantindo uma cadeia de baixíssima latência e sem imprevisibilidades, pois tem-se total domínio dos eventos da CLA e as interfaces de comunicação com os módulos são independentes, situação fundamental para implementação da lei de controle com altas taxas de atualização. Quando a CPU quer se comunicar com a CLA, ou vice-versa, a mesma escreve no endereço compartilhado da memória RAM, e a própria CLA, ou CPU, vai ler a mensagem quando estiver disponível (atingir a linha de código programada pelo usuário para realizar a leitura).

O tempo total para fazer a conversão A/D, executar o compensador PI e enviar o resultado para o PWM, deve ser inferior a 666 ns ($T_S/3$). Nas melhores condições, estima-se que o módulo ADC requer cerca de 300 ns para disponibilizar o resultado, contemplando aquisição e conversão. Com a função “DCL_runPLL2” da *Digital Control Library*, trabalhando o máximo possível com variáveis do tipo *float* na CLA e buscando otimizar ao máximo o algoritmo, o que resultou em seis linhas apenas, a execução da *task* leva em torno de 280 ns. Portanto, necessitam-se de aproximadamente 580 ns para executar a cadeia da lei de controle, ocupando cerca de 87% da janela de tempo disponível, restando apenas 86 ns.

5.3.2 Proteção contra sobrecorrente

O módulo ADC da malha de controle possui seu *Post Processing Block* (PPB) ativado. Caso o resultado da conversão esteja acima do limite definido, o PPB imediatamente dispara um gatilho para iniciar uma cadeia de eventos, cujas finalidades são: definir o nível lógico do PWM das fases para zero, assim abrindo os transistores *S1*, *S3*, *S5*, e cessando a potência do estágio de potência; definir o nível lógico do PWM da chave moduladora para um, dessa forma, fechando-a e impedindo que a corrente vá para a carga; gerar uma interrupção na CPU para outros tratamentos.

Cada módulo PWM contém dois submódulos que participam na atuação da proteção. Um deles é o *Digital Compare* (DC), o qual é configurado para receber e qualificar o sinal vindo do PPB através da X-BAR (leia-se *crossbar*). Então esse submódulo ativa o outro conhecido como *Trip-Zone* (TZ), sendo este o responsável por definir o estado lógico de saída dos PWMs, bem como, para o módulo *master*, fase igual a 0° , dispara-se também a interrupção para a CPU. Veja como esta configuração, utilizando da comunicação entre módulos e submódulos, é de baixíssima latência por não necessitar da intervenção da CPU, garantindo rápida atuação da proteção.

Mas a chave moduladora possui algumas considerações a mais. Durante a execução normal do algoritmo, sua GPIO (*General-Purpose Input/Output*) é configurada como PWM, ou seja, recebe o sinal provido de um desses módulos. Conforme apresentado na seção deste capítulo sobre a interface de comando da chave moduladora, enquanto o usuário está de posse do seu comando, a saída do microcontrolador é nível lógico baixo, portanto, o módulo PWM é configurado para permanecer nesse estado. Com isso, é possível utilizar do caminho configurado de baixíssima latência para fechar a chave durante uma falta, assim definindo lógica alta, pois, caso contrário seria necessário fechá-la através de um comando na função da interrupção gerada. As exceções ocorrem durante a inicialização da fonte, e na circunstância da atuação da proteção contra sobretemperatura, uma vez que a sua GPIO é configurada como GPIO e os comandos são manuais.

5.3.3 Rotinas operacionais

O destaque vai para uma função que é executada a cada 1 ms através da interrupção de um *timer*. Nela há o algoritmo da proteção contra sobretemperatura, em que se realiza a conversão A/D do canal ligado ao circuito do termistor, verificação do resultado e atuação da proteção caso necessário. Há também o algoritmo responsável pela atualização da corrente de referência do controle, consistindo na conversão A/D e tomada das decisões. A temporização adotada é arbitrária, poderia ser mais, ou menos, desde que não seja inferior ao tempo total para execução completa da função. O módulo ADC utilizado é uma outra instância com relação aquela utilizada na cadeia do controle (assim sendo independentes e imunes a conflitos).

5.4 Projeto compensador

Todos os parâmetros do circuito do protótipo são recapitulados conforme: $E = 48\text{ V}$; $R_S = 12,9\text{ m}\Omega$; $R_D = 60\text{ m}\Omega$; $V_D = 0,7\text{ V}$; $L = 70\text{ }\mu\text{H}$; $R_L = 8\text{ m}\Omega$; $R_{CM} = 7,6\text{ m}\Omega$;

$V_{Dofst} = 0,9\text{ V}$; $R_{Dofst} = 34\text{ m}\Omega$; $I_O = 30\text{ A}$; $V_{LD} = 30\text{ V}$; $R_{LD} = 0\ \Omega$; $f_s = 500\text{ kHz}$; $\alpha_{DR} = 40\text{ ns}$; $\alpha_T = 100\text{ ns}$; $K_T = 0,05\text{ V/A}$; $K_{OP} = 1,5\text{ V/V}$; $R_f = 50\ \Omega$; $C_f = 680\text{ pF}$. Salienta-se ter sido definido α_T bem menor do que o valor especificado em seu *datasheet* porque nele é um valor absolutamente máximo.

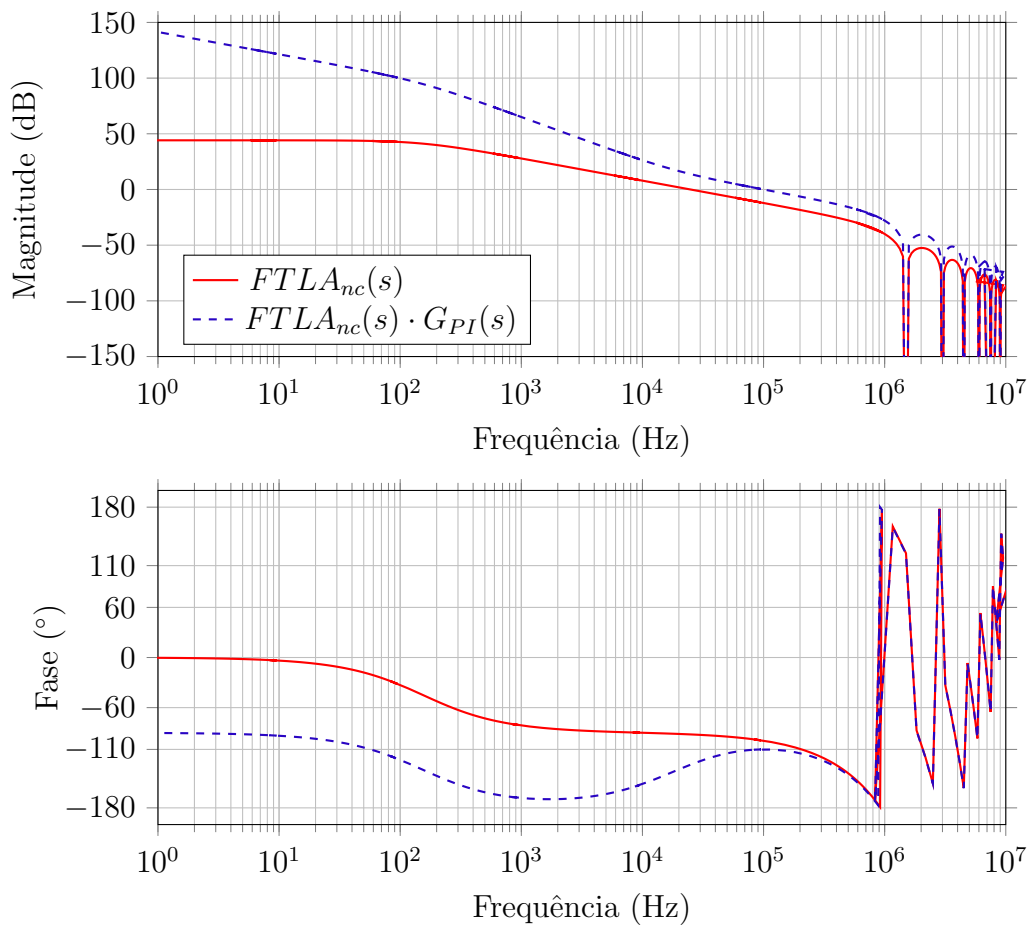
Inicialmente, considera-se $N_r = 1$ na função de transferência que representa o atraso da modulação $G_{dpwm}(s)$ (Equação 4.18), sendo necessário também definir o ponto quiescente de operação da razão cíclica D , e ao considerar a chave moduladora aberta para o maior atraso, pela Equação 3.41 obtém-se $D = 64,4\%$. Ao fechar essa chave, deve-se garantir que a razão cíclica não fique inferior a $2,5\%$ para respeitar a largura de pulso mínima do *gate driver*, assim podendo controlar adequadamente a corrente i_O . Com o diodo *offset*, e considerando $I_O = 3\text{ A}$ para o pior caso, pela Equação 3.47 obtém-se $D = 3,6\%$. No desenvolvimento dessas equações considerou-se $R_S = R_D$, mas que não é o caso no momento, porém também demonstrou-se que divergências na faixa de algumas dezenas de miliohm são de pouca relevância.

A função de transferência de laço aberto não-compensada $F T L A_{nc}(s)$, Equação 4.20, é obtida ao adotar $G_{id}(s)$ com a chave moduladora aberta (Equação 4.6). O diagrama de Bode é apresentado na Figura 76. Definindo uma frequência de cruzamento por 0 dB em 100 kHz , observa-se que há cerca de 80° disponíveis como margem de fase, assim opta-se por projetar o compensador para obter $M F = 70^\circ$. Então através da Equação 4.21 obtém-se $\omega_z = 1,150 \cdot 10^5\text{ rad/s}$, e pela Equação 4.22 chega-se em $k_c = 3,978$. O diagrama de Bode resultante da multiplicação de $F T L A_{nc}(s)$ com $G_{PI}(s)$, ou seja, a planta compensada, é apresentado na mesma Figura 76 (sendo atendidas a frequência de cruzamento e margem de fase desejadas). A margem de ganho é positiva e a planta é considerada estável.

Para implementação digital do PI, seus coeficientes k_c e ω_z devem ser devidamente discretizados, resultando em $K_{Ine} = 0,91472$ e $k_{Pne} = 3,97828$, respectivamente pelas Equações 4.24 e 4.25. O próximo passo seria escalonar esses coeficientes para contemplar os ganhos da digitalização, e assim escrevê-los no microcontrolador, obtendo $k_{Ie} = 0,1473910362$ pela Equação 4.26 e $k_{Pe} = 0,6410309804$ pela Equação 4.27. Para isso considera-se $N_r = 200$, $n_{ad} = 12\text{ bits}$ e $V_{FS} = 3,3\text{ V}$, dados em sintonia com o protótipo.

Simulações foram realizadas nas mesmas condições adotadas no capítulo 4 (mas agora com os parâmetros do protótipo). Devido as baixas resistências, e o conjunto de fatores da simulação, acabaram ocorrendo divergências numéricas nas correntes das fases, as quais são agravadas com o aumento da frequência de comutação da chave moduladora, porém a soma dessas correntes acaba sendo sempre igual (não interferindo nos resultados

Figura 76 – Diagrama de Bode com os parâmetros do protótipo.



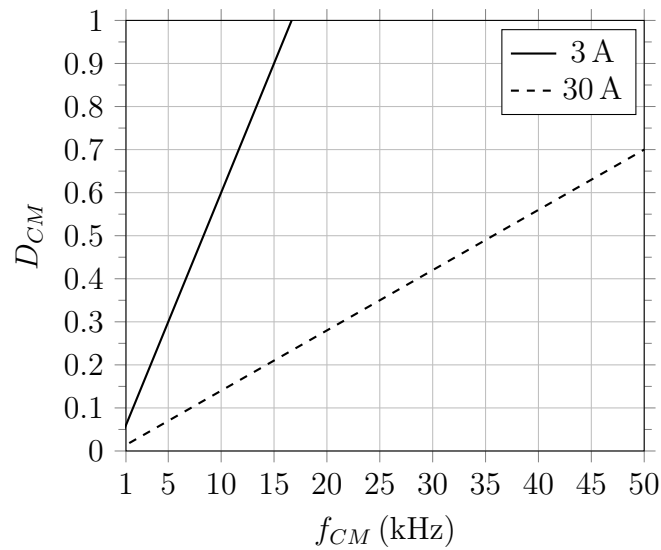
Fonte: Produzida pelo autor.

da corrente de entrada e saída). Obteve-se na simulação a componente I_{RMSac} igual a 10 A nas condições nominais estabelecidas e com $f_{CM} = 5$ kHz e $D_{CM} = 50$ %.

Com uma tolerância de 1 %, para $I_O = 30$ A a corrente i_O se recupera do sobressinal em 13,81 μ s, enquanto para $I_O = 3$ A em 60 μ s, obtendo as curvas para definir a região segura de operação da chave moduladora (Figura 77). Caso essa região não seja atendida, ou seja, definir um ponto a baixo das curvas, é possível observar um sobressinal na carga de até aproximadamente 1,3 A. Se isso não for problemático à carga, então a fonte pode operar normalmente, mesmo violando a região segura. Esse sobressinal fornece um indicativo do valor mínimo acima da referência a ser ajustado na proteção contra sobrecorrente.

A qualidade da comutação da corrente no diodo laser acabou sendo livre de sobressinais, com características bem similares as já obtidas na Figura 64 do Capítulo 4, sendo observado um afundamento da corrente na faixa dos 1,45 A, a qual se recupera em aproximadamente 6,04 μ s para $I_O = 30$ A, enquanto para $I_O = 3$ A em 8,65 μ s, sempre considerando uma tolerância de 1 %.

Figura 77 – Condições seguras de operação da chave moduladora do protótipo.



Fonte: Produzida pelo autor.

5.5 Diodo laser utilizado e carga equivalente confeccionada

O diodo laser disponível para testes é o modelo 915V240135 [44], da fabricante SOL Photonics, com um comprimento de onda igual a 915 nm, núcleo da fibra óptica com diâmetro de 135 μm e potência nominal do feixe igual a 240 W. De valores típicos tem-se a corrente de operação em 25 A e a eficiência em 48 % (resultando em uma potência elétrica igual a 500 W). Já a tensão e corrente máximas são iguais a 23 V e 26 A, respectivamente, podendo esperar 598 W pelo produto de ambos. A temperatura máxima de operação é de 45 °C, mas o fabricante recomenda operar entre 20 a 30 °C para garantir uma adequada vida útil do laser. Por último, a corrente de gatilho é tipicamente igual a 1,1 A.

Como o diodo laser é relativamente sensível e caro, foi desenvolvida uma carga equivalente associando diodos em série, assim pode-se testar ou calibrar a fonte com mais segurança. Critérios elétricos, térmicos e mecânicos foram pesados na escolha dos diodos utilizados, sendo dentre as opções disponíveis no laboratório, o modelo FFSH20120A (da ON Semiconductor) a escolha aparentemente mais apropriada. Seu encapsulamento TO-247 dispensa o uso de buchas isoladoras entre parafuso e componente, permitindo trabalhar com parafusos metálicos tamanho M3 em vez de M2.5 (os quais são menos populares - necessitando de brocas e machos manuais não disponíveis durante a elaboração da carga). Assim, basta utilizar um isolador de silicone entre o dissipador de calor e o componente, podendo ser sem pasta térmica.

O *datasheet* informa que com uma temperatura de capsula igual a 125 °C e com uma corrente direta de 20 A, a queda de tensão típica é de 1,7 V e a máxima de 2 V.

Devido aos processos de fabricação, geralmente, a placa de circuito impresso não deve ter dimensões maiores do que 100 x 100 mm para não encarecê-la. Sendo assim, utilizando dessa máxima dimensão possível, foi verificado que associar seis diodos em série traria uma queda de tensão adequada e a área ocupada pelos mesmos não seria tão densa, favorecendo atender os critérios térmicos. Nessa configuração, denominada como módulo, espera-se uma queda de tensão na faixa dos 12 V e ao associar em série mais um módulo, 24 V. Porém, com uma corrente de 30 A, pode-se atingir os 30 V nominais da fonte e até mesmo passar disso.

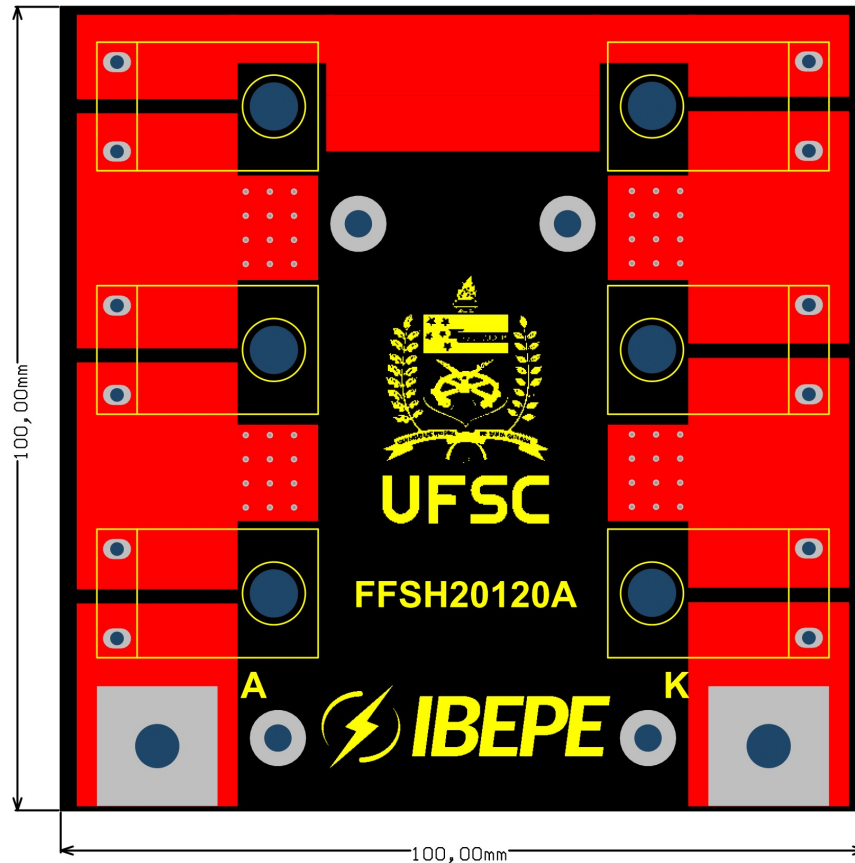
A dependência da queda de tensão total com a temperatura e a magnitude da corrente é um tanto quanto inconveniente. Difícil estimar com segurança as condições exatas de operação da carga. Há várias incertezas na análise, sendo necessário realizar ajustes na carga conforme as necessidades do experimento. Assim pode-se curto-circuitar os diodos para diminuir a quantidade de elementos associados em série. O dissipador de calor disponível no laboratório é o modelo HS21577, da fabricante HS Dissipadores, com um comprimento de 200 mm. O fabricante especifica sua resistência térmica como $0,52\text{ }^{\circ}\text{C}/\text{W}$ por 100 mm de comprimento e para uma variação de temperatura com relação à ambiente igual a $75\text{ }^{\circ}\text{C}$. Como se está utilizando o dobro do comprimento, o *datasheet* determina multiplicar a resistência por um fator de correção igual a 0,75. A variação de temperatura toma-se como adequada. Adotando um fluxo de ar igual a 4 m/s, aplica-se mais uma correção de 0,2, obtendo a resistência térmica final do dissipador igual a $0,078\text{ }^{\circ}\text{C}/\text{W}$.

Assumindo uma temperatura ambiente igual a $30\text{ }^{\circ}\text{C}$ e uma potência dissipada de 900 W, valor nominal da fonte, espera-se que a superfície do dissipador atinja os $100\text{ }^{\circ}\text{C}$. Essa potência total é dividida entre todos os diodos, como são dois módulos, há 12 diodos, resultando em 75 W para cada um. Seu *datasheet* informa uma resistência junção-cápsula máxima de $0,55\text{ }^{\circ}\text{C}/\text{W}$, então a junção pode atingir os $140\text{ }^{\circ}\text{C}$. Vale lembrar que pelo dissipador ser relativamente volumoso, sua inércia térmica tende a ser significativa, permitindo fazer testes com alta potência por curtos períodos de tempo sem sobreaquecer os componentes. Três ventiladores LPH80A99-BTHR foram utilizados direcionando o fluxo de ar para dentro das aletas.

Apresenta-se na Figura 78, o *layout* da placa utilizada na carga confeccionada, com duas camadas, sendo as trilhas da face superior (destacadas em vermelho) idênticas as trilhas da face inferior. Essas trilhas, ou melhor, polígonos, possuem uma área considerável para ajudar a dissipar o calor e são conectados entre as faces através de *vias* adicionais e pelas próprias utilizadas na conexão dos diodos. Já na Figura 79 tem-se uma foto enquanto

se confeccionava a carga para permitir observar em mais detalhes a montagem. Pode-se trabalhar com um ou dois módulos associados em série.

Figura 78 – *Layout* da placa utilizada na carga confeccionada.



Fonte: Elaborada pelo autor.

Durante os testes observaram-se alguns pontos que poderiam ter sido aprimorados. A densidade de potência ficou muito baixa e isso resultou em indutância bem acima da esperada pelo diodo laser. Então, os testes dinâmicos acabam não representando bem a realidade. A distância total elétrica é igual a 600 mm ao somar as três arestas de cada módulo e multiplicar o resultado por dois. A conexão com a fonte requer dois cabos de 300 mm cada um, totalizando 600 mm, e eles acabam ficando bem espaçados entre si devido as conexões ficarem nas extremidades do dissipador. Como não há nenhum plano de referência nesse circuito, a indutância pode ser aproximada em 10 nH por centímetro, obtendo cerca de 1,2 μH . Enquanto pelas dimensões físicas do diodo laser é de se esperar algo em torno de 300 nH ou menos. São necessários apenas 7 diodos para obter 30 V com 30 A, mas já com 20 A e uma potência dissipada de 531,5 W, a temperatura da superfície da placa de circuito impresso atingiu 130 °C, enquanto a temperatura do dissipador estava bem abaixo disso. Portanto, um projeto térmico mais rigoroso é necessário para operar a carga na potência nominal, e aumentar a densidade de potência pode agravar o problema

Figura 79 – Foto durante a confecção da carga.



Fonte: Elaborada pelo autor.

do sobreaquecimento.

Com as arestas do dissipador na vertical com relação à superfície, é possível conectar um único módulo diretamente à fonte através de dois cabos de 100 mm cada um, assim obtendo uma indutância total aproximada de 500 nH. O problema é que o nível de tensão total fica bem reduzido (tão logo a potência). Portanto, uma sugestão seria aumentar a quantidade de diodos em série por módulo, e trabalhar apenas com um, posicionando-o sobre o dissipador de tal forma a favorecer uma conexão curta e direta com a fonte. Para isso é prudente que os terminais elétricos do módulo não fiquem em cada extremidade, mas sim, mais centralizados em uma das suas arestas. Caso o dissipador seja posicionado na horizontal, talvez seja pertinente posicionar os terminais elétricos do módulo na lateral que não está no sentido das aletas, evitando que o calor dissipado seja direcionado para a fonte através da ventilação forçada.

5.6 Conclusão

Ao fechar a chave moduladora é possível carregar o circuito de *bootstrap* através dos indutores (sendo isso feito sob coordenação do microcontrolador). O comando dessa chave depende de um circuito de portas lógicas responsável por atribuí-lo ao usuário ou ao microcontrolador (durante inicialização ou faltas). Três sinais externos à fonte devem ser supridos para definir a corrente de referência do controle, a modulação da chave moduladora e um sinal de habilitação. A implementação digital requer uma cadeia de baixíssima

latência, e de alta previsibilidade, para garantir que a malha de controle opere dentro das temporizações impostas, sendo utilizado recursos da arquitetura do microcontrolador além da programação convencional. A planta do protótipo, juntamente com a sua compensação, demonstram-se ser estáveis e apresentam ter boas dinâmicas para modular a corrente da carga nas frequências desejadas. A carga equivalente confeccionada consegue dentro das suas limitações representar um diodo laser, assim permitindo testar a fonte sem o risco de danificá-lo, ou realizar testes preferencialmente estáticos em potência nominal.

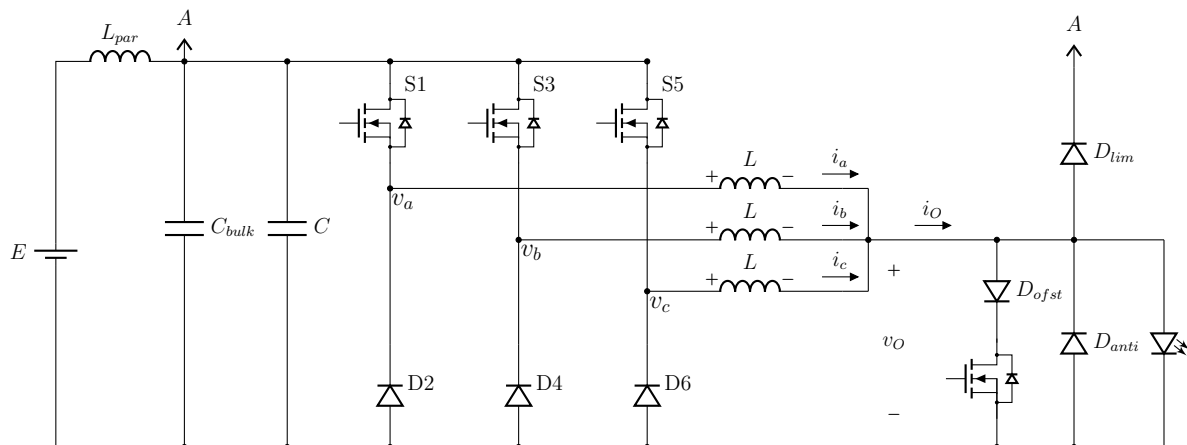
6 Resultados experimentais

O protótipo construído foi avaliado experimentalmente e os resultados estão apresentados neste capítulo. Estuda-se o possível problema da razão cíclica limitante enquanto a chave moduladora está fechada, bem como duas possíveis soluções, uma empregando o diodo *offset*, e outra permitindo a razão cíclica do microcontrolador excursionar até zero. A qualidade da comutação da corrente da carga é verificada e constata-se que ressonâncias podem provocar sobrecorrentes nela. Avalia-se a característica da resposta do controle projetado, para a carga equivalente confeccionada e para o diodo laser utilizado, e obtém-se os parâmetros estáticos de seu circuito equivalente.

6.1 Recapitulação do protótipo

O estágio de potência é rerepresentado em detalhes na Figura 80 para maior clareza do capítulo. A tensão nominal de entrada é de 48 V e a saída nominalmente entrega 900 W (com no máximo 30 V e 30 A). A frequência de comutação do conversor é de 500 kHz e espera-se conseguir comutar a chave moduladora em até 50 kHz (mantendo a corrente da carga com boa qualidade). O diodo *offset*, D_{ofst} , pode ser curto-circuitado no protótipo para testes sem ele. Controla-se digitalmente a corrente de saída da fonte, i_O , inicialmente com $f_c = 100$ kHz e $MF = 70^\circ$. Confeccionou-se uma carga equivalente para substituir o diodo laser quando desejado. Mais detalhes estão no Capítulo 5.

Figura 80 – Reapresentação do estágio de potência.



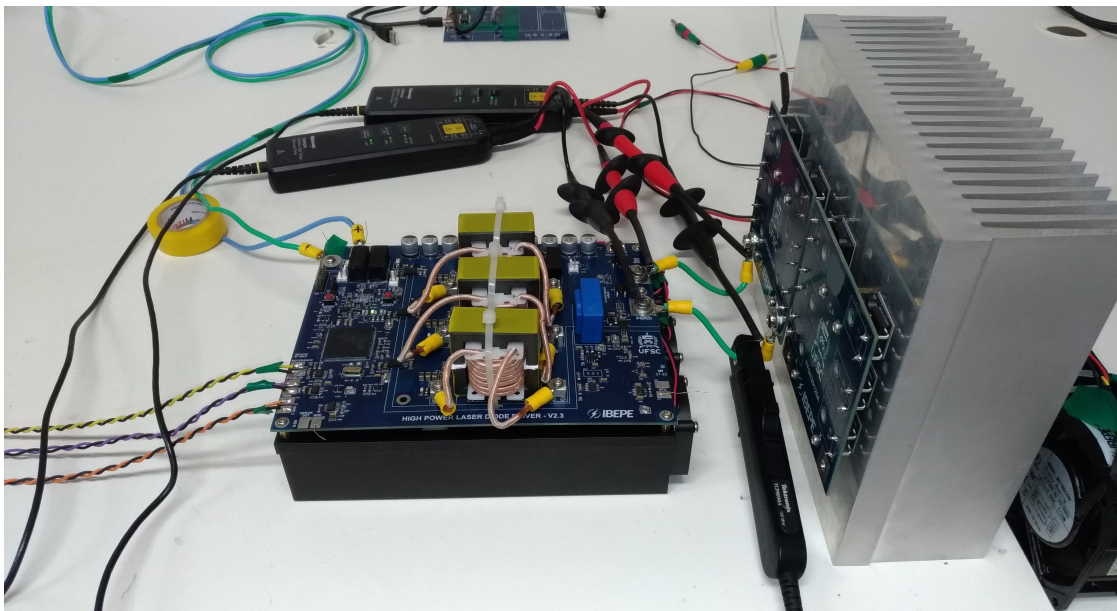
Fonte: Produzida pelo autor.

6.2 Calibração da instrumentação e equipamentos utilizados

Primeiramente, realizaram-se alguns testes para estabelecer um ponto de referência das medições, permitindo assim fazer comparativos com um referencial relativo. Por vezes, a instrumentação pode estar descalibrada, ou o valor obtido experimentalmente é de fato divergente do valor teórico esperado, então é prudente estabelecer uma consciência situacional. Nesta etapa, utilizou-se de um módulo da carga equivalente confeccionada, no que se refere ao escopo apresentado da Figura 79 do capítulo anterior, e a temperatura ambiente estava na faixa dos 22 °C em todos os testes deste trabalho.

A Figura 81 é uma foto que demonstra as condições de teste. A conexão da fonte com a carga é feita com condutores de 10 cm de comprimento cada um. Nota-se também a orientação do dissipador de calor da carga (bem como a posição de seus ventiladores - uma parcela de um deles pode ser vista no canto inferior direito da imagem). A ponteira de corrente está medindo a corrente da carga, enquanto as de tensão, uma mede a saída nos terminais da fonte, e outra nos da carga. Os sinais de comando, mais ao canto inferior esquerdo da fonte, os três pares de fios trançados, são gerados distantes do experimento através de uma fonte de bancada e um gerador de sinais (e também com o auxílio de uma *protoboard* e um resistor *trimmer* para gerar a referência analógica).

Figura 81 – Foto do experimento com um módulo da carga equivalente.



Fonte: Elaborada pelo autor.

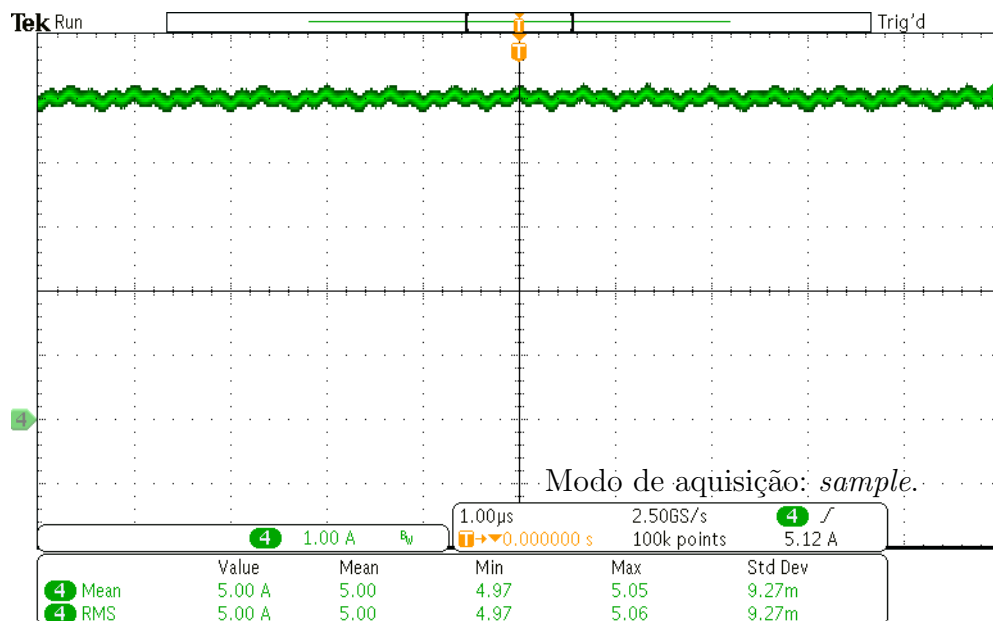
A alimentação do protótipo, conexão do canto superior esquerdo, é feita com uma fonte modelo IT6525D, da fabricante ITECH, capaz de suprir 20 A e 500 V (até 3 kW). O osciloscópio é da TEKTRONIX modelo MDO3014, *bandwidth* de 100 MHz e *sampling*

rate igual a 2,5 GS/s. Foram utilizadas apenas ponteiras diferenciais de tensão, para diminuir o acoplamento indevido de ruídos do próprio protótipo, modelo THDP0200 da TEKTRONIX, enquanto as de corrente é da mesma fabricante, mas modelo TCP0030A (30 A e 120 MHz).

Algumas medições, como a tensão de saída do transdutor sobre seu resistor de amostragem, ou a tensão de referência analógica externa nos terminais da fonte, foram feitas com um multímetro modelo U1242B (da KEYSIGHT). As ponteiras de tensão utilizadas não são tão adequadas para medir sinais de baixa magnitude (menor, ou na faixa de, 1 V), já as passivas formam uma malha muito grande e, assim, é difícil suprimir o acoplamento de ruído externo, então o multímetro se torna uma excelente opção. O gerador de função é da TEKTRONIX modelo AFG1022, e a fonte de bancada é da MINIPA modelo MPS-3035D.

Diante dessas considerações, relatam-se os primeiros experimentos, começando então com a obtenção da consciência situacional. Para isso, a chave moduladora permanece aberta durante todo o procedimento, a tensão de entrada da fonte era de 48 V e o sinal de referência foi ajustado para obter uma corrente de saída igual a 5 A, no caso, sendo igual a corrente da carga, a qual é apresentada na Figura 82. Já a tensão nos terminais de saída da fonte foi igual a 6,7 V, totalizando uma potência de 33,5 W drenada pela carga, quase 4 % da potência nominal do protótipo.

Figura 82 – Corrente entregue pela fonte à carga equivalente com a referência do controle em 5 A.



Fonte: Elaborada pelo autor.

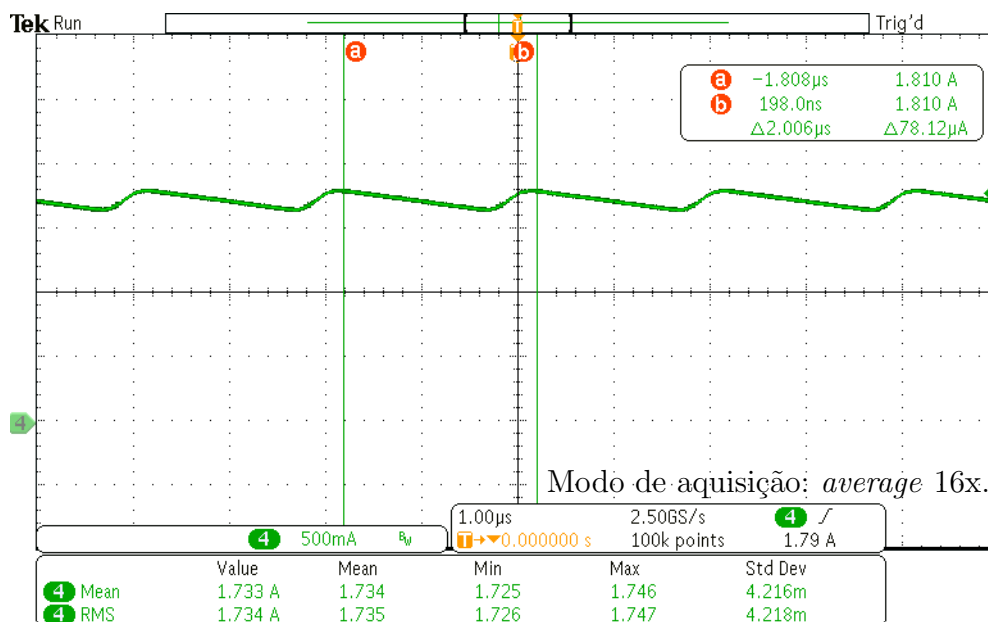
Nessas condições, a leitura de tensão do secundário do transdutor de corrente foi

igual a 261 mV, sendo que idealmente se esperariam 250 mV, um erro relativo ao esperado de 4,4%. Já a referência analógica acabou ficando em 582 mV, acima dos 564 mV esperados, um erro igual a 3,2%. Esses sinais são processados por amplificadores operacionais antes de serem lidos pelo ADC do microcontrolador, situação que provavelmente contribui com divergências.

A corrente de entrada da fonte era constante, de certa forma livre de harmônicas, e se situava no patamar dos 950 mA, resultando em uma potência de 45,6 W. Dessa forma, 12,1 W são consumidos pela fonte, culminando em uma eficiência igual a 73,5%, lembrando que no momento a potência processada é baixa e entra nessa conta o consumo das fontes auxiliares também (cerca de 3,6 W são só para as ventoinhas).

Na Figura 83 apresenta-se a corrente no indutor da fase *a*, no marcador é possível observar o intervalo de 2 μ s, correspondente com a frequência de comutação igual a 500 kHz. Sua ondulação, assim como das outras fases, está na faixa dos 154 mA, enquanto a da saída está dentro dos 120 mA máximo projetados, apesar de haver uma componente de baixa frequência que causa uma ondulação aparente maior. Os valores médios são 1,734 A, 1,654 A, 1,667 A, para as fases *a*, *b* e *c*, respectivamente. Sua soma totaliza 5,055 A (a corrente da carga). Nota-se que elas estão bem equilibradas, desvio relativo no pior caso de 4%, nisso sem empregar nenhuma técnica de equalização ativa, apenas pela simetria das fases.

Figura 83 – Resultado da corrente da fase *a*. $I_O = 5$ A.

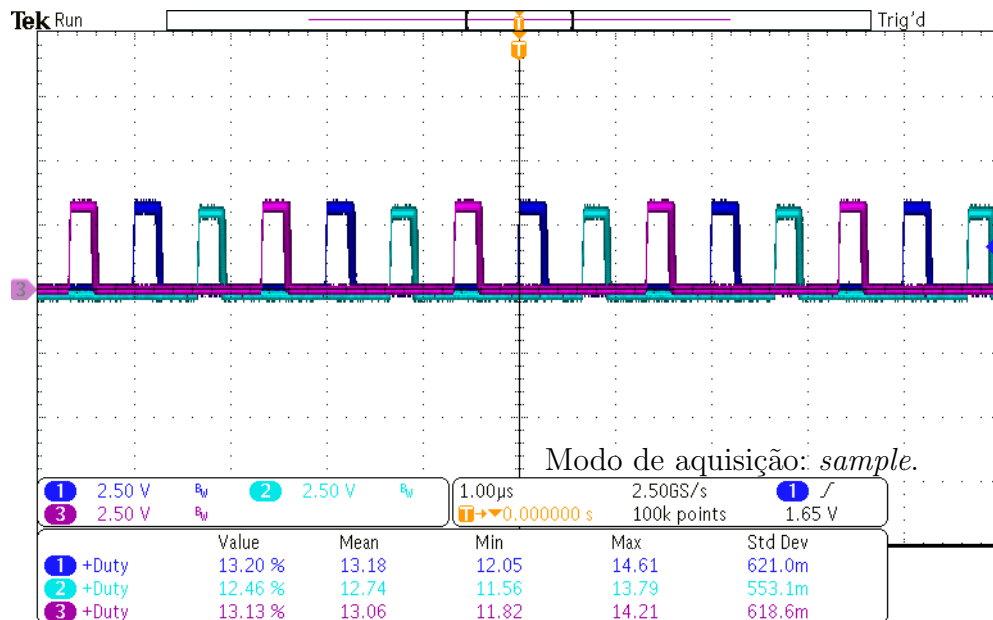


Fonte: Elaborada pelo autor.

Pelo ganho estático de corrente, $I/I_O = 0,95$ A/5 A, tem-se que a razão cíclica deve se situar em 19%. Ao considerar o ganho estático de tensão, razão da tensão de

entrada dividida pela tensão de saída vezes a eficiência, chega-se em aproximadamente nos mesmos 19%. Na Figura 84 há os sinais de comando do lado primário dos *gate drivers*, nela é possível observar que a razão cíclica não é estritamente idêntica para todas as fases, e que seu valor está nos meados dos 13% (coerente, pois os tempos de comutação dos transistores, bem como as imperfeições na largura de pulso dos *drivers*, contribuem para que o estágio de potência tenha uma razão cíclica efetiva maior). Já na Figura 85 demonstra-se que os sinais estão defasados de 120° entre si.

Figura 84 – Sinais de comando do lado primário dos *gate drivers*, razão cíclica. Chave moduladora aberta. Carga equivalente. $I_O = 5$ A. Fase *a* (Canal 1), fase *b* (Canal 2) e fase *c* (Canal 3).

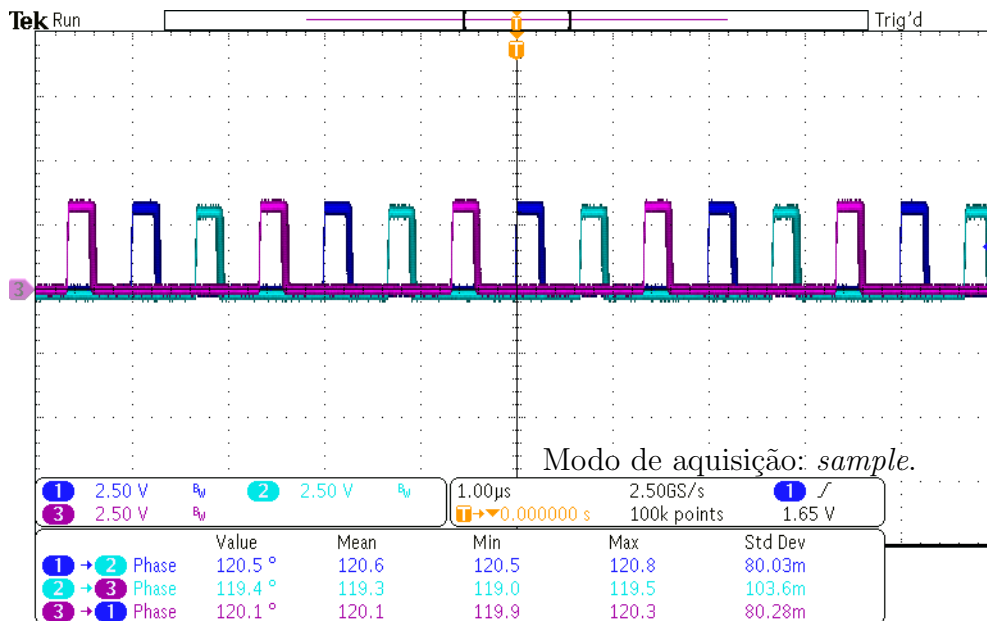


Fonte: Elaborada pelo autor.

6.3 Estudo da razão cíclica limitante

No decorrer do Capítulo 3, demonstra-se que ao operar com uma significativa frequência de comutação, algumas condições limitantes de operação podem aparentemente acontecer ao fechar a chave moduladora. Nos *datasheets*, a largura de pulso mínima do *gate driver* representa uma razão cíclica de 2,5% neste protótipo, enquanto o microcontrolador enfatiza para não operar abaixo dos 1,5%. Entretanto, a análise indica que esses patamares devem ser violados para manter a soma das correntes dos indutores condizente com a referência do controle, caso contrário, a soma ultrapassaria esse valor. Sendo assim, estuda-se isso no protótipo, bem como duas possíveis soluções: aplicando o diodo *offset* em série

Figura 85 – Sinais de comando do lado primário dos *gate drivers*, defasagens. Chave moduladora aberta. Carga equivalente. $I_O = 5$ A. Fase *a* (Canal 1), fase *b* (Canal 2) e fase *c* (Canal 3).



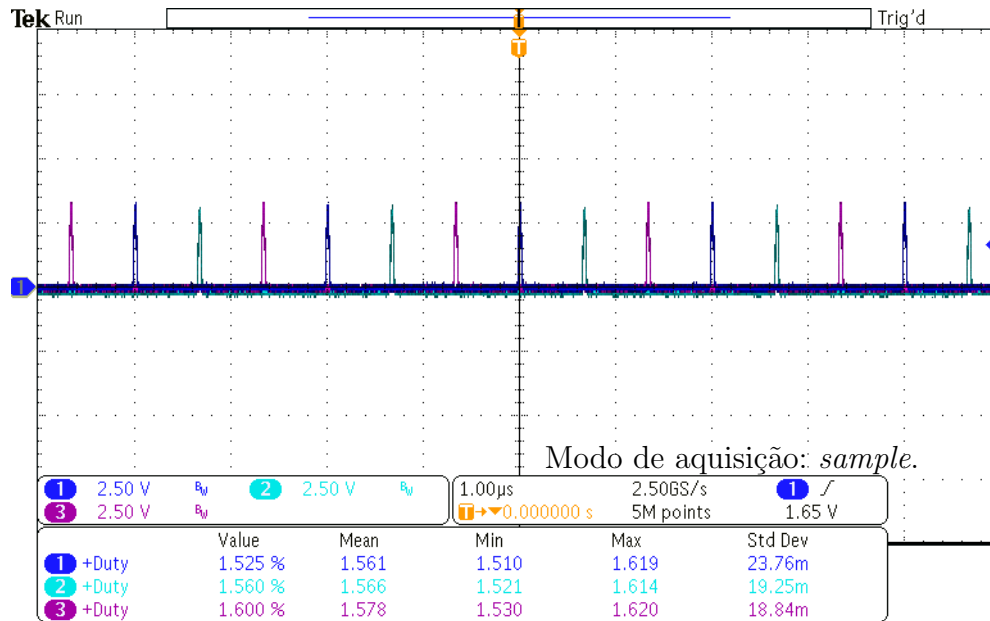
Fonte: Elaborada pelo autor.

com a chave moduladora; ou permitindo a razão cíclica do microcontrolador excursionar até zero.

De início, chave moduladora constantemente fechada, sem diodo *offset* e razão cíclica mínima do microcontrolador limitada em 1,5%. O sinal de referência da malha de controle permanece em 5 A e a tensão de entrada é igual a 48 V. Sendo assim, na Figura 86 é possível observar como os sinais de comando no primário dos *gate drivers* indicam a saturação da ação de controle, impondo uma razão cíclica nas redondezas do patamar mínimo (um *record length* de 5 M *samples* foi adotado no osciloscópio para garantir boa resolução da medição na escala de tempo apresentada).

A tensão no secundário do transdutor de corrente é igual a 1,08 V, portanto, como 261 mV representavam $I_O = 5$ A, agora, pela linearidade, estima-se I_O igual a 20,69 A (bem acima da referência). Não é possível medir I_O diretamente com o osciloscópio, mas a corrente dos indutores sim, sendo 6,86 A (fase *a*), 7,29 A (fase *b*), 6,77 A (fase *c*), cuja soma é igual a 20,92 A. A elevação da resistência da chave moduladora, com seu aumento de temperatura, pode ter contribuído para a divergência entre as medições. A tensão de saída da fonte, coincidente com a tensão sobre a chave moduladora, é igual 186,9 mV, podendo estimar uma resistência $R_{CM} = 9,14$ m Ω (acima dos 7,60 m Ω inicialmente adotados no projeto). A corrente de entrada da fonte é constante e igual a 760 mA, consumindo 36,4 W, nota-se que a carga não está sendo alimentada, representando apenas as perdas internas.

Figura 86 – Sinais de comando do lado primário dos *gate drivers*, razão cíclica. Chave moduladora fechada. Carga equivalente. $I_O = 5\text{ A}$. Fase *a* (Canal 1), fase *b* (Canal 2) e fase *c* (Canal 3).



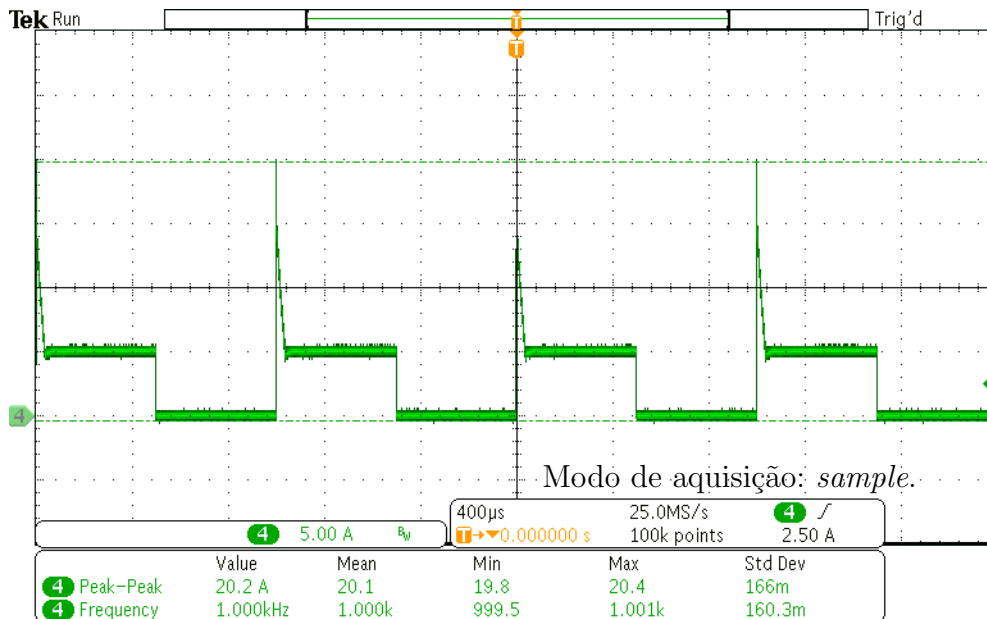
Fonte: Elaborada pelo autor.

Na Figura 87 apresenta-se a corrente da carga ao comutar a chave moduladora em 1 kHz (50% de razão cíclica). Nota-se como primeiro há um pico na faixa dos 20 A e depois a corrente estabiliza nos 5 A (no valor da referência). Contudo, a magnitude do pico talvez não está bem representada, pois a ponteira estava com a *bandwidth* limitada em 20 MHz, o *record length* pode ser pequeno para a escala de tempo adotada, e o modo de aquisição não estava em *peak detect*. Mesmo assim, o erro causado é mínimo e não invalida os resultados.

Um outro experimento foi realizado para enfatizar que o controle está saturado e a energia acumulada nos indutores depende somente dos parâmetros do circuito. Agora, com a chave moduladora constantemente fechada, a tensão de entrada foi diminuída para 36 V, então como o tempo de condução dos transistores permanece inalterado, a transferência de energia é menor, devido a menor diferença de potencial, devendo resultar em uma corrente acumulada menor. Nessa nova condição, a corrente de entrada da fonte é igual a 580 mA, totalizando 20,8 W, e a tensão do secundário do transdutor é de 651 mV, podendo estimar $I_O = 12,47\text{ A}$. Na Figura 88 há o resultado da corrente da carga nas mesmas condições anteriores comutando a chave moduladora, observa-se a diminuição do pico de corrente, ficando consideravelmente acima do valor estimado de I_O , mas isso é melhor explorado na seção sobre a análise da comutação da corrente da carga.

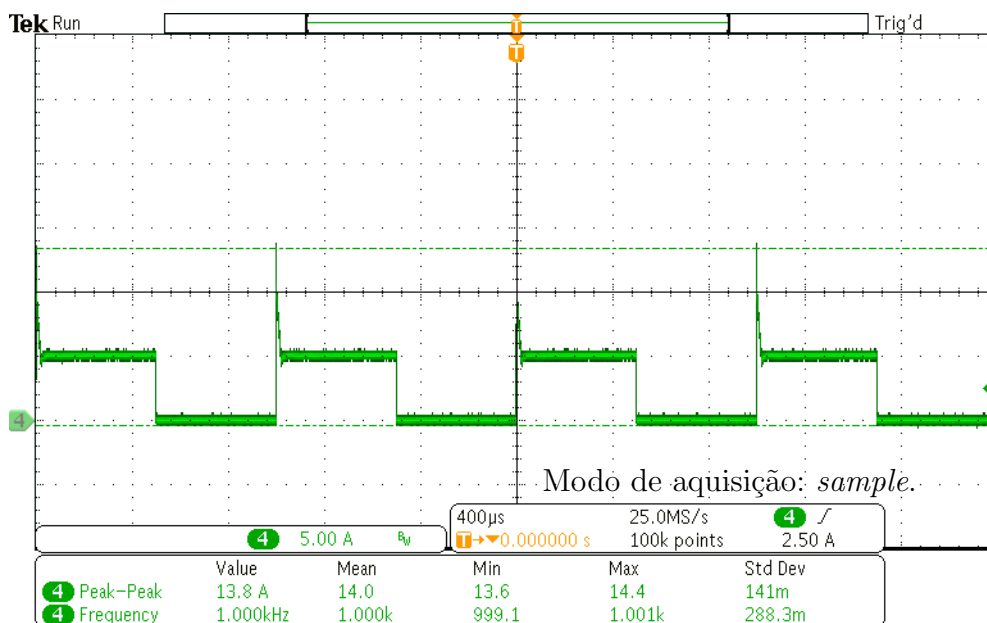
De forma a contornar essa inconveniência da sobrecorrente armazenada, o diodo

Figura 87 – Corrente da carga equivalente. $E = 48\text{ V}$. $I_O = 5\text{ A}$. Chave moduladora comutando a 1 kHz .



Fonte: Elaborada pelo autor.

Figura 88 – Corrente da carga equivalente. $E = 36\text{ V}$. $I_O = 5\text{ A}$. Chave moduladora comutando a 1 kHz .



Fonte: Elaborada pelo autor.

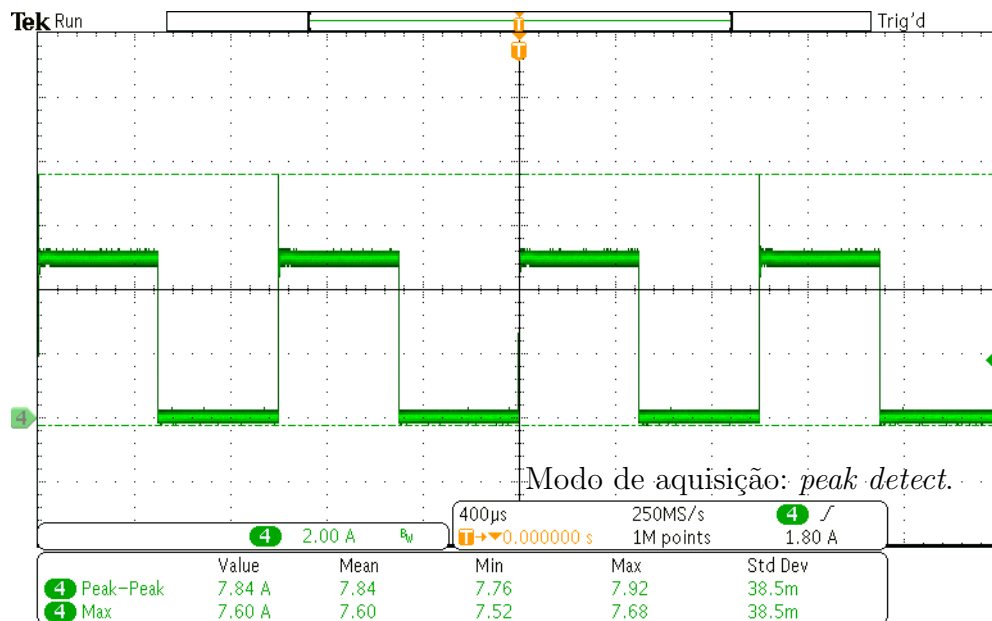
offset é posto em série com a chave moduladora, esperando assim dissipar o excedente de energia dos indutores para manter a corrente no nível desejado. A tensão de entrada da fonte é de 48 V . Feito isso, a razão cíclica aparenta se situar na faixa dos $1,6\%$, acima do mínimo requerido pelo microcontrolador, mas abaixo do *gate driver*, indicando de certa forma como ele está conseguindo operar abaixo dos $2,5\%$ estabelecidos em seu *datasheet*. Mesmo assim, através das estatísticas do osciloscópio, os valores aparentam atingir o

mínimo, indicando uma possível saturação momentânea do controle (algo não tão bem esperado, mas que pode ser justificado pela baixa corrente, e pela queda de tensão não tão expressiva do diodo *offset* nessas condições, estando operando no limite).

A tensão de saída do transdutor é igual a 268 mV, ligeiramente acima dos 261 mV obtidos na calibração, assim estimando $I_O = 5,13$ A (acima da referência, porém muito menos do que nos casos anteriores). A tensão de saída agora subiu para 1,15 V. A corrente de entrada situa-se em 390 mV, indicando um consumo de 18,8 W, sendo possível notar uma diminuição desse valor mesmo com um elemento dissipativo a mais no estágio de potência, justificado pela menor magnitude de corrente.

Ao diminuir a tensão de entrada para 36 V, a saída do transdutor passa a ser igual a 260,5 mV, indicando $I_O = 4,99$ A. A razão cíclica ficou na faixa dos 3,2 %, a corrente de entrada é igual a 460 mA, reduzindo a potência consumida para 16,6 W. Na Figura 89 é possível visualizar a comutação da corrente da carga, com 48 V na entrada e a presença do diodo *offset*, em que ainda há um pico de corrente, mas de magnitude menor, sendo as capacitâncias presentes na saída as causadoras (explorado na seção sobre a análise da comutação da corrente da carga).

Figura 89 – Corrente da carga equivalente. $E = 48$ V. $I_O = 5$ A. Chave moduladora comutando a 1 kHz e com diodo *offset* em série.



Fonte: Elaborada pelo autor.

Adotando a outra proposta, operar sem o diodo *offset*, mas permitindo a razão cíclica do microcontrolador excursionar até zero, espera-se que seja possível manter a energia dos indutores no patamar desejado, uma vez que o controle ora vai cessar por completo a energia provida da fonte de entrada, e ora vai permiti-la fluir, mantendo a

corrente de saída igual a referência. Os resultados foram promissores, com 48 V na entrada, a corrente drenada foi igual a 230 mA, totalizando um consumo de apenas 11 W, bem menor do que os 36,4 W obtidos nas mesmas condições sem o diodo *offset*. A comutação da corrente segue tendo as características da Figura 89.

Portanto, quando o sistema deve impor por algum motivo um limite inferior na razão cíclica, acima de zero, pode-se encontrar problemas em manter a corrente de saída no mesmo patamar da corrente de referência (devido a saturação do controle e a transferência excessiva de energia da fonte de alimentação para os indutores - enquanto a chave moduladora está fechada). Empregar o diodo *offset* é uma solução para contornar esse problema, dissipando a energia excedente, porém isso pode agravar a eficiência com significativas correntes de saída, bem como é um elemento a mais no estágio de potência (necessitando ainda de mais outro diodo em anti-paralelo com a carga, pois perde-se o diodo de corpo da chave moduladora, o que evita sobretensões negativas durante a comutação da corrente). Já permitir que a razão cíclica excursionsse até zero tende a ser a melhor alternativa, porém isso talvez não é sempre possível de ser feito, e ainda pode ser necessário um estudo mais aprofundado da corrente de entrada da fonte, pois a transferência de energia não ocorre mais estritamente dentro do intervalo de comutação, há intervalos que irão ou não transferir, algo que talvez pode exigir um filtro de entrada além da própria indutância da conexão.

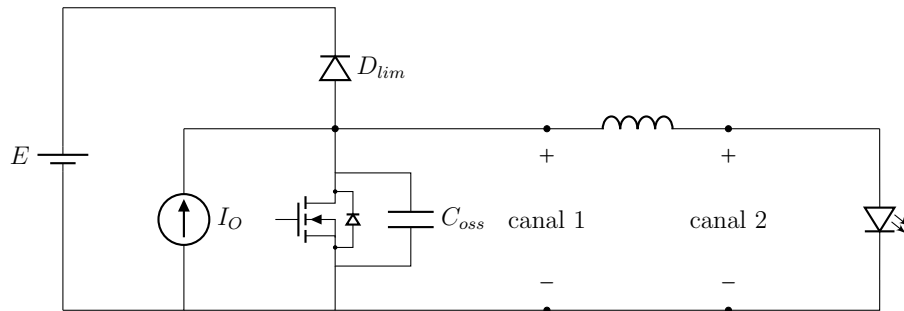
6.4 Análise da comutação da corrente da carga

A característica da comutação da corrente da carga é analisada mais em detalhes, ao observar o instante que a chave moduladora é aberta, ou seja, a corrente comuta da chave para a carga. Através do canal 1 do osciloscópio se observa a tensão logo nos terminais de saída da fonte, já o canal 2 observa a tensão nos terminais da carga, e o canal 4 serve para monitorar a corrente da carga. Na Figura 81, no início deste capítulo, é possível visualizar como essas conexões foram feitas no experimento.

Para dar suporte à análise, apresenta-se na Figura 90 um circuito equivalente simplificado da saída, sendo a fonte de corrente I_O representando a soma das correntes dos indutores do estágio de potência, e a indutância entre as medições de tensão é da própria conexão. Vale lembrar que o diodo laser, ou a carga equivalente, também contribui com uma indutância nessa malha. Diodo *offset*, D_{ofst} , e o diodo anti-paralelo, D_{anti} , causam influências na saída, mas, em linhas gerais, pode-se simplificar como uma chave bidirecional em corrente com um capacitância em paralelo (tal como está apresentado -

exceto pela capacitância não ser estritamente C_{oss}).

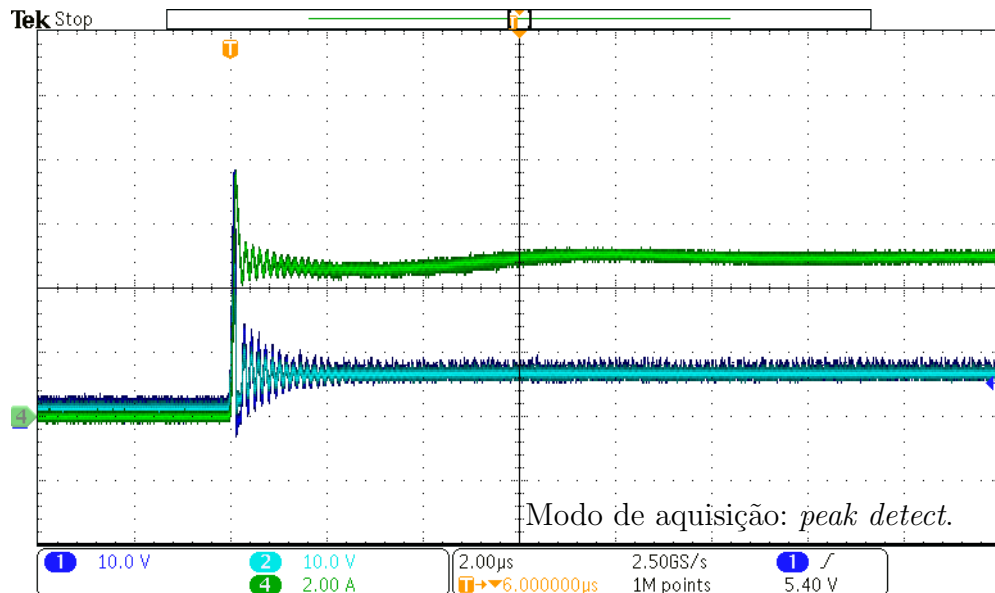
Figura 90 – Circuito equivalente simplificado para análise da comutação.



Fonte: Produzida pelo autor.

No primeiro experimento, um módulo da carga equivalente foi utilizado, tensão de entrada em 48 V e $I_O = 5$ A. Utilizou-se do diodo *offset* em série com a chave moduladora (a qual comutava a 1 kHz e com uma razão cíclica igual a 50%). O resultado é apresentado na Figura 91, sendo primeiro uma visão mais ampliada, justamente para observar que há uma sobrecorrente no instante da comutação (apesar de não estar tão evidente), seguida por uma ressonância e finalizando com uma dinâmica mais lenta da corrente (provocada mais pelo controle) até estabilizar no valor da referência.

Figura 91 – Corrente da carga equivalente (Canal 4). Escala de tempo de 2 μ s. $I_O = 5$ A. Tensão nos terminais de saída da fonte (Canal 1) e da carga (Canal 2).

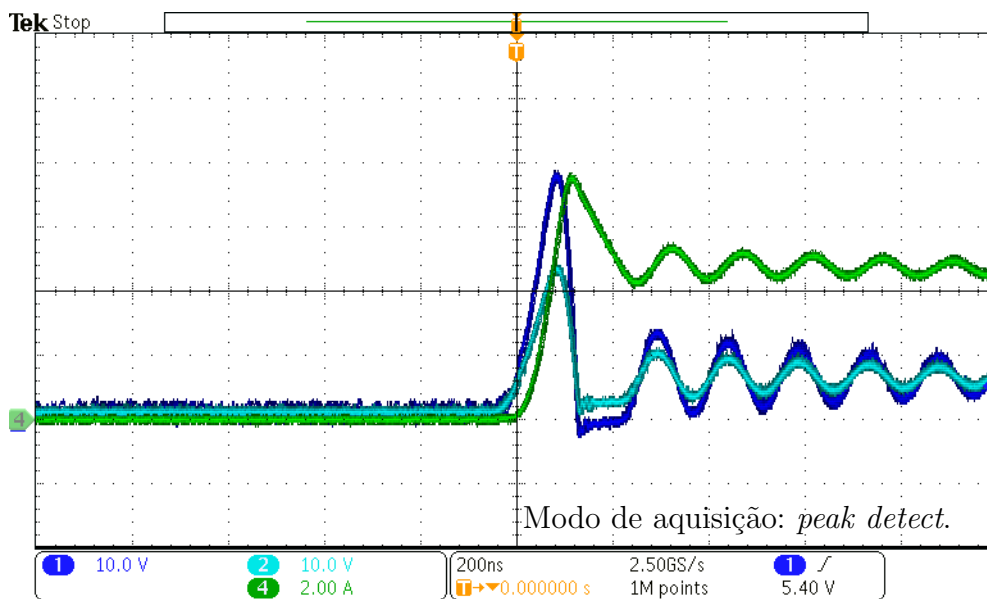


Fonte: Elaborada pelo autor.

Enquanto que na Figura 92 há uma visão mais aproximada do mesmo resultado da Figura 91. Em um primeiro momento, a corrente cresce em um intervalo aproximado de 114 ns até atingir o valor máximo de 7,44 A, e a tensão do canal 1 (terminais da fonte)

quase chega a atingir os 40 V, assim, por ser menor do que a tensão de entrada, D_{lim} não conduz e tem-se um cume no formato apresentado (mais arredondado ou côncavo). A tensão do canal 2 (terminais da carga) acaba sendo uma réplica do canal 1, contudo, com uma diferença de magnitude causada pela queda de tensão na indutância da conexão. Basicamente, pela relação $\Delta V = L \cdot \Delta I / \Delta t$, considerando $\Delta I = 7,44$ A, $\Delta t = 114$ ns, e supondo $L = 200$ nH, obtém-se um ΔV com magnitude igual a 13 V, sendo que pela imagem observa-se algo em torno de 14 V (no pico).

Figura 92 – Corrente da carga equivalente (Canal 4). Escala de tempo de 200 ns. $I_O = 5$ A. Tensão nos terminais de saída da fonte (Canal 1) e da carga (Canal 2).



Fonte: Elaborada pelo autor.

Neste primeiro momento, a capacitância de saída da fonte recebe uma dose de energia, por isso a tensão cresce, mas, devido a ressonância formada (troca de energia entre os elementos reativos), em um dado instante da borda de subida, ela é transferida para indutância e essa é a causa do pico de corrente. Nota-se que a tensão de saída subiu além do patamar de regime permanente, então para que ela retorne, faça a concavidade para baixo, o capacitor deve descarregar e essa descarga é a corrente saindo de seus terminais (a qual está somando com a corrente da carga). Por isso que quanto menor for a capacitância, menos expressiva é essa corrente, assim como acontece ao excitar menos a sobretensão (seja por um *rise-time* mais lento ou uma indutância da conexão menor).

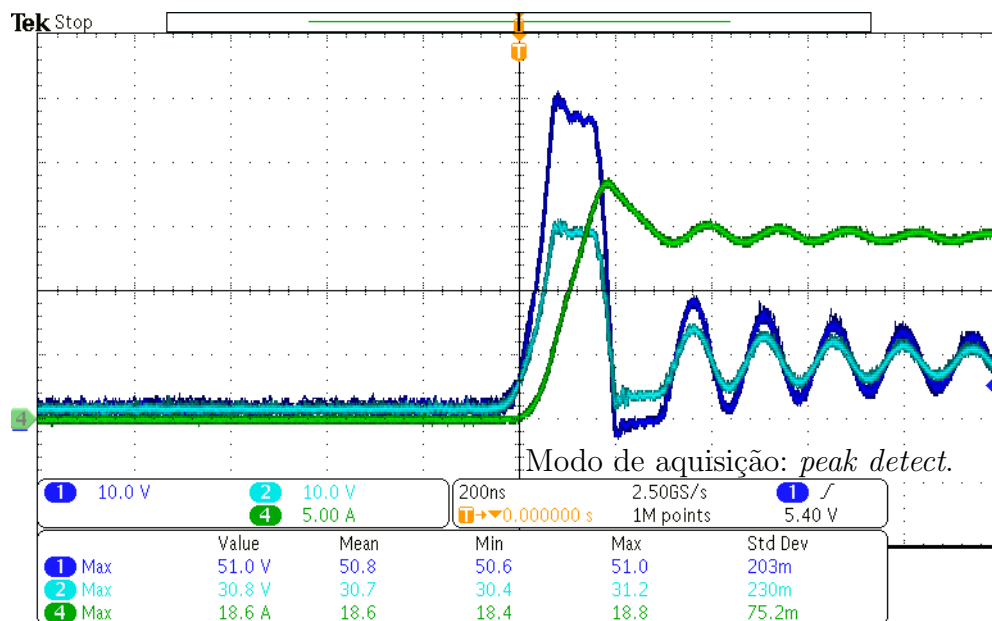
Atingido o pico de tensão, a tendência é que ela excursionsse para um patamar negativo com magnitude ligeiramente inferior devido as perdas do circuito, situação causada pela ressonância. Entretanto, o diodo de corpo da chave moduladora, ou o diodo anti-paralelo D_{anti} , acaba conduzindo e limitando essa tensão (sendo observado que a

forma de onda do canal 1 excursiona levemente abaixo de zero - sendo essa a queda de tensão sobre o diodo). Enquanto ele conduz, a capacitância está curto-circuitada e a ressonância deixa de acontecer, culminando em uma descarga linear da corrente. Encerrada sua condução, a ressonância volta a acontecer, e assim tem-se a oscilação da tensão e da corrente até cessá-las.

Essa oscilação possui uma frequência igual a 6,85 MHz, e considerando a indutância da conexão (200 nH) mais a indutância da carga (possíveis 300 nH), pela relação $f_o = 1/(2\pi\sqrt{L \cdot C})$, obtém-se que a capacitância de saída está em torno de 1 nF. Vale notar que a corrente está atrasada da tensão, sendo mensurados aproximados 74° de defasagem no primeiro ciclo de oscilação após a descarga linear.

Realizou-se o mesmo experimento, porém considerando $I_O = 15$ A, em que os resultados são apresentados na Figura 93. A principal diferença está em que D_{lim} conduz no instante da comutação, limitando a tensão de saída no patamar da tensão de entrada, perdendo aquele formato côncavo do pico. Como há uma limitação no ΔV da indutância da conexão, e como se está impondo um ΔI ainda maior, o Δt acaba aumentando e por isso o *rise-time* da corrente agora é de aproximados 180 ns (um aumento de 66 ns).

Figura 93 – Corrente da carga equivalente (Canal 4). Escala de tempo de 200 ns. $I_O = 15$ A. Tensão nos terminais de saída da fonte (Canal 1) e da carga (Canal 2).

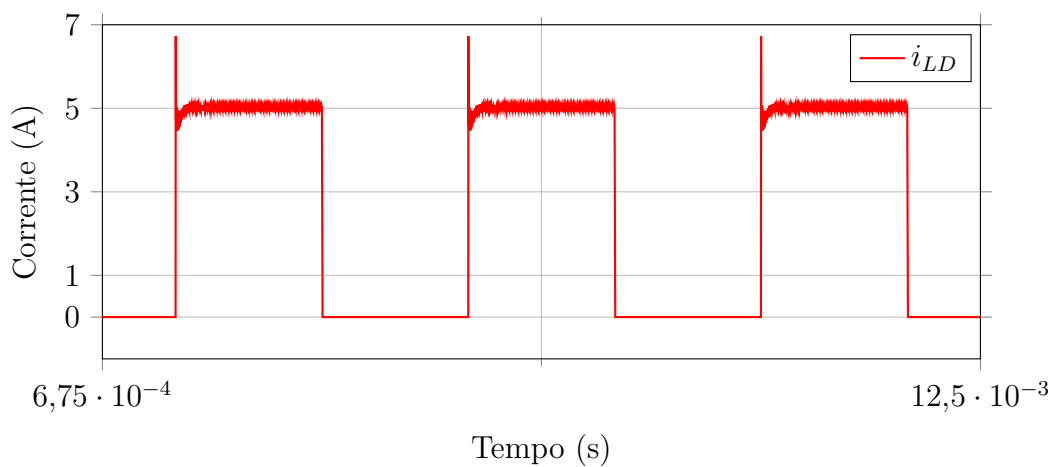


Fonte: Elaborada pelo autor.

A característica desse resultado pode ser melhor comparada com o que é obtido via simulação, dando suporte às considerações realizadas, na qual o circuito simulado está apresentado no Apêndice A. São as mesmas configurações adotadas no Capítulo 5, exceto pelo novo circuito equivalente da carga, e por permitir que a razão cíclica excursionsse até

zero, uma vez que não se está utilizando D_{ofst} na simulação, justamente por ter sido observado resultados mais similares com os obtidos experimentalmente (mesmo que o circuito equivalente seja distinto). Uma visão mais ampla do resultado da corrente da carga pode ser vista na Figura 94, em que se observa um pico de corrente igual a 6,75 A, sendo que a corrente de referência está em 5 A. Nota-se que, mesmo com esse valor de corrente, D_{lim} conduziu, enquanto que experimentalmente isso não aconteceu, Figura 92, sendo o tempo de comutação instantâneo (infinitesimal) do simulador a causa.

Figura 94 – Resultado de simulação da modulação da corrente da carga.

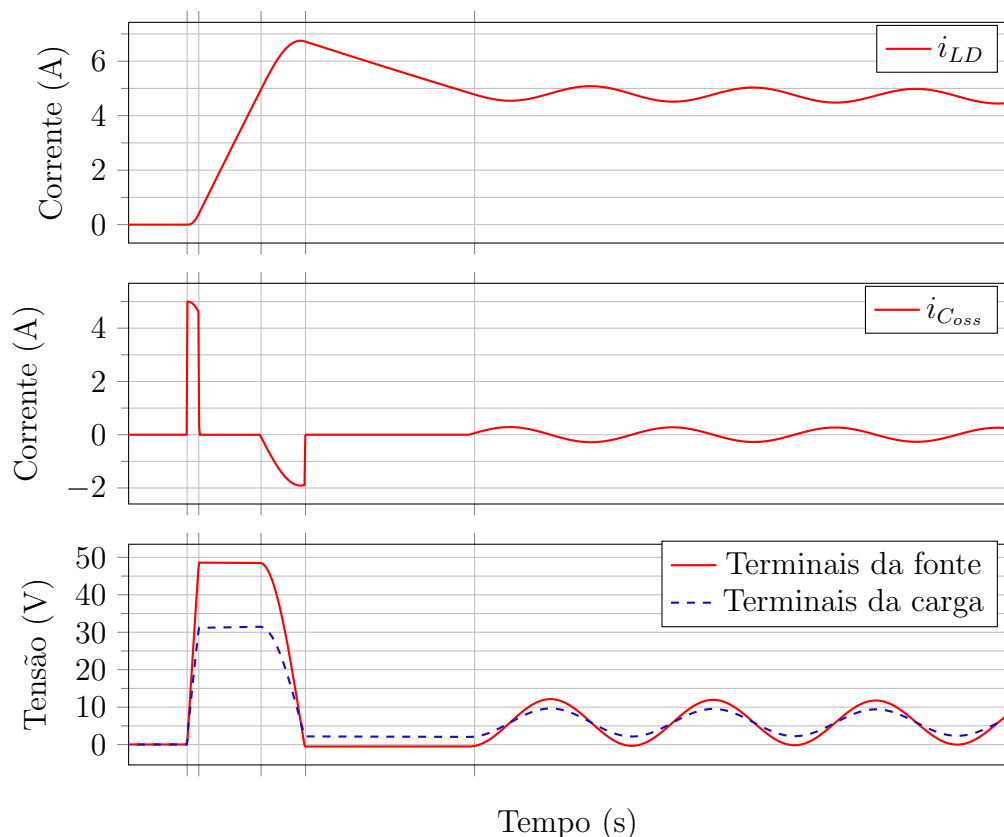


Fonte: Elaborada pelo autor.

Na Figura 95 visualiza-se mais em detalhes o instante da comutação da corrente da Figura 94. A corrente $i_{C_{oss}}$ é do capacitor C_{oss} , definida com sentido entrando nele, e as tensões canal 1 e canal 2 são as mesmas definidas experimentalmente (nos terminais da fonte e nos terminais da carga, respectivamente). As características do resultado são bem similares com as da Figura 93, a oscilação está na faixa dos 7 MHz, a tensão de saída fica limitada na tensão de entrada graças a D_{lim} conduzir, e agora é possível observar a influência da capacitância presente na saída da fonte. Percebe-se que ao i_{LD} atingir os 5 A, $i_{C_{oss}}$ se torna negativa, indicando o início da descarga de C_{oss} .

A carga equivalente foi substituída pelo próprio diodo laser e novos resultados foram obtidos. Uma foto do experimento é apresentada na Figura 96. Nas mesmas condições de teste, com $I_O = 5$ A, apresenta-se Figura 97 a comutação da corrente, em que se observa os mesmos traços até então obtidos, sendo desta vez omitida a forma de onda do canal 2. As diferenças ocorrem no *rise-time* da corrente, que foi reduzido de 114 ns para 102 ns (indicando uma indutância menor da carga), o pico de corrente passou de 7,44 A para 7,80 A, e a oscilação ficou bem similar, contudo, desta vez o diodo em anti-paralelo com a saída acaba não conduzindo devido a tensão não excursionar para o patamar negativo.

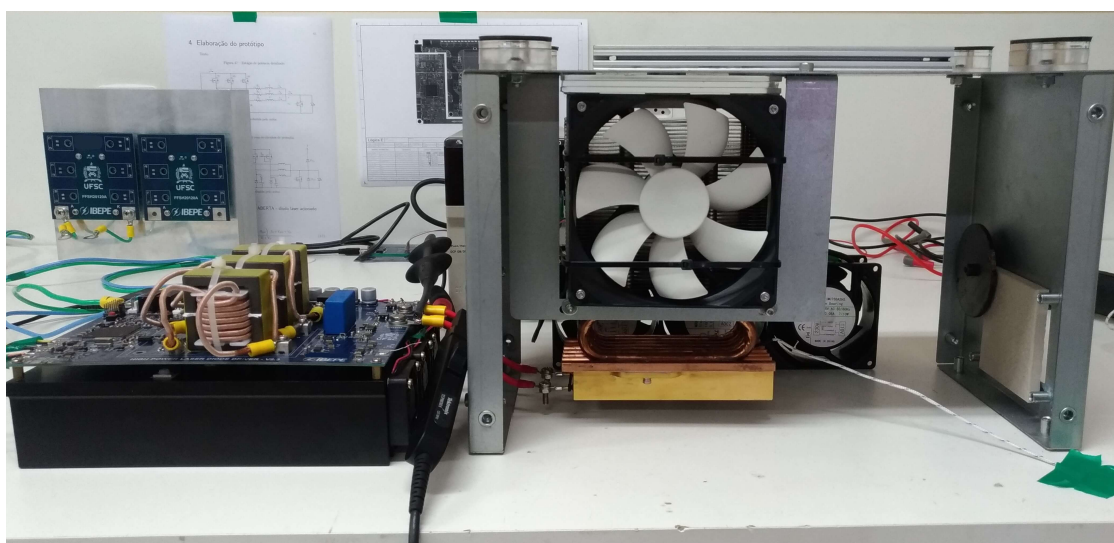
Figura 95 – Resultado de simulação da comutação da corrente da carga.



Fonte: Produzida pelo autor.

Parece que o diodo laser absorve a energia da ressonância. Semelhantemente acontece quando $I_O = 20$ A, Figura 98, em que D_{lim} conduz mas D_{anti} ainda não.

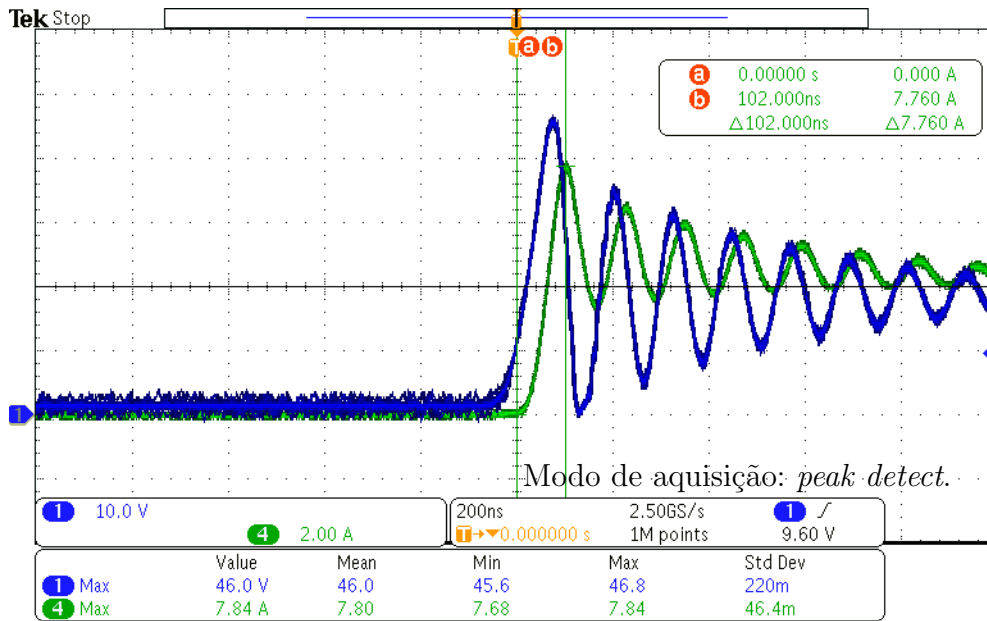
Figura 96 – Foto do experimento com o diodo laser conectado.



Fonte: Elaborada pelo autor.

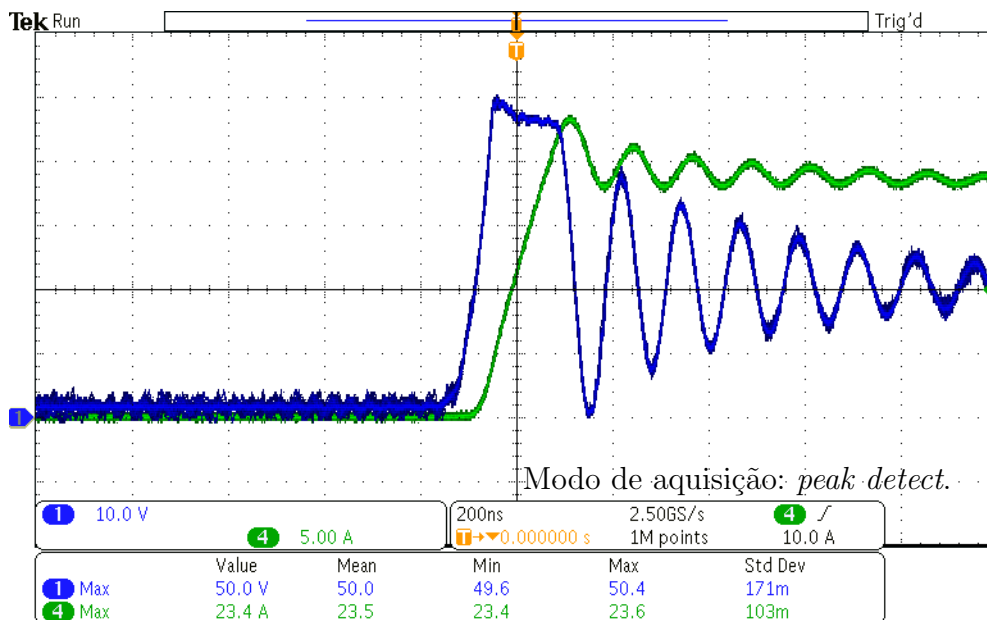
De consideração final, quando não se está utilizando D_{ofst} e permite-se que a razão cíclica do microcontrolador excursiona até zero, não houveram diferenças significativas

Figura 97 – Corrente do diodo laser (Canal 4). Escala de tempo de 200 ns. $I_O = 5$ A. Tensão nos terminais de saída da fonte (Canal 1).



Fonte: Elaborada pelo autor.

Figura 98 – Corrente do diodo laser (Canal 4). Escala de tempo de 200 ns. $I_O = 20$ A. Tensão nos terminais de saída da fonte (Canal 1).



Fonte: Elaborada pelo autor.

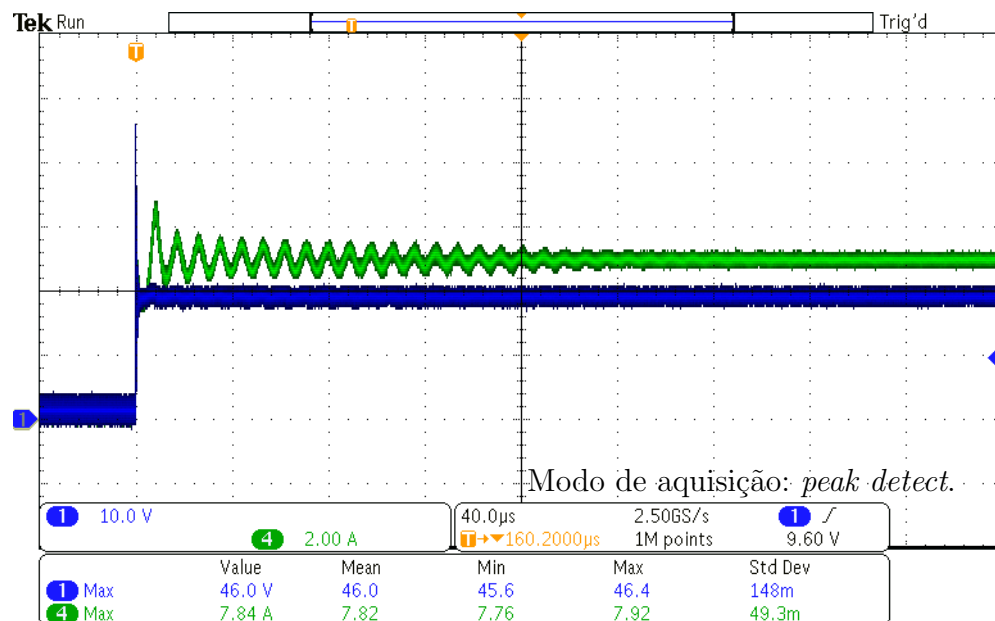
dos resultados ao utilizar um módulo da carga equivalente (o mesmo deve valer para o diodo laser). Portanto, a análise demonstra que capacitâncias na saída da fonte podem provocar sobrecorrentes ao comutar a corrente da carga, agravadas quando ela for de valor expressivo, sendo a causa a ressonância com a indutância da carga. Deve-se buscar também trabalhar com a menor indutância e o maior *rise-time* possível para evitar essa ocorrência.

A carga equivalente e o diodo laser possuem características bem similares, sendo talvez a maior diferença, que ao utilizá-lo não foram observadas excursões de tensão negativas da saída (fazendo com que os diodos em anti-paralelo com ela não conduzissem).

6.5 Qualidade do controle

Já observou-se que na Figura 91 a dinâmica do controle projetado apresentou bons resultados, o qual considera uma frequência de cruzamento por 0 dB igual a 100 kHz e uma margem de fase de 70° , em que a corrente da carga apresenta um sutil afundamento e sobressinal (desprezando aquele causado pela ressonância). Esse resultado foi obtido com um módulo da carga equivalente confeccionada, entretanto, nas mesmas configurações e ao utilizar o diodo laser no lugar, a resposta acaba ficando um tanto quanto sub-amortecida (conforme a Figura 99). Destaca-se que o sobressinal e a oscilação observados não são frutos da ressonância, mas sim, do baixo amortecimento do sistema.

Figura 99 – Corrente do diodo laser (Canal 4). Sistema com $f_c = 100\text{kHz}$ e $MF = 70^\circ$. $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1).

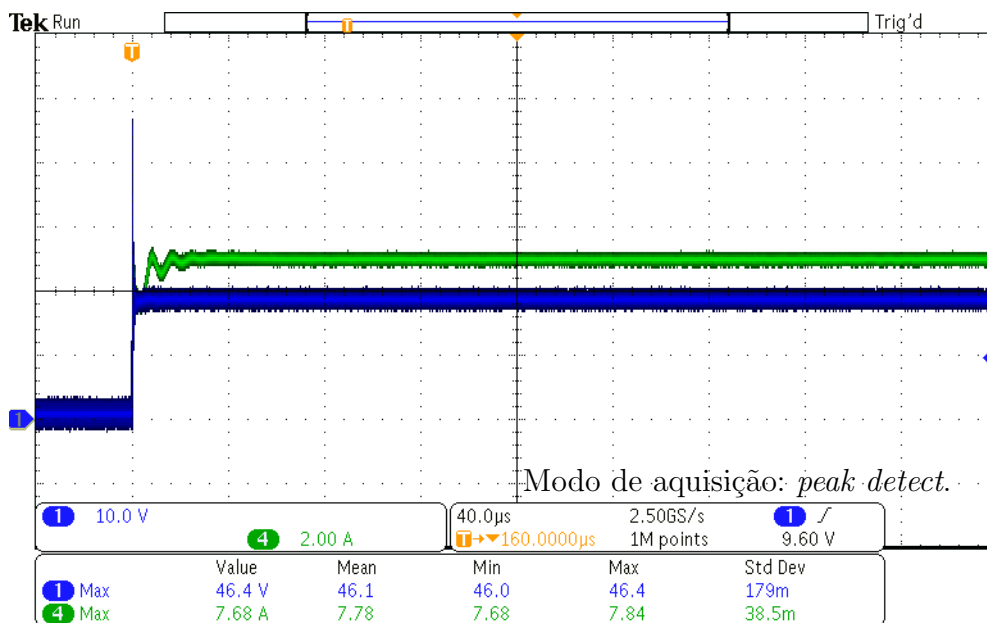


Fonte: Elaborada pelo autor.

Essa redução do amortecimento pode ter sido provocada principalmente pela alteração do ponto quiescente de operação enquanto a carga está conectada, pois, com um módulo a queda de tensão da saída é de aproximados 6,71 V, mas com o diodo laser, esse valor passa a ser 18,90 V, aumentando a razão cíclica e assim trazendo maiores atrasos de transporte devido a discretização do controle (Equação 4.18). Novos testes foram feitos, porém considerando a mesma frequência de cruzamento e agora $MF = 76^\circ$, cujo

resultado é apresentado na Figura 100, e os coeficientes obtidos são $k_{I_e} = 0,0623814108$ e $k_{P_e} = 0,6497794953$. Nota-se uma significativa mudança na resposta, para melhor, com uma diferença de 6° apenas. Resultados similares foram obtidos utilizando dois módulos da carga equivalente, a qual condiciona uma queda de tensão similar, indicando como é mais a alteração do ponto quiescente que influencia na resposta.

Figura 100 – Corrente do diodo laser (Canal 4). Sistema com $f_c = 100\text{kHz}$ e $MF = 76^\circ$. $I_O = 5\text{ A}$. Tensão nos terminais de saída da fonte (Canal 1).



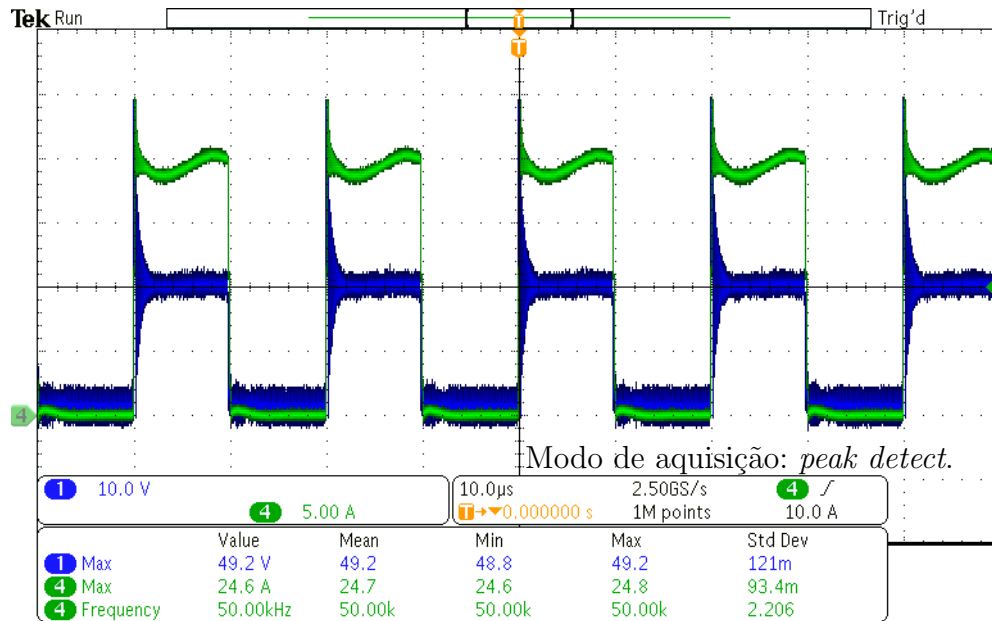
Fonte: Elaborada pelo autor.

Nessas condições, porém com $I_O = 20\text{ A}$ e com o diodo laser conectado, testou-se a capacidade da fonte regular a corrente de saída enquanto comuta a chave moduladora em 50 kHz , o valor máximo desejado. O resultado é apresentado na Figura 101, sendo a característica plenamente satisfatória, podendo observar a ressonância logo no primeiro momento, algo indesejado, e logo em seguida a dinâmica do controle.

6.6 Outras medições e ensaios

O diodo laser foi ensaiado para tentar obter sua queda de tensão direta e resistência série equivalente. Para isso, diferentes magnitudes de corrente foram aplicadas e leu-se a tensão sobre os seus terminais, obtendo os dados da Tabela 6. Os testes foram rápidos para evitar a influência do aumento da temperatura da junção (certificando-se sempre de realizar a medição quando a temperatura da capsula atingia 26°C). Com esses dados, ao fazer um ajuste de curva polinomial de grau 1, obtém-se $V_{FD} = 18,31\text{ V}$ e $R_{LD} = 116\text{ m}\Omega$.

Figura 101 – Corrente do diodo laser (Canal 4). Sistema com $f_c = 100\text{kHz}$ e $MF = 76^\circ$. $I_O = 20\text{ A}$. Chave moduladora comutando a 50 kHz . Tensão nos terminais de saída da fonte (Canal 1).



Fonte: Elaborada pelo autor.

Tabela 6 – Curva diodo laser.

Corrente	Tensão
2 A	18,54 V
3 A	18,66 V
4 A	18,79 V
5 A	18,90 V
6 A	19,00 V

Fonte: Elaborada pelo autor.

A eficiência da fonte, nesta primeira ocasião, não foi estudo prioritário do projeto, uma vez que se trata de um conversor buck *interleaved* e já há conhecimento disponível na literatura. Também não foram feitas otimizações do protótipo para expor de fato as capacidades de conversão. Mesmo assim, para uma tensão de entrada de 48 V , obteve os seguintes resultados: 4% da potência nominal, $33,5\text{ W}$, eficiência de 73,46%; 46,22% da potência nominal, $416,00\text{ W}$, eficiência de 94,11%; 90,63% da potência nominal, $33,5\text{ W}$, eficiência de 91,50%. Vale lembrar que a potência dos circuitos auxiliares, tais como das ventoinhas, acaba influenciando nesses resultados. Além disso, como a tensão de saída não é fixa, cargas que atendem uma mesma potência, mas com um produto tensão-corrente distinto, podem acarretar em diferentes resultados de eficiência.

Outro ponto está na característica da corrente de entrada com relação à frequência de comutação da chave moduladora. Comutá-la acaba alternando a potência drenada na entrada, uma vez que a carga ora é conectada e ora desconectada, e como a tensão de

entrada é fixa, isso resulta em diferentes magnitudes de corrente. Na Figura 102 há um resultado dessa corrente, no canal 4, e no canal 1 tem-se a tensão de saída como referência, sendo adotado $I_O = 5$ A. A chave moduladora comuta a 50 Hz, para evidenciar bem as características, e com uma razão cíclica de 75 % (em que é possível observar essa razão nas formas de onda). Algumas dinâmicas podem estar sendo provocadas pela fonte de alimentação do protótipo.

Figura 102 – Corrente de entrada da fonte (Canal 4). $I_O = 5$ A. Chave moduladora comutando a 50 Hz. Tensão nos terminais de saída da fonte (Canal 1).



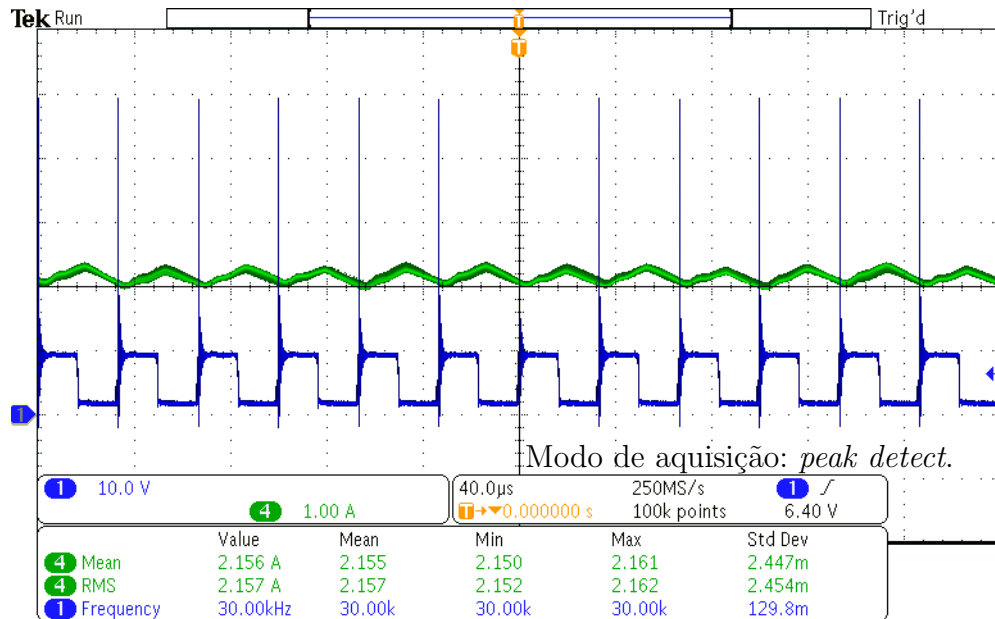
Fonte: Elaborada pelo autor.

Já na Figura 103 tem-se o mesmo experimento, porém com uma frequência de comutação igual a 30 kHz e razão cíclica de 50 %, sendo observada uma redução das componentes harmônicas de corrente (em que o valor RMS está muito próximo do valor médio). Parte desse resultado se deve ao filtro constituído pela indutância da conexão de entrada e seus capacitores. Sendo assim, trabalhar com elevadas frequências de comutação da chave moduladora, é uma maneira de reduzir o conteúdo harmônico da corrente de entrada, às custas de um aumento das perdas de comutação.

6.7 Conclusão

A razão cíclica limitante pode ser de fato um problema nas condições adequadas. Empregar o diodo *offset* é uma solução funcional para resolver essa questão, mas suas perdas expressivas com elevadas correntes podem torná-lo uma alternativa inviável, tanto pela eficiência, quanto pelos requisitos de dissipação de calor. Permitir que a razão cíclica

Figura 103 – Corrente de entrada da fonte (Canal 4). $I_O = 5$ A. Chave moduladora comutando a 30 kHz. Tensão nos terminais de saída da fonte (Canal 1).



Fonte: Elaborada pelo autor.

do microcontrolador utilizado excursiona até zero aparenta ser uma solução muito mais promissora, preservando a eficiência e sem a necessidade de nenhum componente extra no protótipo, contudo, talvez isso nem sempre seja possível de ser realizado, sendo neste trabalho violada uma recomendação do *datasheet* (e que não houve problema aparente). Capacitâncias na saída da fonte, juntamente com baixos tempo de comutação da chave moduladora e a indutância da carga, provocam ressonâncias que culminam em sobrecorrente no laser no instante da comutação. Deve-se buscar a menor capacitância e indutância possível, juntamente com um *rise-time* não tão curto, para evitar essa condição. O controle apresentou uma performance muito satisfatória, sendo apresentado como uma diferença de alguns poucos graus de margem de fase pode afetar significativamente a resposta, e com ele foi possível operar a chave moduladora na sua frequência máxima mantendo uma boa qualidade da corrente do laser. As respostas da carga confeccionada possuem muita semelhança com as obtidas com o diodo laser (sendo uma boa alternativa para realizar testes da fonte). Por último, operar com elevadas frequência de comutação da chave moduladora, proporciona uma redução do conteúdo harmônico da corrente de entrada.

7 Conclusão

A fonte desenvolvida é capaz de acionar adequadamente um diodo laser, contudo, há várias considerações que devem ser observadas para que isso seja possível. Uma das principais preocupações é evitar que sobrecorrentes sejam entregues à carga, mesmo que momentaneamente, uma vez que suas estruturas ópticas podem ser danificadas, talvez não inutilizando por completo o dispositivo, mas alterando o comprimento de onda gerado ou a qualidade focal do feixe, situações que podem ter um impacto na aplicação. Há três cenários que podem ocasionar essa sobrecorrente, os quais são devido: a possível ressonância gerada na saída; a incapacidade de manter adequadamente a energia dos indutores enquanto a chave moduladora está fechada, no caso, o transistor em paralelo com a carga; e em função do regime de operação impróprio dessa chave.

Quando a chave moduladora é aberta, ou seja, comuta-se a corrente para à carga, uma ressonância pode ser desencadeada e assim provocar uma sobrecorrente momentânea no diodo laser. Quando o transitório da corrente é muito abrupto, em função de um *gate resistor* muito pequeno dessa chave, inicialmente um sobretensão é formada nos terminais de saída da fonte devido a indutância da carga e da conexão (a qual é limitada na tensão de entrada através de um diodo). Mas como há capacitâncias parasitas na saída da fonte, como da chave moduladora ou do diodo em anti-paralelo com o carga, tem-se uma malha em que esses elementos reativos trocam energia (e a sobrecorrente acontece quando essa capacitância é descarregada). Por isso, deve-se buscar uma transição mais lenta possível de acordo com a aplicação, assim como tentar reduzir ao máximo a capacitância parasita da saída e a indutância total da carga.

Quando a chave moduladora é fechada, ou seja, comuta-se a corrente da carga para a chave, naturalmente ocorre uma sobrecorrente interna na fonte que não representa riscos. Mas caso seja imediatamente aberta novamente, não há tempo hábil do controle restabelece-la, culminando em uma sobrecorrente na carga. A razão cíclica da chave moduladora deve sofrer limitações em seu patamar inferior, não permitir que ela seja menor do que determinado valor, na medida que a sua frequência de comutação aumenta. Além do mais, quanto menor a magnitude da corrente processada, mais lenta é a recuperação do sobressinal, e mais restrita deve ser a faixa de operação da chave moduladora. Outro ponto é que essa condição pode acionar indevidamente alguma proteção caso esteja ajustada muito próxima da corrente de saída desejada. Contudo, isso não foi testado experimentalmente, atendo-se apenas ao equacionamento e resultados de simulação.

A outra questão acontece enquanto a chave moduladora está fechada e não há como

adequadamente equilibrar a energia dos indutores das fases. Basicamente, nesse estado a saída está de certa forma curto-circuitada, tendo uma tensão muito baixa com relação à entrada, forçando a razão cíclica do conversor excursionar próximo a zero. Principalmente quando se está com uma significativa frequência de comutação do conversor, o tempo de acionamento dos transistores superiores deve ser muito pequeno, de tal forma a não ser realizável (inclusive pelas restrições de atuação de seu *gate driver*). Caso fiquem acionados além do que é devido, em função de uma saturação maior do que zero da razão cíclica, a corrente dos indutores cresce substancialmente até o equilíbrio interno ser estabelecido, então abrir a chave moduladora nessa condição ocasiona uma sobrecorrente no laser. Uma solução testada é com um diodo em série com a chave moduladora, o qual dissipa o excedente de energia, mas com forte impacto na eficiência e na necessidade de dissipação de calor. Outra alternativa mais promissora, é permitir que a razão cíclica atinja zero, causando um acionamento dos transistores em uma base de tempo além do período de comutação, porém talvez isso nem sempre seja possível (depende dos circuitos integrados utilizados).

Nas outras vertentes, propõe-se um aprimoramento na função de transferência da planta, obtida através da modelagem por valores médios, para contemplar a redução do atraso de transporte provocada pelo *interleaving*. O termo adicional é relativamente simples e condiciona um avanço de fase a partir de determinada frequência, mas que muito adiante dela acaba gerando um resultado incoerente na curva de fase da planta, mesmo assim, em um quinto da frequência de comutação o resultado foi muito bom, permitindo projetar analiticamente o compensador com uma margem de fase significativamente maior do que sem o aprimoramento (expondo melhor as capacidades dinâmicas da fonte).

Mesmo não utilizando da retificação síncrona, no caso, o braço de cada fase do protótipo é composto por um transistor e um diodo, é possível ainda fazer uso de um circuito de *bootstrap* para acionar os transistores superiores. Para tal, a chave moduladora deve ser fechada durante a inicialização da fonte, condicionando um caminho fechado para carregar os capacitores de *bootstrap*, e uma vez carregados, pode-se operar normalmente. As dinâmicas do controle são satisfatórias e constatou-se que uma diferença de alguns poucos graus de margem de fase pode resultar em uma resposta muito sub-amortecida. Devido a digitalização do controle, especificamente do PWM, a planta deixa ter uma natureza linear e cargas com diferentes tensões provocam respostas distintas. Por fim, quanto maior a frequência de comutação da chave moduladora, menor é o conteúdo harmônico da corrente de entrada da fonte.

Mais estudos ainda carecem ser realizados, como por exemplo: aprimorar o dimensio-

onamento e traçar curvas de eficiência para diferentes tensões de saída; tentar uma solução com retificação síncrona para reduzir as perdas; verificar no protótipo a real relevância da sobrecorrente interna ao fechar a chave moduladora; explorar os limites dinâmicos da fonte aumentando a frequência de cruzamento da planta através do controle; buscar identificar os efeitos da ondulação da corrente na qualidade do laser em diferentes aplicações; aumentar o tempo de comutação dos transistores das fases, no intuito de diminuir a geração de ruídos eletromagnéticos, e verificar os resultados na condição da razão cíclica limitante (uma ao permitir excursionar até zero e outra com o diodo *offset* em série com a chave); realizar testes de longa duração em potência nominal (sendo necessário elaborar, preparar ou um obter uma carga mais adequada).

Referências

- 1 PIAZZA, G. L. *Implementação de uma fonte para acionamento de raio laser*. 214 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade de Federal de Santa Catarina, Florianópolis, 2008.
- 2 ZUCKER, E. Pumping fibre with GaAs lasers. *Compound Semiconductor*, v. 20, n. 6, 2014.
- 3 PASCHOTTA, R. *Field guide to lasers*. [S.l.]: SPIE Press, 2008. ISBN 978-0-8194-6961-8.
- 4 TRESTMAN, G. A. *Powering Laser Diode Systems*. [S.l.]: SPIE Press, 2017. ISBN 978-1-5106-0845-0.
- 5 HOAG, D. et al. Heterojunction PIN diode switch. In: *IEEE MTT-S International Microwave Symposium Digest, 2003*. [S.l.: s.n.], 2003. v. 1, p. 255–258.
- 6 MICROSEMI-WATERTOWN. *The PIN diode circuit designers' handbook*. [S.l.]. Disponível em: https://www.ieee.li/pdf/essay/pin_diode_handbook.pdf. Acesso em: 8 jan. 2022.
- 7 MESCHEDÉ, D. *Optics, light and lasers: The practical approach to modern aspects of photonics and laser physics*. [S.l.]: WILEY-VCH Verlag, 2003. ISBN 3-527-40364-7.
- 8 THYAGARAJAN, K.; GHATAK, A. *Lasers: Fundamentals and applications*. 2. ed. [S.l.]: Springer, 2010. ISBN 978-1-4419-6441-0.
- 9 OHRING, M.; KASPRZAK, L. *Reliability and failure of electronic materials and devices*. 2. ed. [S.l.]: Academic Press, 2010. ISBN 978-0-12-088574-9.
- 10 MICROSEMI-WATERTOWN. *PIN diode fundamentals*. [S.l.]. (Micronote 701).
- 11 EICHLER, H. J.; EICHLER, J.; LUX, O. *Lasers: Basics, advances and applications*. 1. ed. [S.l.]: Springer International Publishing, 2018. ISBN 978-3-319-99893-0.
- 12 IKEDA, K. et al. Design parameters of frequency response of GaAs—(Ga,Al)As double heterostructure LED's for optical communications. *IEEE Transactions on Electron Devices*, v. 24, n. 7, p. 1001–1005, 1977.
- 13 PASCHOTTA, R. *Quasi-Continuous-wave operation*. RP Photonics Encyclopedia. Disponível em: <https://www.rp-photonics.com/quasi-continuous-wave-operation.html>. Acesso em: 15 jan. 2022.
- 14 PASCHOTTA, R. *Continuous-Wave operation*. RP Photonics Encyclopedia. Disponível em: <https://www.rp-photonics.com/continuous-wave-operation.html>. Acesso em: 15 jan. 2022.
- 15 LASER DIODE SOURCE. Marketplace for Scientists & Engineers. Disponível em: <https://www.laserdiodesource.com/shop/1064nm-laser-diode-500mW-butterfly-3SPGroup>. Acesso em: 2 fev. 2022.

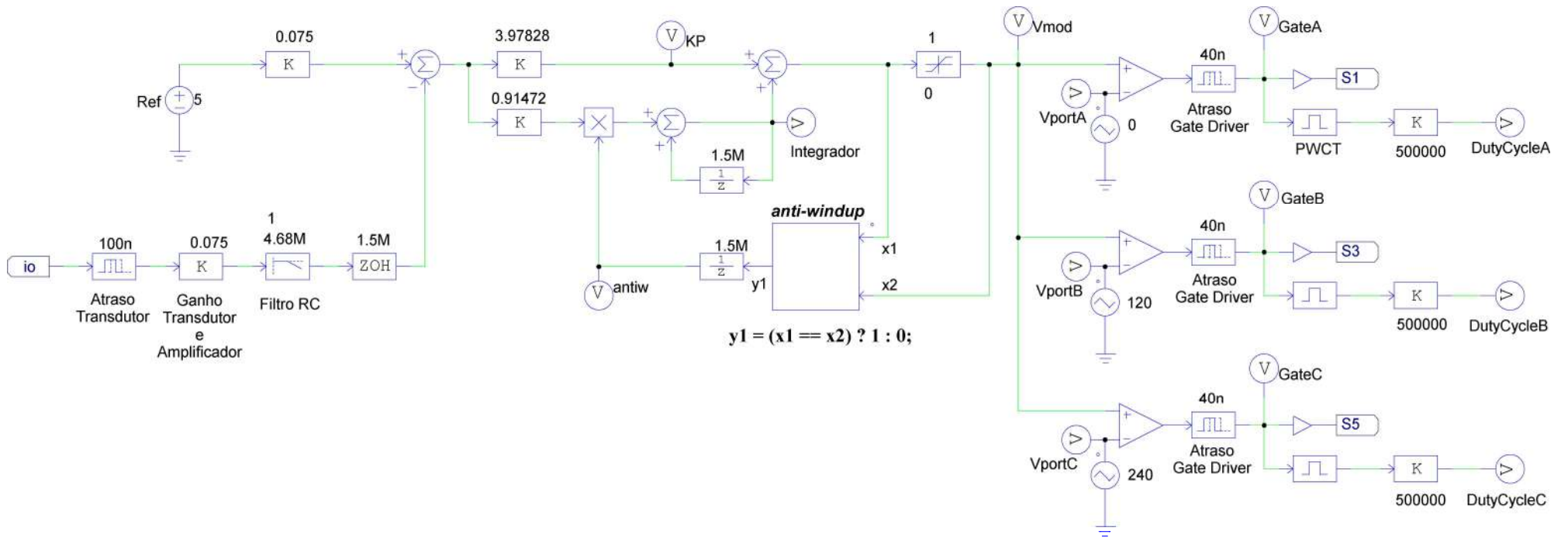
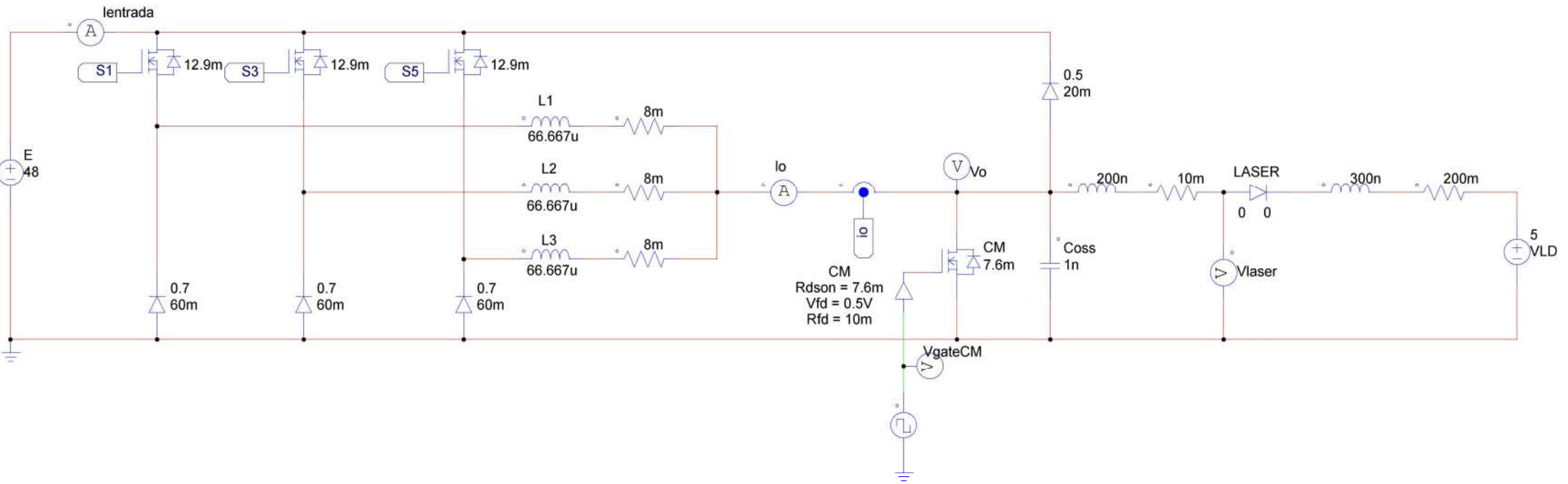
- 16 LASER DIODE SOURCE. Marketplace for Scientists & Engineers. Disponível em: <https://www.laserdiodesource.com/shop/915nm-200W-fiber-coupled-laser-module-ST2-Lumentum>. Acesso em: 2 fev. 2022.
- 17 AERODIODE. *Tutorial: fiber laser basics*. [S.l.]. Disponível em: <https://www.aerodiode.com/fiber-laser-basics/>. Acesso em: 16 jan. 2022.
- 18 MODEL: RLS/K976FA9RN-200. Laser diode module. Disponível em: <https://www.laserdiodesource.com/shop/976nm-200W-High-Power-Fiber-Coupled-Module>. Acesso em: 15 jan. 2022.
- 19 LASER DIODE CONTROL. Marketplace for Scientists & Engineers. Disponível em: <https://www.laserdiodecontrol.com/laser-diode-drivers-current-sources>. Acesso em: 2 fev. 2022.
- 20 LASER DIODE SOURCE. Marketplace for Scientists & Engineers. Disponível em: <https://www.laserdiodesource.com/laser-diodes-filtered-by-wavelength/915nm-laser-diodes>. Acesso em: 2 fev. 2022.
- 21 CHKALOV, R.; KOCHUEV, D.; VASILCHENKOVA, D. Precision medium-power laser diode drivers: Design principles and functional features. In: *2019 International Russian Automation Conference (RusAutoCon)*. [S.l.: s.n.], 2019. p. 1–5.
- 22 ABE, S.; OKA, Y.; UENO, T. Current spike reduction technique for high power laser diode driver with pulse current output. In: *2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS)*. [S.l.: s.n.], 2017. p. 1,147–1,151.
- 23 ZHAO, Q. et al. Pulse power supply for high-power semiconductor laser diode arrays with micro-current pre-start control. *IEEE Access*, v. 6, p. 76682–76688, 2018.
- 24 CHEN, F.-Z. et al. High efficiency synchronous pulse laser driver system. In: *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia)*. [S.l.: s.n.], 2017. p. 1878–1881.
- 25 CHUANJIE, D.; HONG, H. Analysis and design of high-current constant-current driver for laser diode bar. In: *2011 International Conference on Electronics, Communications and Control (ICECC)*. [S.l.: s.n.], 2011. p. 1321–1324.
- 26 SHARMA, A.; PANWAR, C.; ARYA, R. High power pulsed current laser diode driver. In: *2016 International Conference on Electrical Power and Energy Systems (ICEPES)*. [S.l.: s.n.], 2016. p. 120–126.
- 27 ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of power electronics*. 2. ed. [S.l.]: Springer US, 2001.
- 28 NICOLLI, N. B. *Carregador rápido de bateria para bateria de íon-lítio para aplicações automotivas*. 245 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade de Federal de Santa Catarina, Florianópolis, 2019.
- 29 TEXAS INSTRUMENTS. *Analog Applications Journal: how to select input capacitors for a buck converter*. [S.l.], 2016.

- 30 TEXAS INSTRUMENTS. *Application Report: Input and output capacitor selection*. [S.l.], 2006.
- 31 IRWIN, J. D. *Análise de circuitos em engenharia*. São Paulo: Pearson Makron Books, 2000.
- 32 MARTINS, D. C.; BARBI, I. *Eletrônica de potência: conversores CC-CC básicos não isolados*. 4. ed. Florianópolis: Ed. dos Autores, 2000.
- 33 CASTRUCCI, P.; BITTAR, A.; SALES, R. M. *Controle automático*. [S.l.: s.n.].
- 34 OGATA, K. *Modern Control Engineering*. 5. ed. [S.l.]: Pearson, 2009.
- 35 CORRADINI, L. et al. *Digital control of high-frequency switched-mode power converters*. Hoboken, NJ: Wiley-Blackwell, 2015. (IEEE Press Series on Power Engineering).
- 36 ZHANG, Y. et al. Wide-bandwidth digital multi-phase controller. In: *2006 37th IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 2006. p. 1–7.
- 37 TEXAS INSTRUMENTS. *Real-Time control reference guide*. 2021. Disponível em: <https://www.ti.com/lit/eb/slyy211/slyy211.pdf?ts=1665408778496>. Acesso em: 3 jun. 2022.
- 38 BARBI, I. *Eletrônica de potência: projetos de fontes chaveadas*. 3. ed. Florianópolis: Ed. do Autor, 2014.
- 39 TEXAS INSTRUMENTS. *Application Report: Bootstrap circuitry selection for half-bridge configurations*. [S.l.], 2018.
- 40 TEXAS INSTRUMENTS. *Application Report: Minimizing switching ringing at TPS53355 and TPS3353 family devices*. [S.l.], 2017.
- 41 HURLEY, W. G.; WOLFLE, W. H. *Transformers and inductors for power electronics*. Nashville, TN: John Wiley & Sons, 2013.
- 42 VISHAY. *Selecting NTC thermistors: how to select an NTC thermistor*. [S.l.], 2017.
- 43 TEXAS INSTRUMENTS. *C2000 Digital Control Library: User's Guide version 3.4*. [S.l.], 2020.
- 44 MODEL: 915V240135. SOL Photonics. Disponível em: <https://www.fiberlasercomponents.com/>. Acesso em: 20 out. 2022.

APÊNDICE A – Simulação completa



Time step: 6.66667E-010



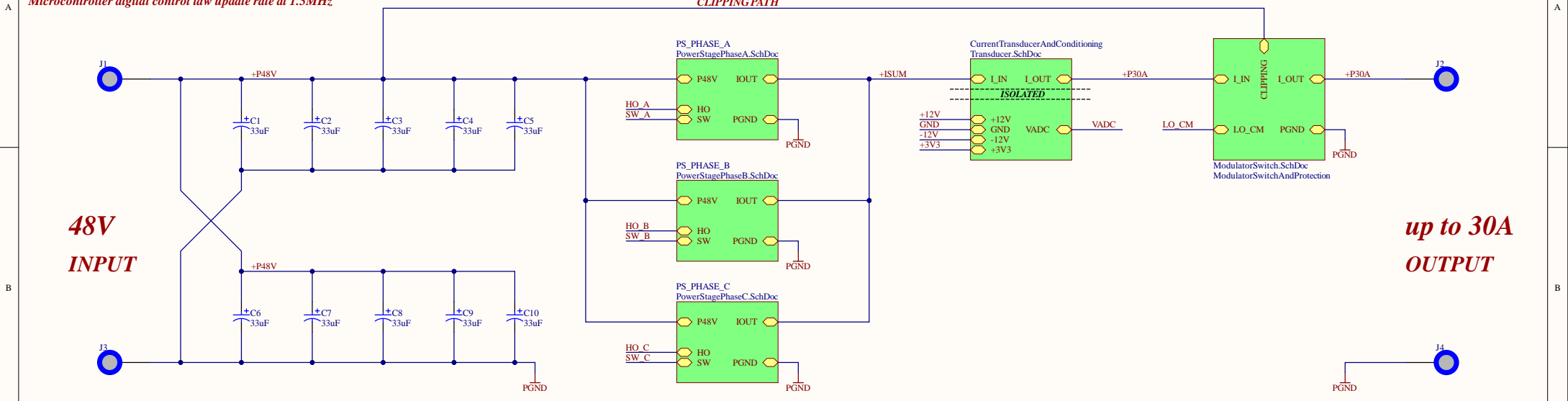
APÊNDICE B – Esquemático

BUCK INTERLEAVED 3-PHASE

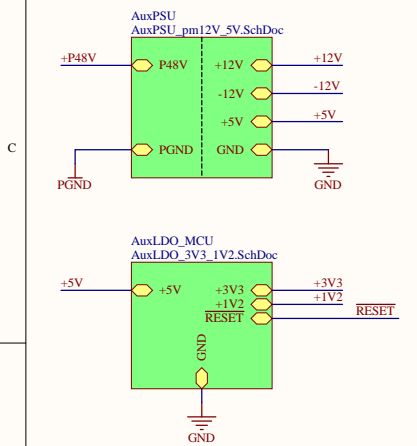
500kHz each phase
 Current source output
 Average output current control
 Microcontroller digital control law update rate at 1.5MHz

HIGH POWER LASER DIODE DRIVER

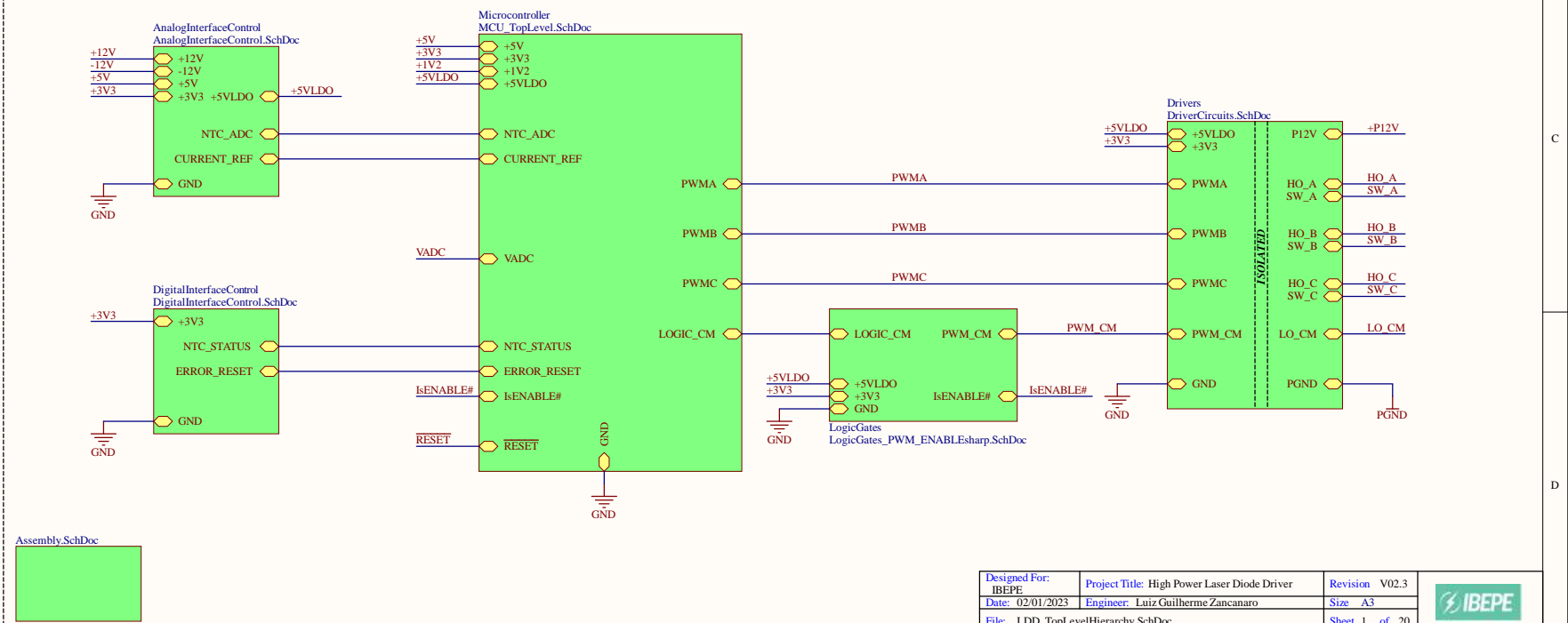
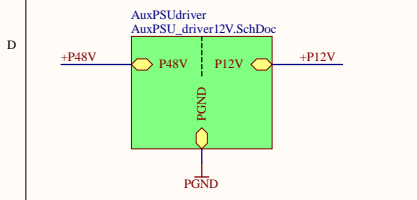
Continuous Wave (CW)
 Quasi-Continuous Wave (QCW)



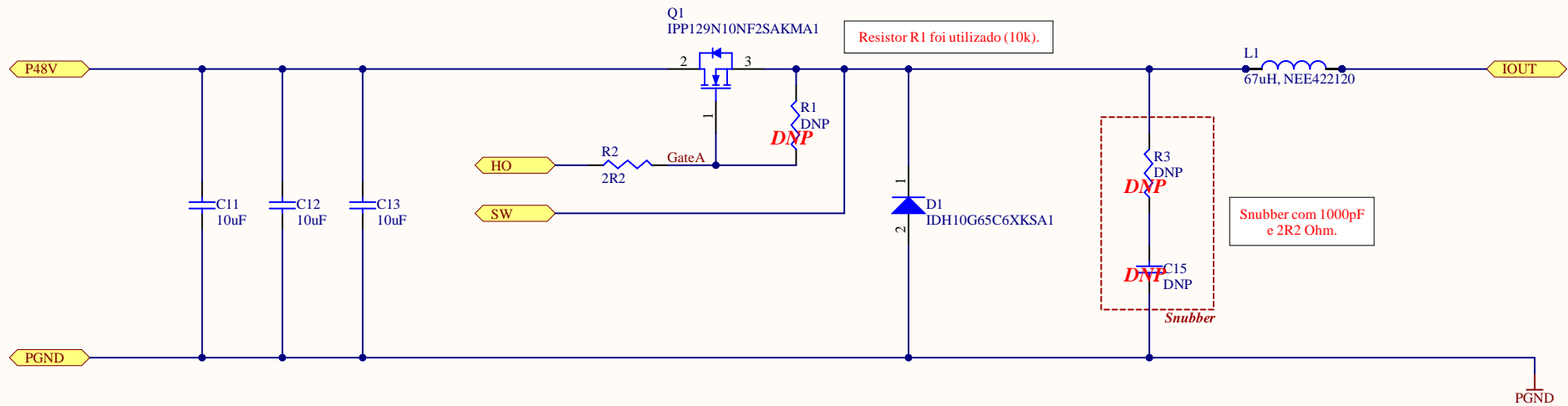
Control auxiliary power supply



Power stage auxiliary power supply



BUCK PHASE A (0°)

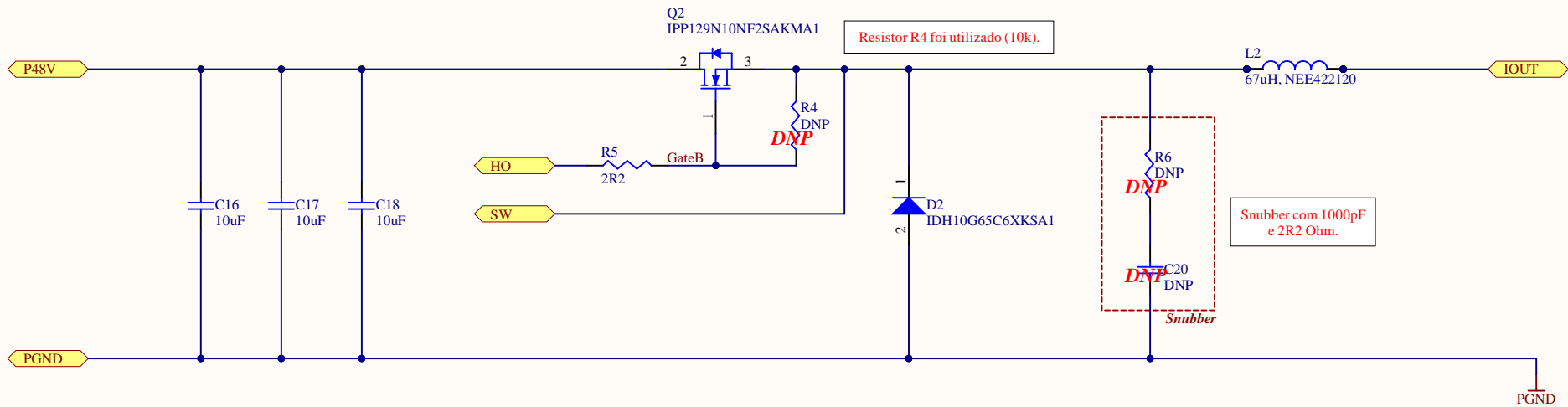


All the power transistors and diodes are attached to a single heatsink at the bottom.

There must be an electrical isolation between the components and the heatsink.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: PowerStagePhaseA.SchDoc		Sheet 2 of 20	

BUCK PHASE B (-120°)

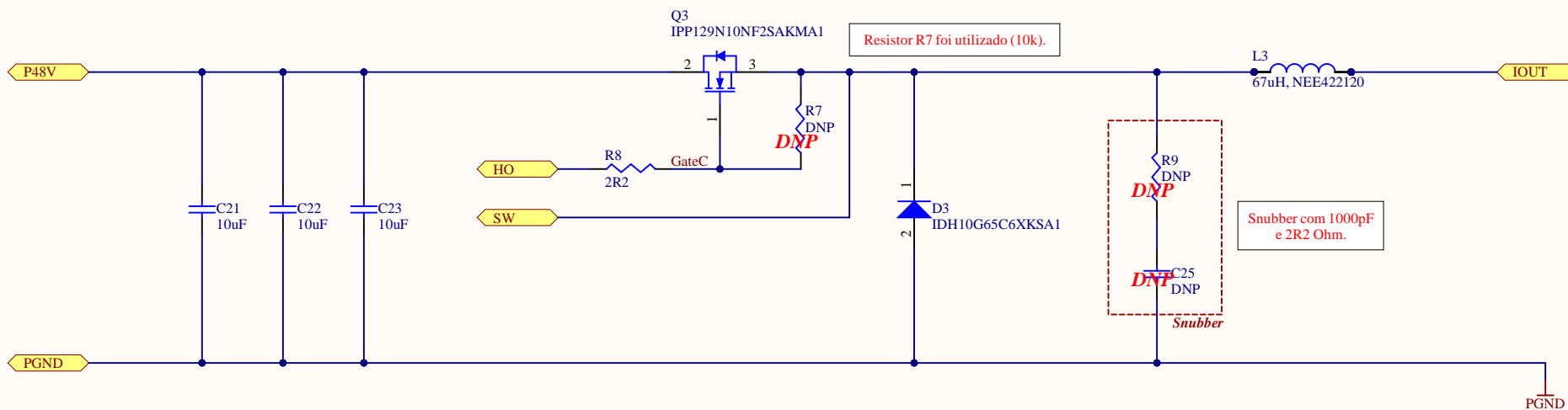


All the power transistors and diodes are attached to a single heatsink at the bottom.

There must be an electrical isolation between the components and the heatsink.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: PowerStagePhaseB.SchDoc		Sheet 3 of 20	

BUCK PHASE C (+120°)

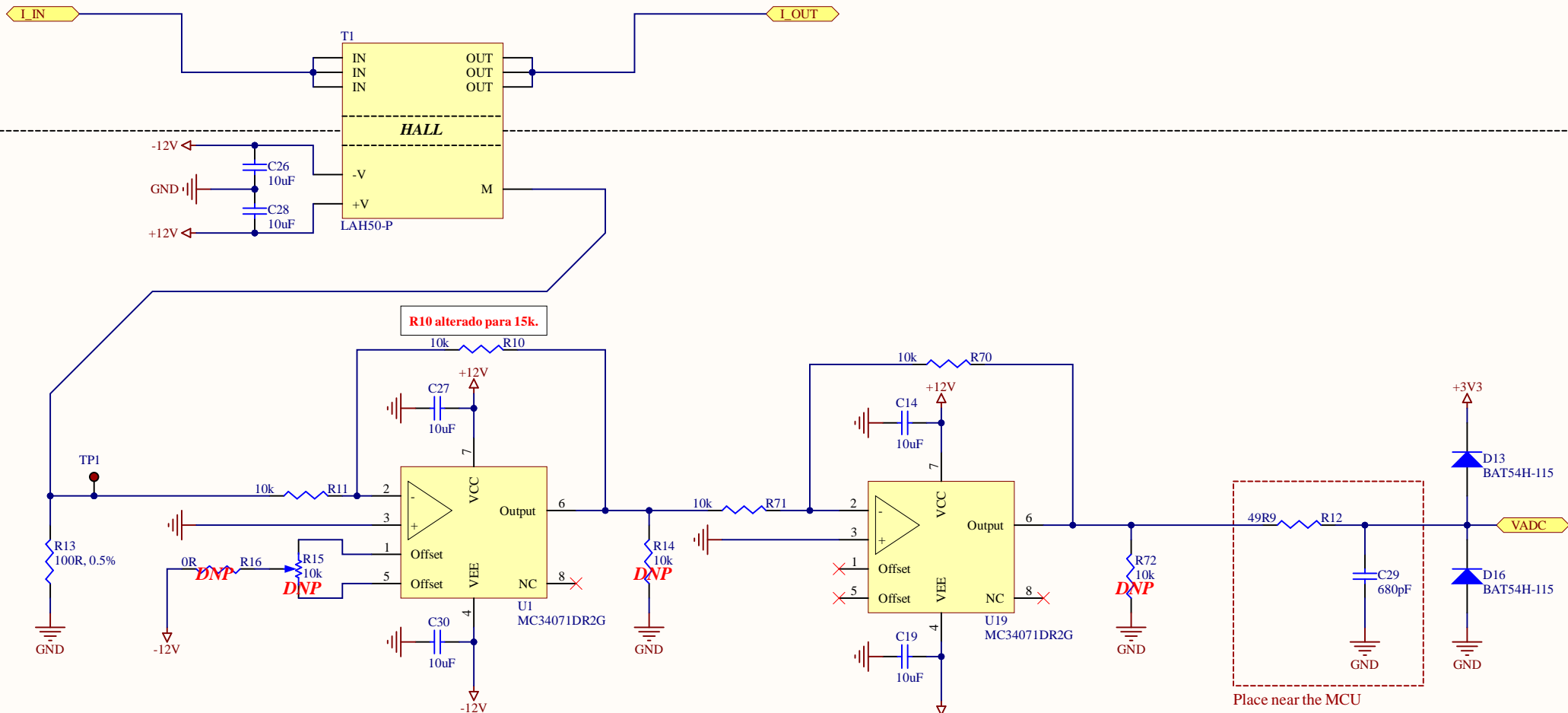


All the power transistors and diodes are attached to a single heatsink at the bottom.

There must be an electrical isolation between the components and the heatsink.

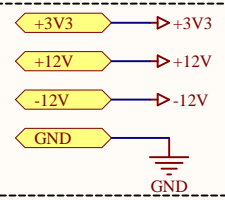
Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: PowerStagePhaseC.SchDoc		Sheet 4 of 20	

CURRENT TRANSDUCER and signal conditioning



R10 alterado para 15k.

Place near the MCU

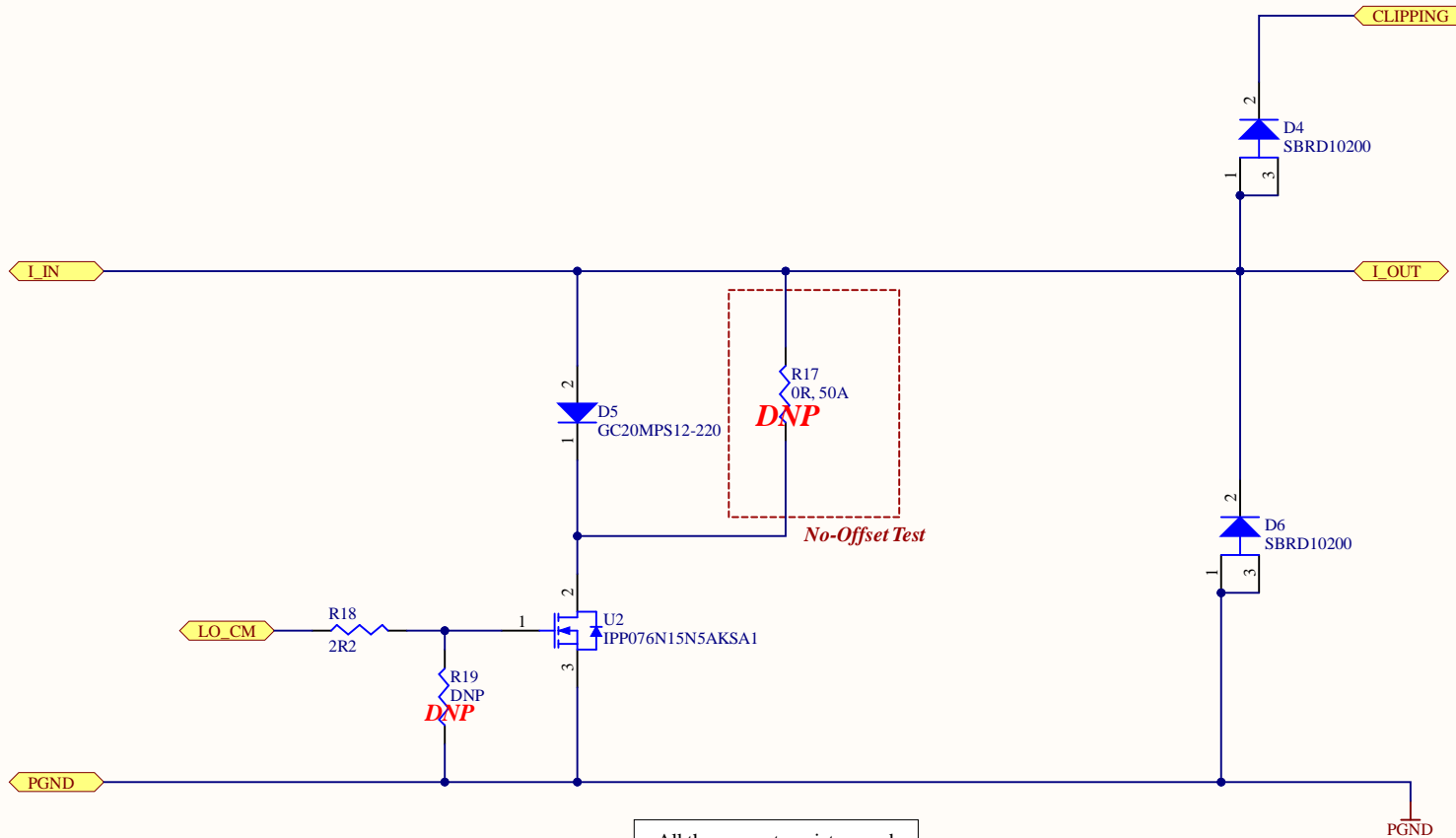


Test points should be placed only if necessary.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision: V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size: A4	
File: Transducer.SchDoc		Sheet 5 of 20	

MODULATOR SWITCH

and passive protection



All the power transistors and diodes are attached to a single heatsink at the bottom.

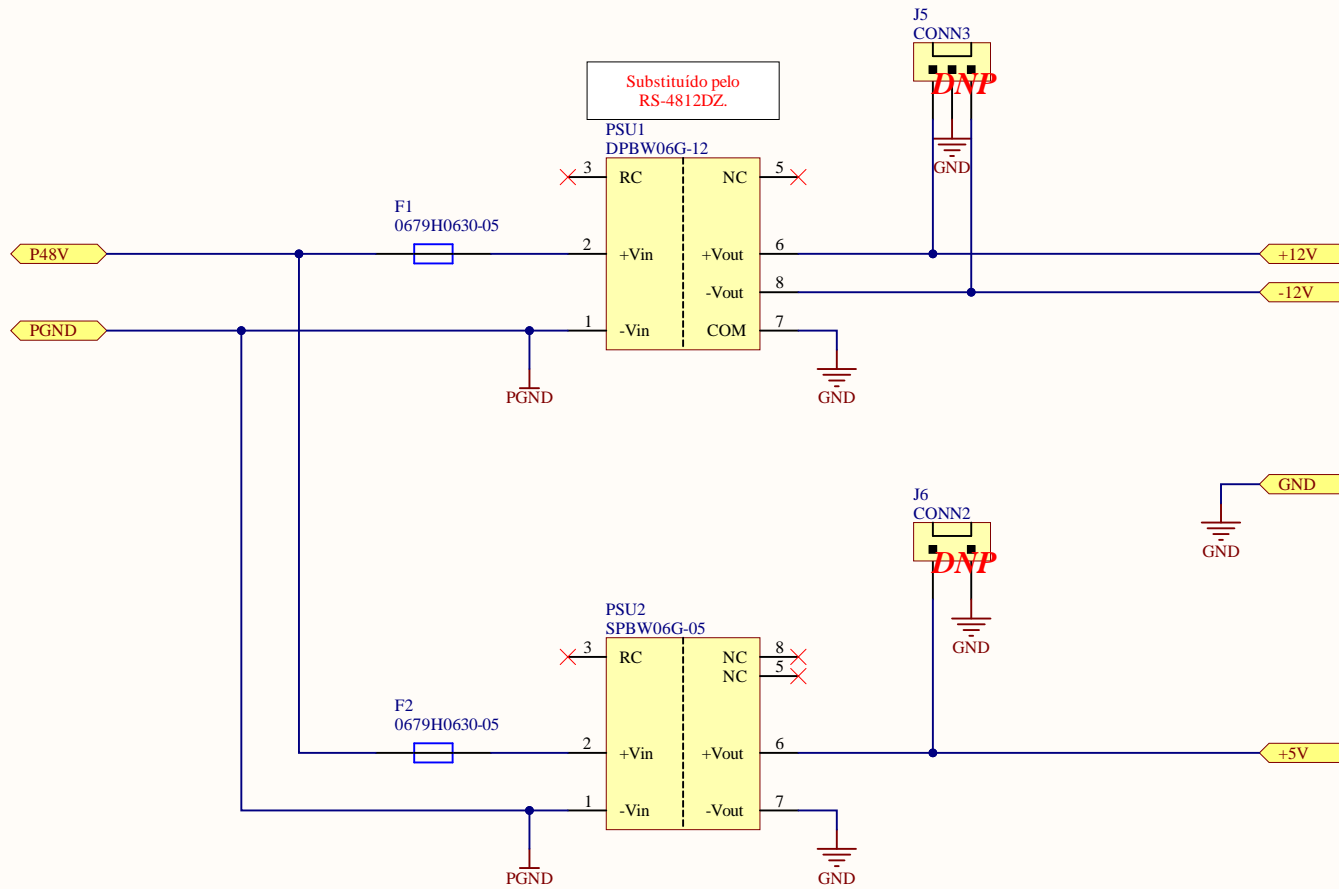
There must be an electrical isolation between the components and the heatsink.

Test points should be placed only if necessary.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: ModulatorSwitch.SchDoc		Sheet 6 of 20	

AUXILIAR POWER SUPPLY

5V and symmetrical 12V



Substituído pelo
RS-4812DZ.

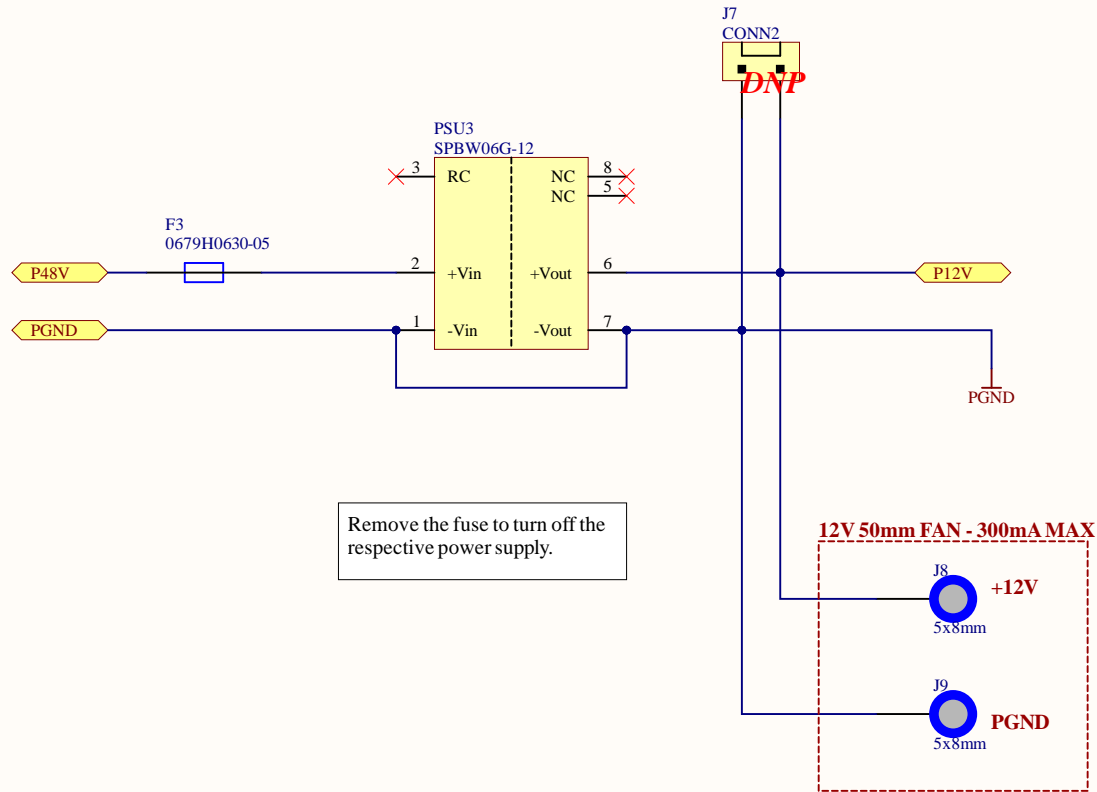
Both outputs are isolated from the power stage.

Remove the fuse to turn off the respective power supply.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: AuxPSU_pm12V_5V.SchDoc		Sheet 7 of 20	

AUXILIAR POWER SUPPLY

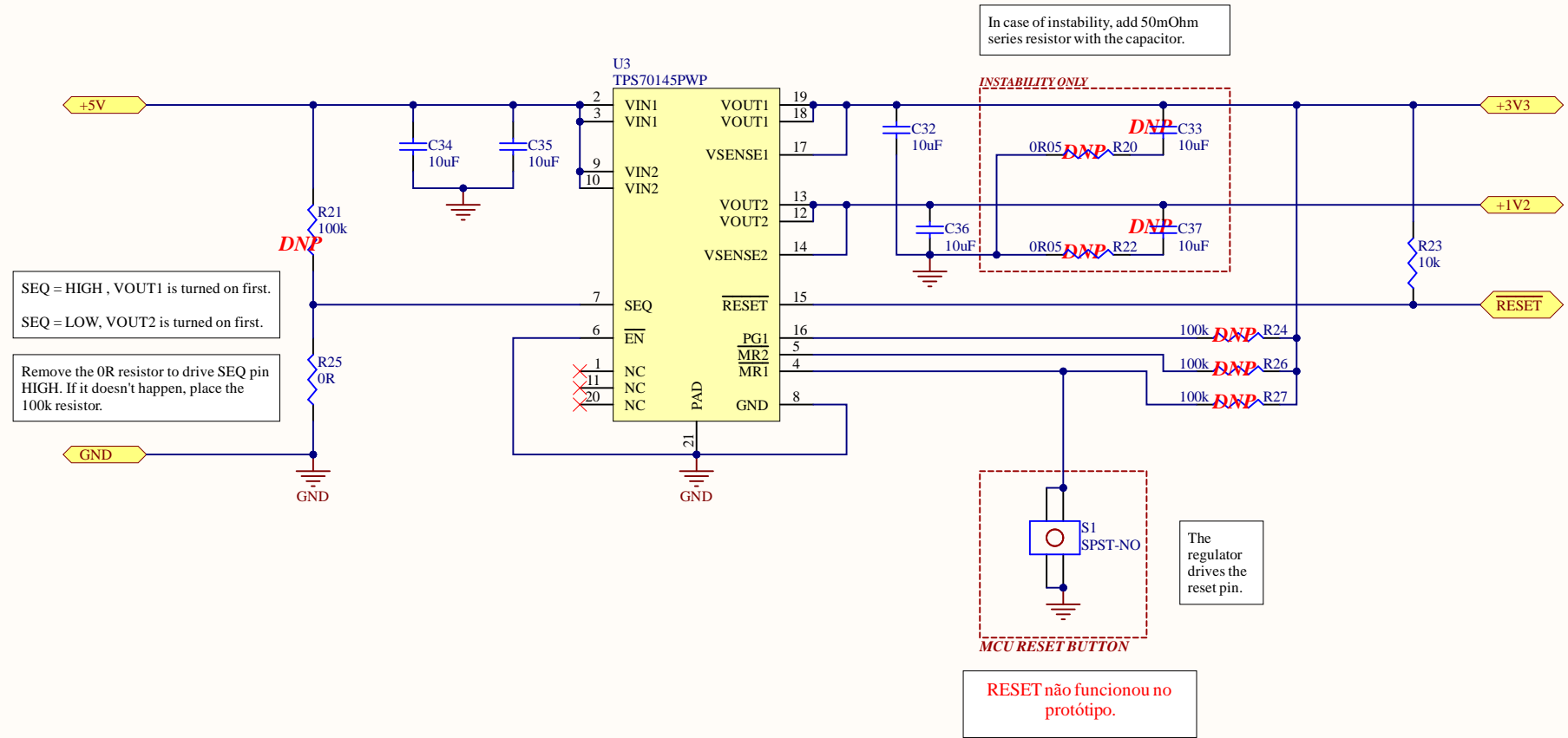
12V non-isolated



Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: AuxPSU_driver12V.SchDoc		Sheet 8 of 20	

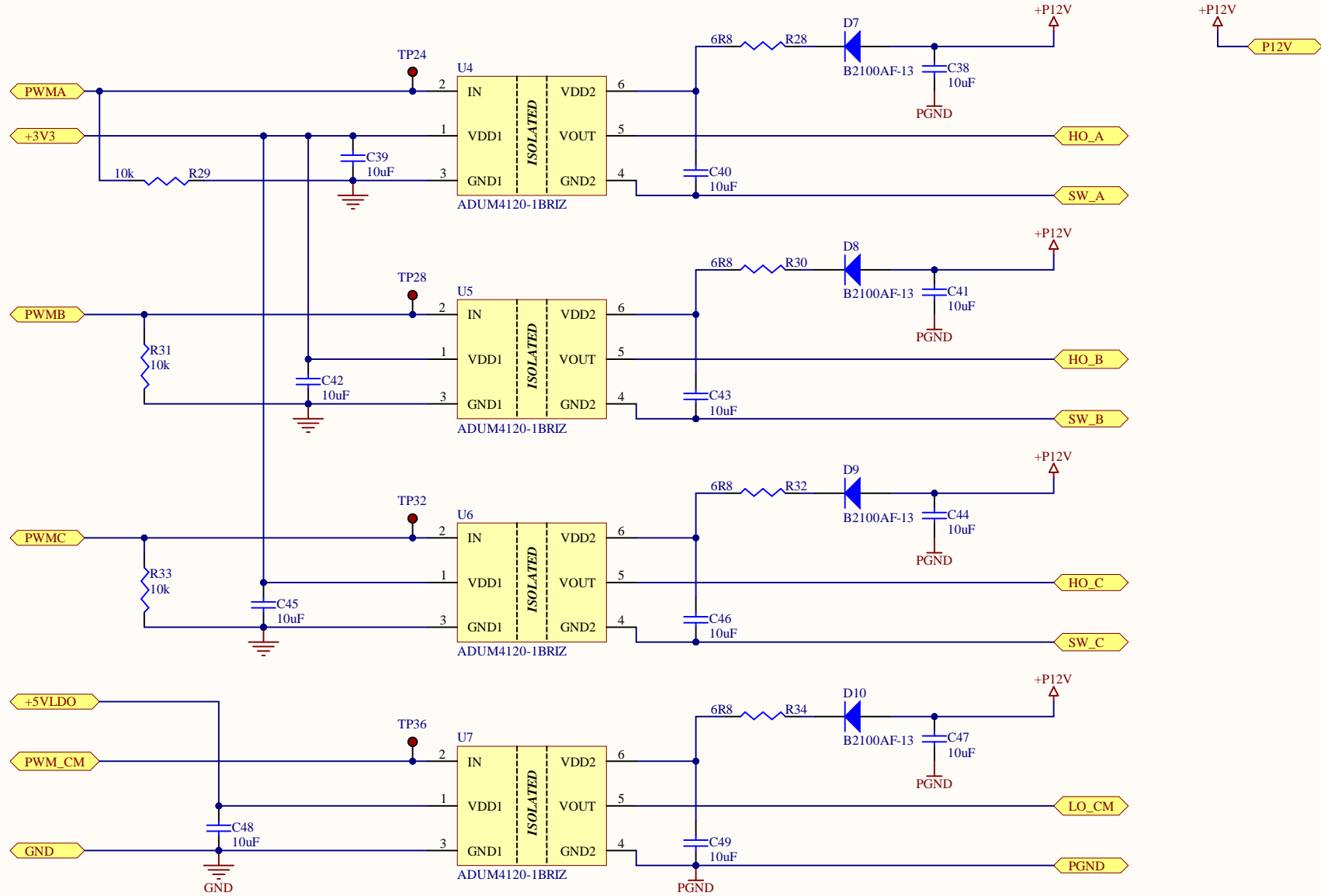
AUXILIAR POWER SUPPLY

+3.3V and +1.2V



Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: AuxLDO_3V3_1V2.SchDoc		Sheet 9 of 20	

ISOLATED GATE DRIVERS



The bootstrap diode's series resistor may be substituted by a zero ohm resistor (or another available resistance). Consider swapping this resistor with the gate resistor if needed.

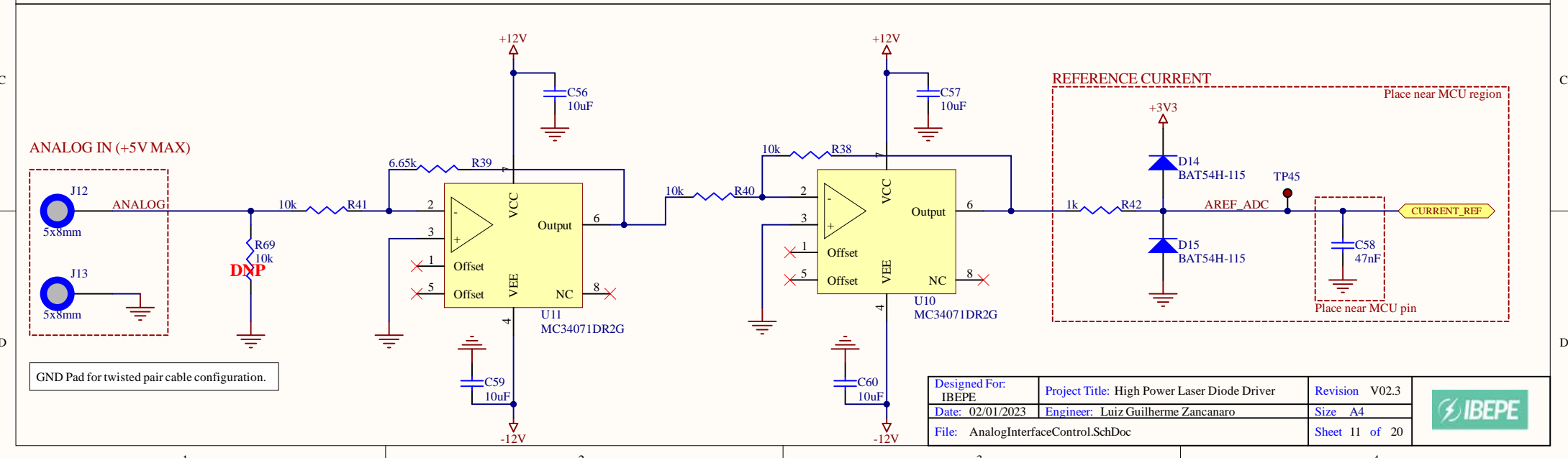
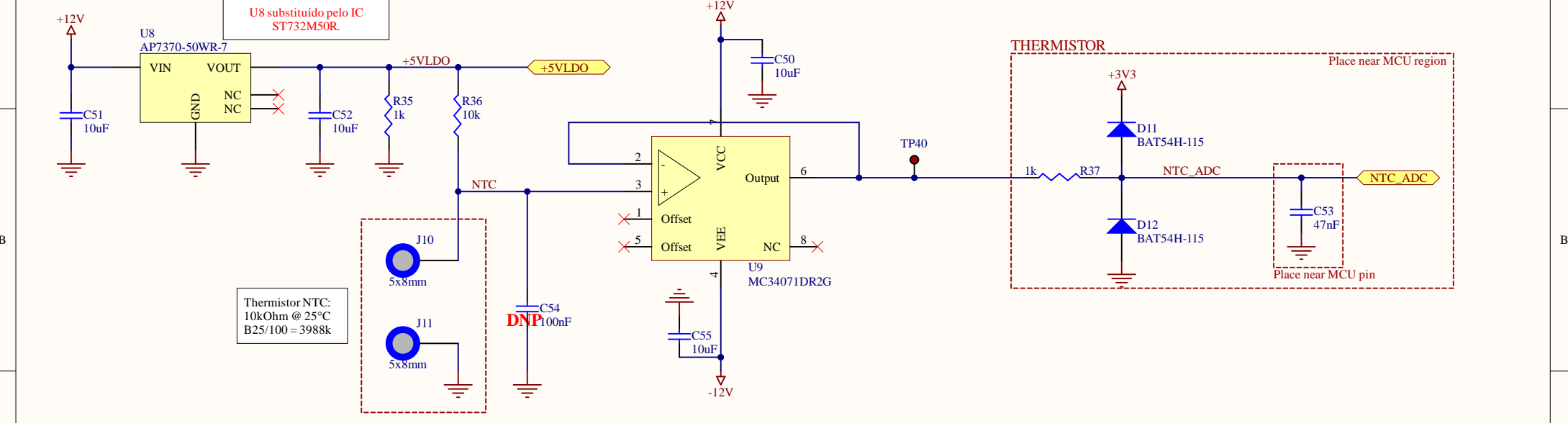
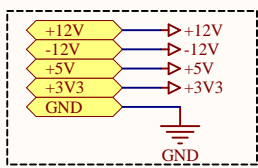
Test points should be placed only if necessary.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4
File: DriverCircuits.SchDoc		Sheet 10 of 20



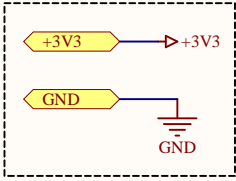
ANALOG INTERFACE

Test points should be placed only if necessary.



Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: AnalogInterfaceControl.SchDoc		Sheet 11 of 20	

DIGITAL INTERFACE

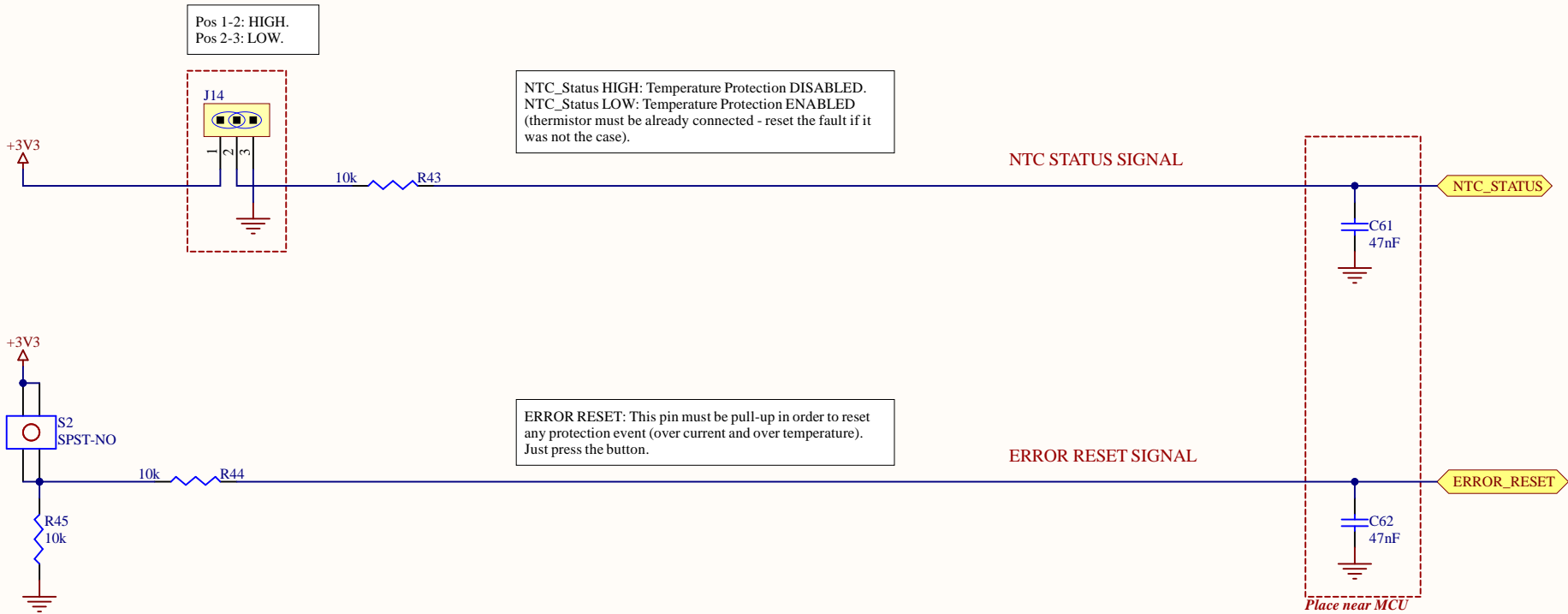


Pos 1-2: HIGH.
Pos 2-3: LOW.

NTC_Status HIGH: Temperature Protection DISABLED.
NTC_Status LOW: Temperature Protection ENABLED
(thermistor must be already connected - reset the fault if it was not the case).

ERROR RESET: This pin must be pull-up in order to reset any protection event (over current and over temperature). Just press the button.

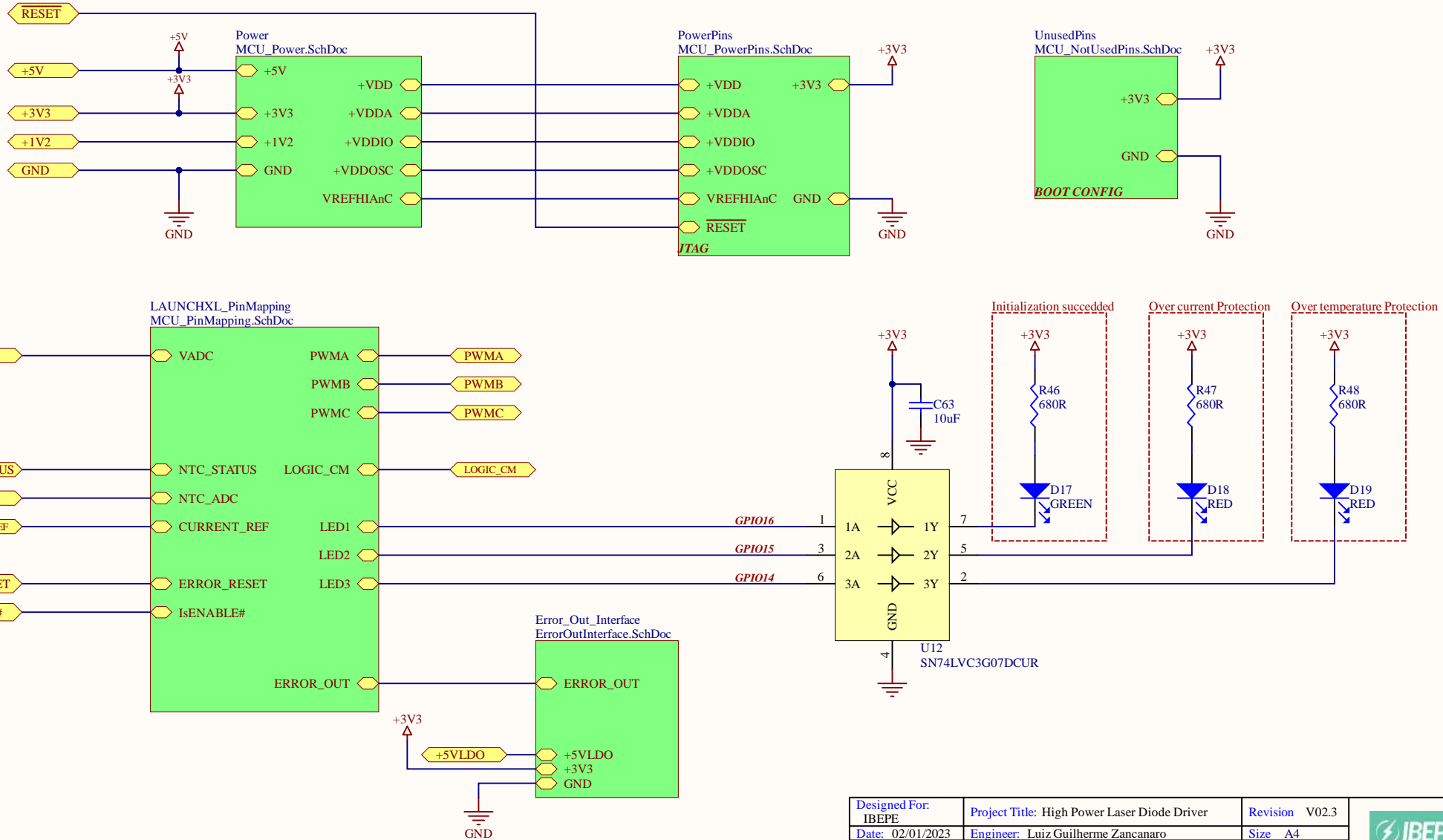
Place near MCU



Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: DigitalInterfaceControl.SchDoc		Sheet 12 of 20	

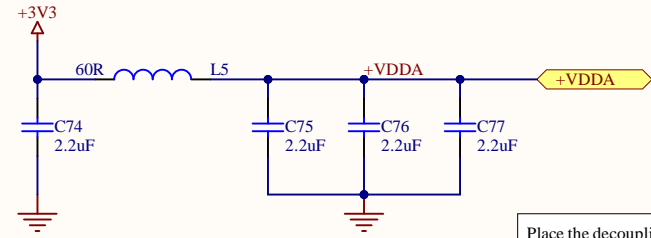
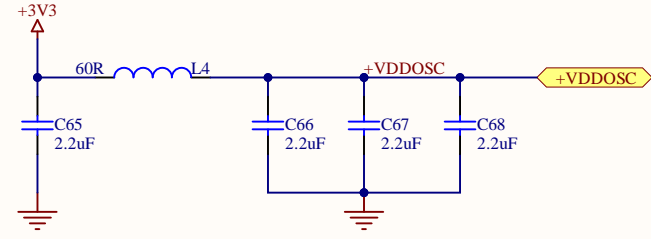
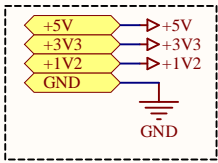
MICROCONTROLLER TOP LEVEL SHEET

TMS320F28379S (176 pins)

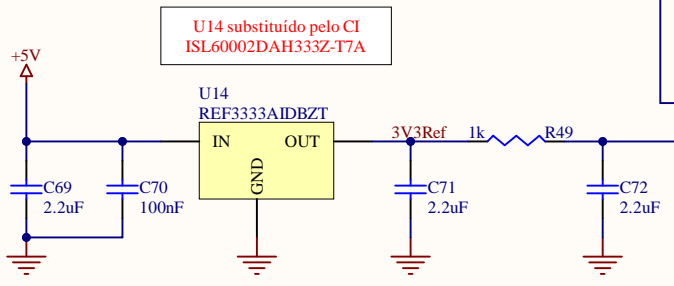
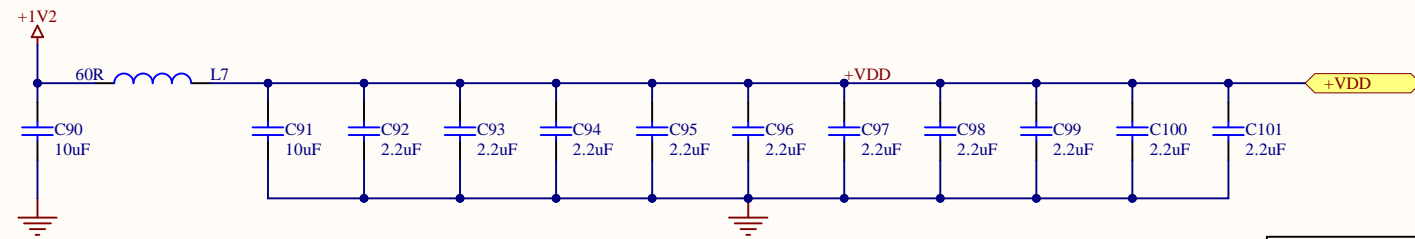
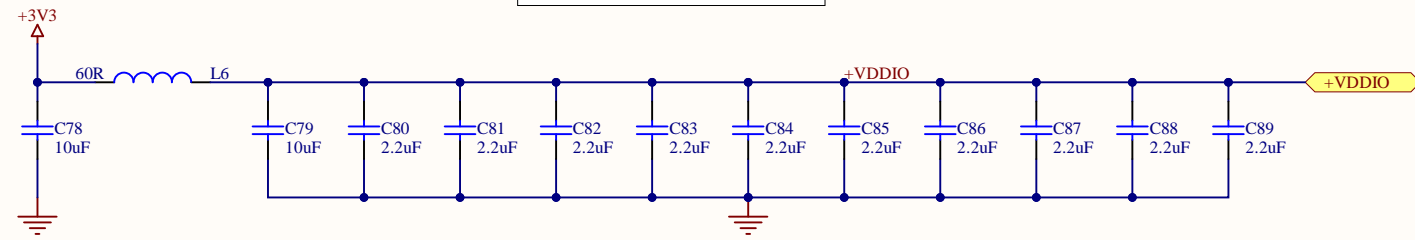


Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: MCU_TopLevel.SchDoc		Sheet 13 of 20	

MICROCONTROLLER DECOUPLED POWER

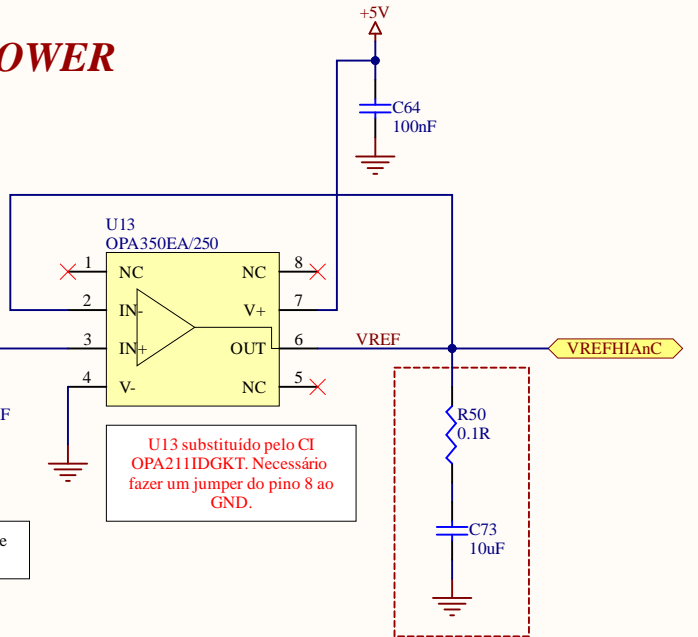


Place the decoupling capacitors as close as possible to the microcontroller pins.



U14 substituído pelo CI ISL60002DAH333Z-T7A

Both ICs should be placed very close to VREFHIA and VREFHIC pins.



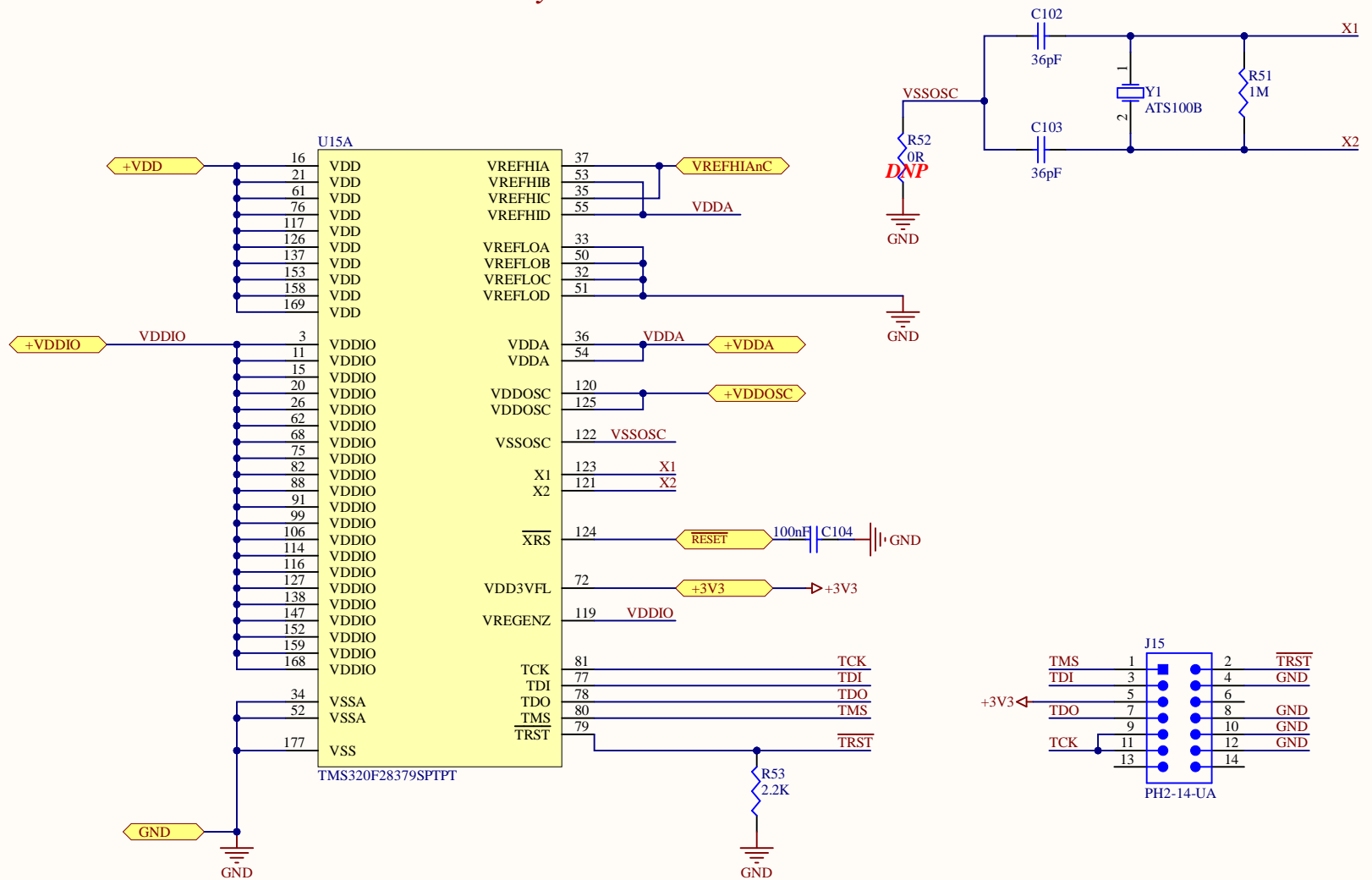
U13 substituído pelo CI OPA211IDGKT. Necessário fazer um jumper do pino 8 ao GND.

Place very close to VREFHIA and VREFHIC pins

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: MCU_Power.SchDoc		Sheet 14 of 20	

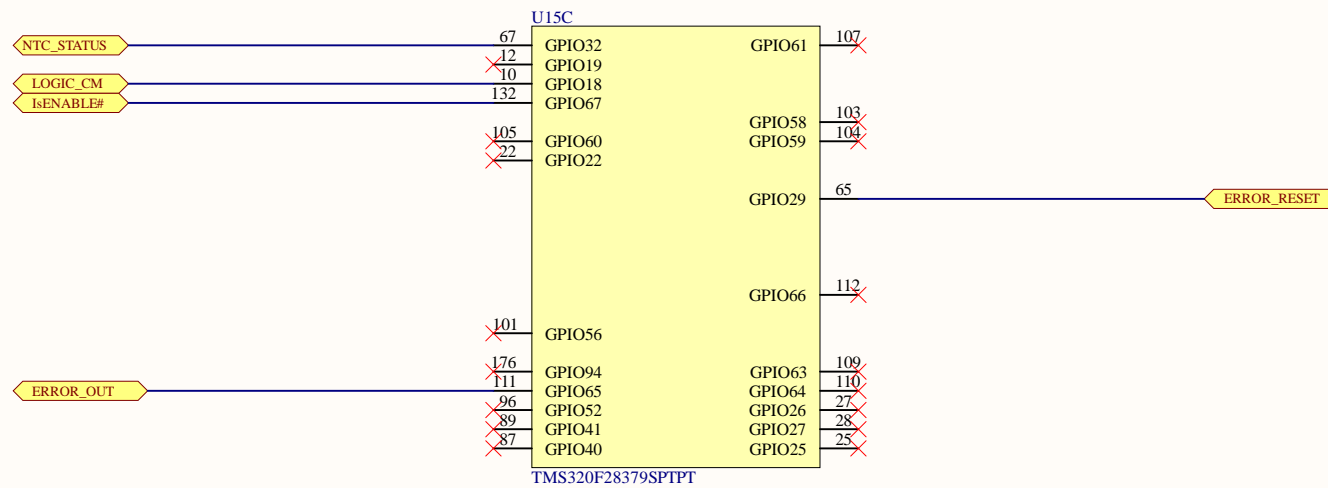
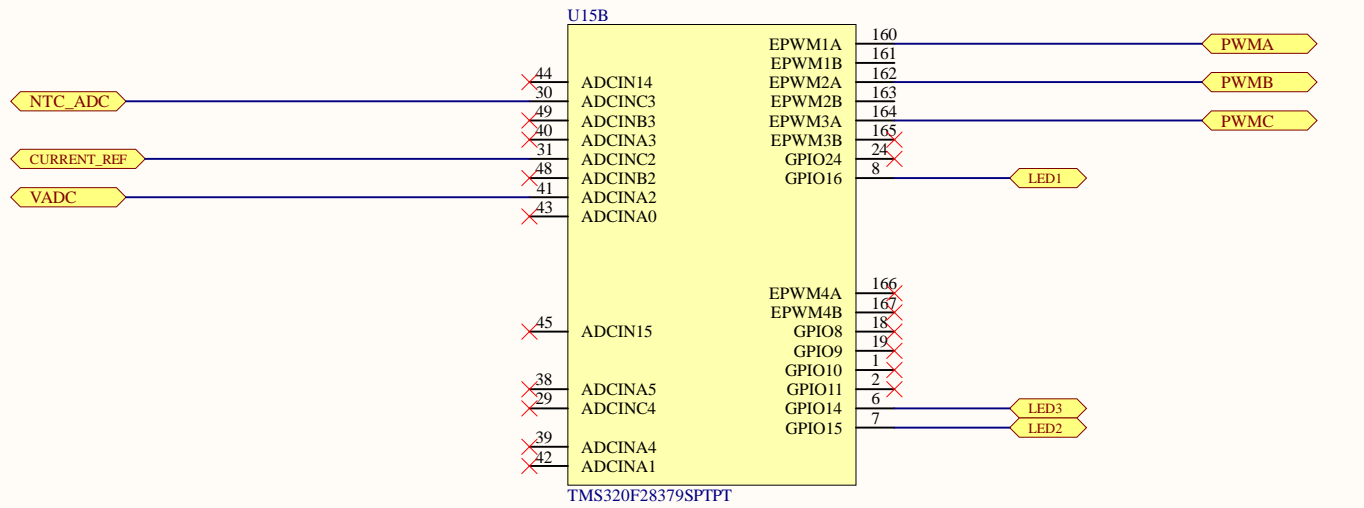
MICROCONTROLLER POWER PINS

JTAG and crystal



Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: MCU_PowerPins.SchDoc		Sheet 15 of 20	

MICROCONTROLLER LAUNCHXL INTERFACE AND PIN MAPPING



Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: MCU_PinMapping.SchDoc		Sheet 16 of 20	

MICROCONTROLLER NOT USED PINS

UISD		
4	GPIO12	GPIO68
5	GPIO13	GPIO69
9	GPIO17	GPIO70
13	GPIO20	GPIO71
14	GPIO21	GPIO72
17	GPIO99	GPIO73
23	GPIO23	GPIO74
46	ADCINB0	GPIO75
47	ADCINB1	GPIO76
56	ADCIND0	GPIO77
57	ADCIND1	GPIO8
58	ADCIND2	GPIO79
59	ADCIND3	GPIO80
60	ADCIND4	GPIO81
63	GPIO30	GPIO82
64	GPIO28	GPIO83
66	GPIO31	GPIO84
69	GPIO33	GPIO85
70	GPIO34	GPIO86
71	GPIO35	GPIO87
73	FTL1	GPIO88
74	FTL2	GPIO89
83	GPIO36	GPIO90
84	GPIO37	GPIO91
85	GPIO38	GPIO92
86	GPIO39	GPIO93
90	GPIO48	GPIO93
92	GPIO48	GPIO57
93	ERRORSTS	GPIO44
94	GPIO49	GPIO45
95	GPIO50	GPIO133
97	GPIO51	GPIO46
98	GPIO52	GPIO47
98	GPIO53	GPIO42
100	GPIO55	GPIO43

TMS320F28379SPTPT

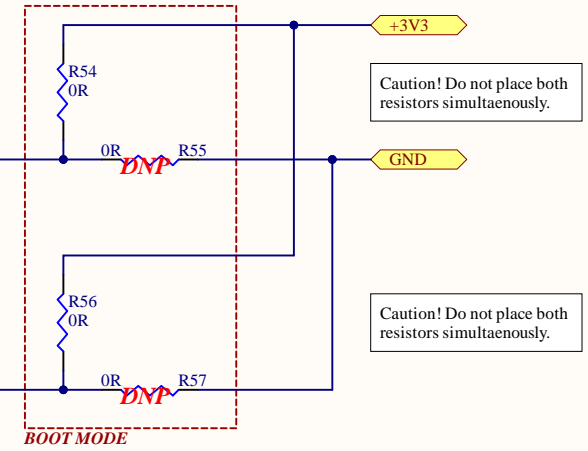


Table 8-13. Device Boot Mode

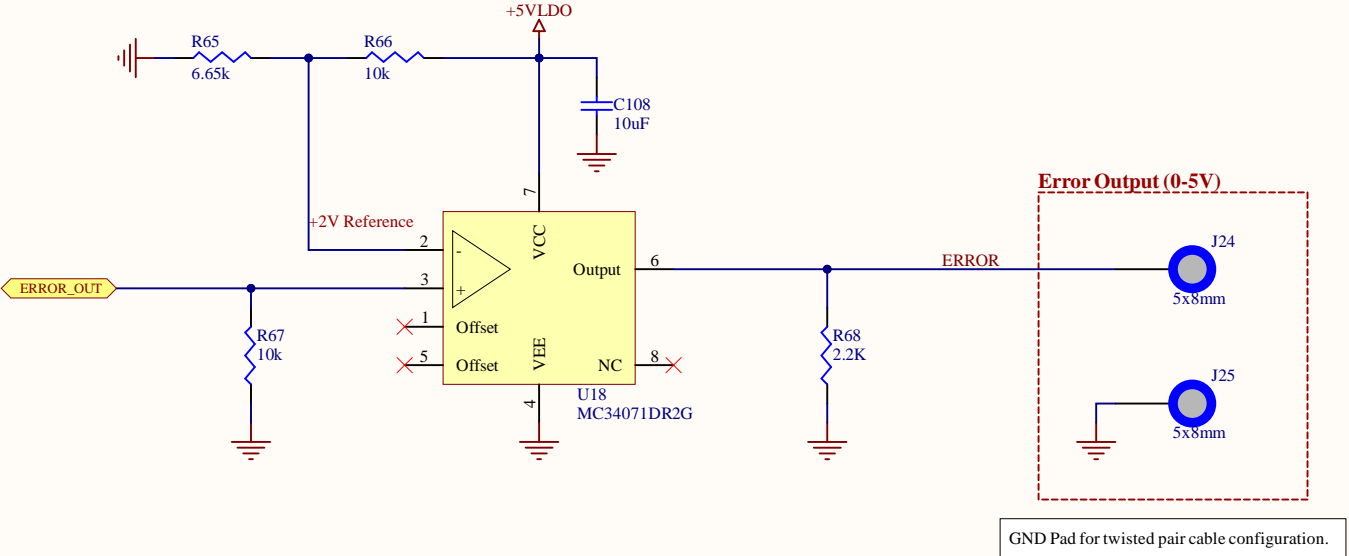
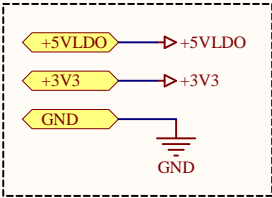
MODE NO.	CPU1 BOOT MODE	TRST	GPIO72 (BOOT MODE PIN 1)	GPIO84 (BOOT MODE PIN 0)
0	Parallel I/O	0	0	0
1	SCI Mode	0	0	1
2	Wait Boot Mode	0	1	0
3	Get Mode	0	1	1
4-7	EMU Boot Mode (JTAG debug probe connected)	1	X	X

Note

The default behavior of Get mode is boot-to-flash. On unprogrammed devices, using Get mode will result in repeated watchdog resets, which may prevent proper JTAG connection and device initialization. Use Wait mode or another boot mode for unprogrammed devices.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: MCU_NotUsedPins.SchDoc		Sheet 17 of 20	

ERROR SIGNAL BUFFERED

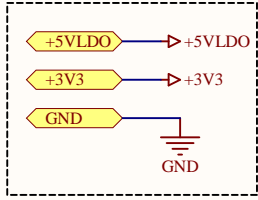


GND Pad for twisted pair cable configuration.

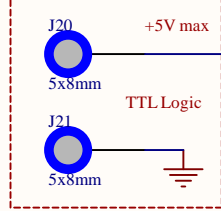
Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4
File: ErrorOutInterface.SchDoc		Sheet 18 of 20



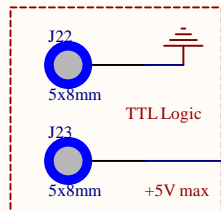
LOGIC GATES AND COMMAND INTERFACE



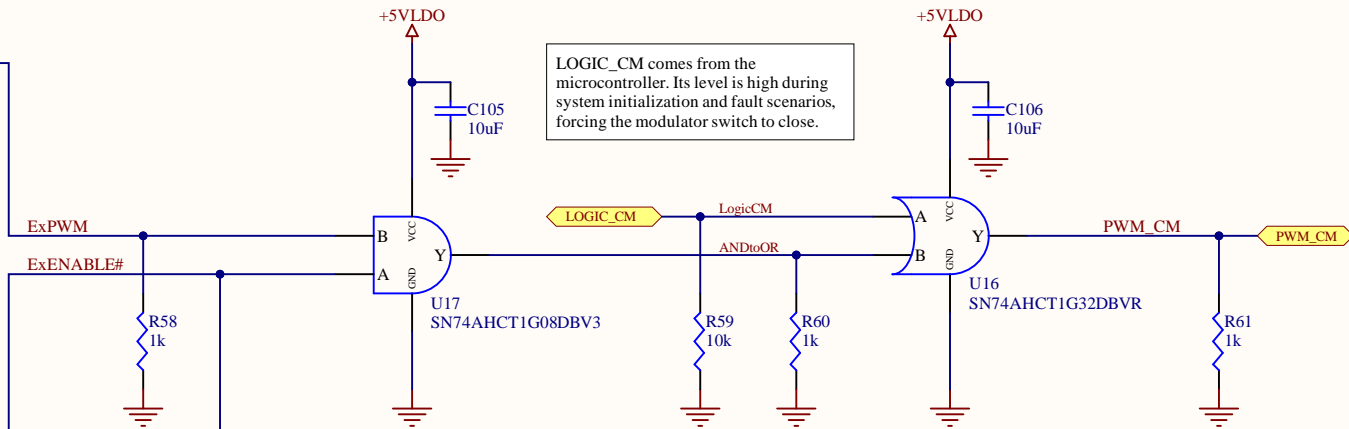
External PWM - 0 to 50kHz



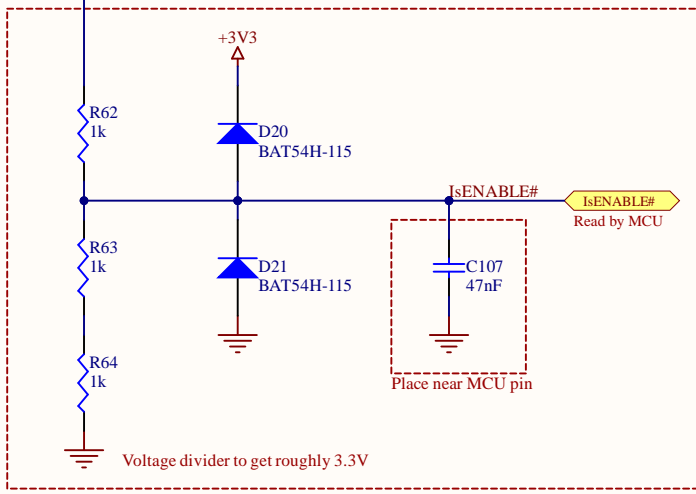
GND Pad for twisted pair cable configuration.



External ENABLE#



LOGIC_CM comes from the microcontroller. Its level is high during system initialization and fault scenarios, forcing the modulator switch to close.



There must be a high level signal from ENABLE# in order to completely initialize the system. If so, the microcontroller will set the new reference current and the modulator switch can operate as desired.

WARNING: The load **MUST** be connected before ENABLE# is set to high level. If the load is disconnected, the output voltage will reach the input voltage (48V), and it may be dangerous to connect the load under this circumstance. Restart the whole system to try again.

There is no fault alert.

GPIO high level input voltage is minimally 2.36V. So, although ENABLE# input is nominally TTL, it cannot initially be lower than 3.54V.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: LogicGates_PWM_ENABLEsharp.SchDoc		Sheet 19 of 20	

FOR BILL OF MATERIALS (BOM)

M1 BS	M2 BS	M3 BS	M4 BS	M5 BS	M6 BS	M7 BS	M8 BS	M9 BS	M10 BS
----------	----------	----------	----------	----------	----------	----------	----------	----------	-----------

Board Spacer

FOR POWER COMPONENTS ONLY

M11 W	M12 W	M13 W	M14 W	M15 W	M16 W	M17 W	M18 W	M19 W	M20 W
----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

Washer

M21 I	M22 I	M23 I	M24 I	M25 I	M26 I	M27 I	M28 I	M29 I	M30 I
----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

Insulator

M31 TH	M32 TH	M33 TH	M34 TH	M35 TH	M36 TH	M37 TH	M38 TH	M39 TH	M40 TH
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Thermal Pad

M41 IT	M42 IT	M43 IT	M44 IT	M45 IT	M46 IT	M47 IT	M48 IT
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

L Terminal

Only 8 are strictly required. But it is recommended buying a few more (10 in this case).

10x M3 Screws (below head length: 4.3mm or 5mm) should be provided to attach the PCB and the heatsink together.

Washers are recommended to distribute the screws pressure more evenly.

10x M2.5 Screws (below head length 5mm) should be provided to attach the power components to the heatsink.

Note: Could be the same kind.

8x M3 Screws (below head length: 4.3mm or 5mm) should be provided to attach the inductor to its terminal.

Washers are recommended to distribute the screws pressure more evenly.

The inductor's terminals are placed here as a Mechanical component, but its footprints are defined on the inductors themselves.


PCB FIDUCIALS

FID	FID	FID
FID1	FID2	FID3

PCB MOUNTING HOLES

MH1	MH2	MH3	MH4	MH5	MH6	MH7	MH8	MH9	MH10
-----	-----	-----	-----	-----	-----	-----	-----	-----	------

Although all ten units may not be used initially, it is a good practice to have some remaining.

Designed For: IBEPE	Project Title: High Power Laser Diode Driver	Revision V02.3	
Date: 02/01/2023	Engineer: Luiz Guilherme Zancanaro	Size A4	
File: Assembly.SchDoc		Sheet 20 of 20	

APÊNDICE C – Lista de componentes

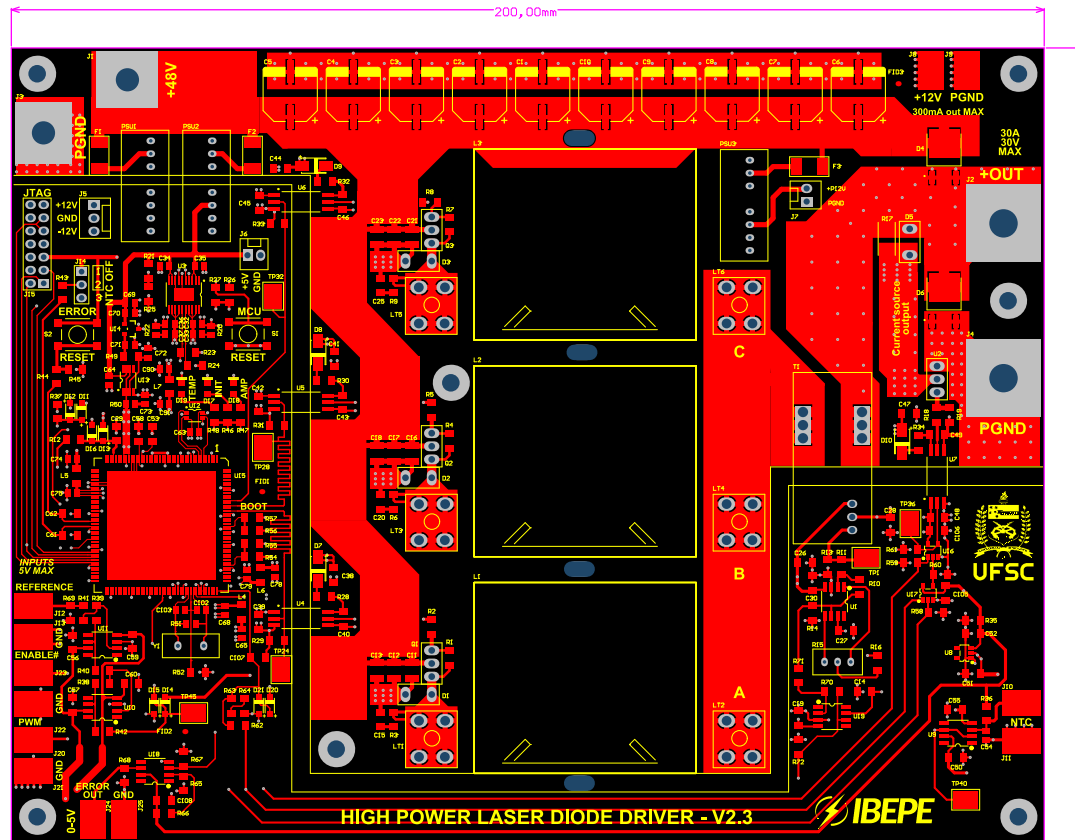
Designator	Quantity	Manufacturer	Manufacturer Part Number
C1, C2, C3, C4, C5, C6, C7, C8, C9, C10	10	Rubycon	100SEV33M10X10.5
C11, C12, C13, C16, C17, C18, C21, C22, C23	9	Samsung	CL32Y106KCVZNWE
C14, C19, C26, C27, C28, C30, C38, C39, C40, C41, C42, C43, C44, C45, C46, C47, C48, C49, C50, C51, C52, C55, C56, C57, C59, C60, C105, C106, C108	29	KEMET	C1206C106K3PACTU
C29	1	KEMET	C1206C681K5GAC7800
C32, C34, C35, C36, C63, C73, C78, C79, C90, C91	10	KEMET	C0805C106K3PACTU
C53, C58, C61, C62, C107	5	KEMET	C1206C473K5RACTU
C54, C64, C70	3	KEMET	C0805C104K5RACTU
C65, C68, C69, C71, C72, C74, C75	7	KEMET	C0805C225K3RACTU
C66, C67, C76, C77, C80, C81, C82, C83, C84, C85, C86, C87, C88, C89, C92, C93, C94, C95, C96, C97, C98, C99, C100, C101	24	KEMET	C0805C225K3RACTU
C102, C103	2	KEMET	C0805C360J5GACTU
C104	1	KEMET	C0805C104K5RACTU
D1, D2, D3	3	Infineon	IDH10G65C6XKSA1
D4, D6	2	Sangdest Microelectronics	SBRD10200
D5	1	Genesic	GC20MPS12-220
D7, D8, D9, D10	4	Diodes	B2100AF-13
D11, D12, D13, D14, D15, D16, D20, D21	8	Nexperia	BAT54H,115
D17	1	Würth Electronics	150080VS75000

Designator	Quantity	Manufacturer	Manufacturer Part Number
D18, D19	2	Dialight	5988110107F
F1, F2, F3	3	Bel	0679H0630-05
J1, J2, J3, J4	4		
J5	1	TE Connectivity	640454-3
J6, J7	2	TE Connectivity	640454-2
J8, J9, J10, J11, J12, J13, J20, J21, J22, J23, J24, J25	12		
J14	1	Würth Electronics	61300311121
J15	1	Adam Equipment	PH2-14-UA
L1, L2, L3	3		
L4, L5, L6, L7	4	Vishay Dale	ILB1206ER600V
M1, M2, M3, M4, M5, M6, M7, M8, M9, M10	10	Würth Electronics	971050324
M11, M12, M13, M14, M15, M16, M17, M18, M19, M20	10	Essentra	MFW030A
M21, M22, M23, M24, M25, M26, M27, M28, M29, M30	10	Essentra Components	MNI-M2.5-1.3
M31, M32, M33, M34, M35, M36, M37, M38, M39, M40	10	T-Global Technology	DC0011/06-TI900-0.12-0
M41, M42, M43, M44, M45, M46, M47, M48	8	Keystone Electronics	7770
PSU1	1	Mean Well	DPBW06G-12
PSU2	1	Mean Well	SPBW06G-05
PSU3	1	Mean Well	SPBW06G-12

Designator	Quantity	Manufacturer	Manufacturer Part Number
Q1, Q2, Q3	3	Infineon	IPP129N10NF2SAKMA1
R2, R5, R8, R18	4	Yageo	AC1206FR-072R2L
R10, R11, R14, R23, R29, R31, R33, R36, R38, R40, R41, R43, R44, R45, R59, R66, R67, R69, R70, R71, R72	21	Yageo	RC1206FR-7W10KL
R12	1	Stackpole Electronics	RNCP1206FTD49R9
R13	1	Yageo	RT1206DRE07100RL
R15	1	Bourns	3296W-1-103LF
R16, R25, R52, R54, R55, R56, R57	7		
R17	1	Rohm	PMR50HZPJ000
R20, R22	2	Ohmite	KDV08FR050ET
R21, R24, R26, R27	4	Yageo	RC1206FR-7W100KL
R28, R30, R32, R34	4	Yageo	AC1206FR-076R8L
R35, R37, R42, R49, R58, R60, R61, R62, R63, R64	10	Yageo	RC1206FR-7W1KL
R39, R65	2	Yageo	RC1206FR-076K65L
R46, R47, R48	3	Yageo	RC1206FR-13680RL
R50	1	Bourns	CRL0805-FW-R100ELF
R51	1	Yageo	RC0805FR-071ML
R53, R68	2	Yageo	RC1206FR-072K2L

Designator	Quantity	Manufacturer	Manufacturer Part Number
S1, S2	2	ITT C&K	PTS645SK50SMTR92LFS
T1	1	LEM	LAH50-P
U1, U9, U10, U11, U18, U19	6	ON Semiconductor	MC34071DR2G
U2	1	Infineon	IPP076N15N5AKSA1
U3	1	Texas Instruments	TPS70145PWP
U4, U5, U6, U7	4	Analog Devices	ADUM4120-1BRIZ
U8	1	Diodes	AP7370-50WR-7
U12	1	Texas Instruments	SN74LVC3G07DCUR
U13	1	Texas Instruments	OPA350EA/250
U14	1	Texas Instruments	REF3333AIDBZT
U15	1	Texas Instruments	TMS320F28379SPTPT
U16	1	Texas Instruments	SN74AHCT1G32DBVR
U17	1	Texas Instruments	SN74AHCT1G08DBV3
Y1	1	CTS	ATS100B

APÊNDICE D – Layout



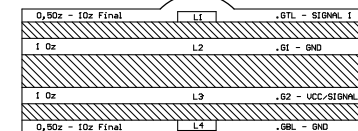
Code: REV01		Description: High Power Laser Diode Driver - V2.3		
Filename: LDD_IBEPE_PCBV202.PcbDoc	Designer:	Date: 13/03/2022	Check:	Scale:
Responsible engineer: Luiz G. Zancanaro	Rev. Designer:	Section:	Aprovad:	Unit:
GENERAL INFORMATION	TOLERANCE	LAYOUT IDENTIFICATION		
Number of layers: 4	Drill drawing: + 0,10mm	Circuit: <input checked="" type="checkbox"/>	LAYER SEQUENCE	
Board type: FR4	Mechanics: +/- 0,20mm	Solder mask: <input checked="" type="checkbox"/>	Top side: <input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Board thickness: 1,6mm	Board thickness: +/- 0,10mm	Legend: <input checked="" type="checkbox"/>	Follow Stackup: <input checked="" type="checkbox"/>	
Copper thickness: 1oz	Core ("V" scoring): +/- 0,10mm	Carbon: <input type="checkbox"/>	Follow Stackup: <input type="checkbox"/>	
Finish: HAL (Sn63/Pb37)		Undercoat: <input type="checkbox"/>	Follow Stackup: <input type="checkbox"/>	
Soldermask type: LPI		Drill drawing: <input checked="" type="checkbox"/>	Follow Stackup: <input checked="" type="checkbox"/>	
Soldermask color: Blue		Peelable: <input type="checkbox"/>	Bottom side: <input type="checkbox"/>	
Legend color: White				
V-Cut: 0,6mm				
Minimum line width: 6 mil				
Minimum insulation: 6 mil				
TC = 150				
OBP: For acceptability of PCBs use the norm: IPC-A-600 (Class 2).				

DRILL DRAWING

Symbol	Count	Hole Size	Plated	Hole Type	Pad Shape
A	666	11,81mil (0,300mm)	PTH	Round	Rounded
B	24	27,56mil (0,700mm)	PTH	Round	Rounded
C	2	31,50mil (0,800mm)	PTH	Round	Rounded
D	17	43,31mil (1,100mm)	PTH	Round	(Mixed)
E	10	47,24mil (1,200mm)	PTH	Round	Rounded
F	20	51,18mil (1,300mm)	PTH	Round	Rounded
G	24	74,80mil (1,900mm)	PTH	Round	Rounded
H	6	78,74mil (2,000mm)	PTH	Round	Rectangle
I	4	118,11mil (3,000mm)	PTH	Slot	Rounded
J	7	133,86mil (3,400mm)	NPTH	Round	Rounded
K	2	177,17mil (4,500mm)	PTH	Round	Rectangle
L	2	216,54mil (5,500mm)	PTH	Round	Rectangle
	784 Total				

Slot definitions : Routed Path Length = Calculated from tool start centre position to tool end centre position.
Hole Length = Routed Path Length + Tool Size = Slot length as defined in the PCB layout

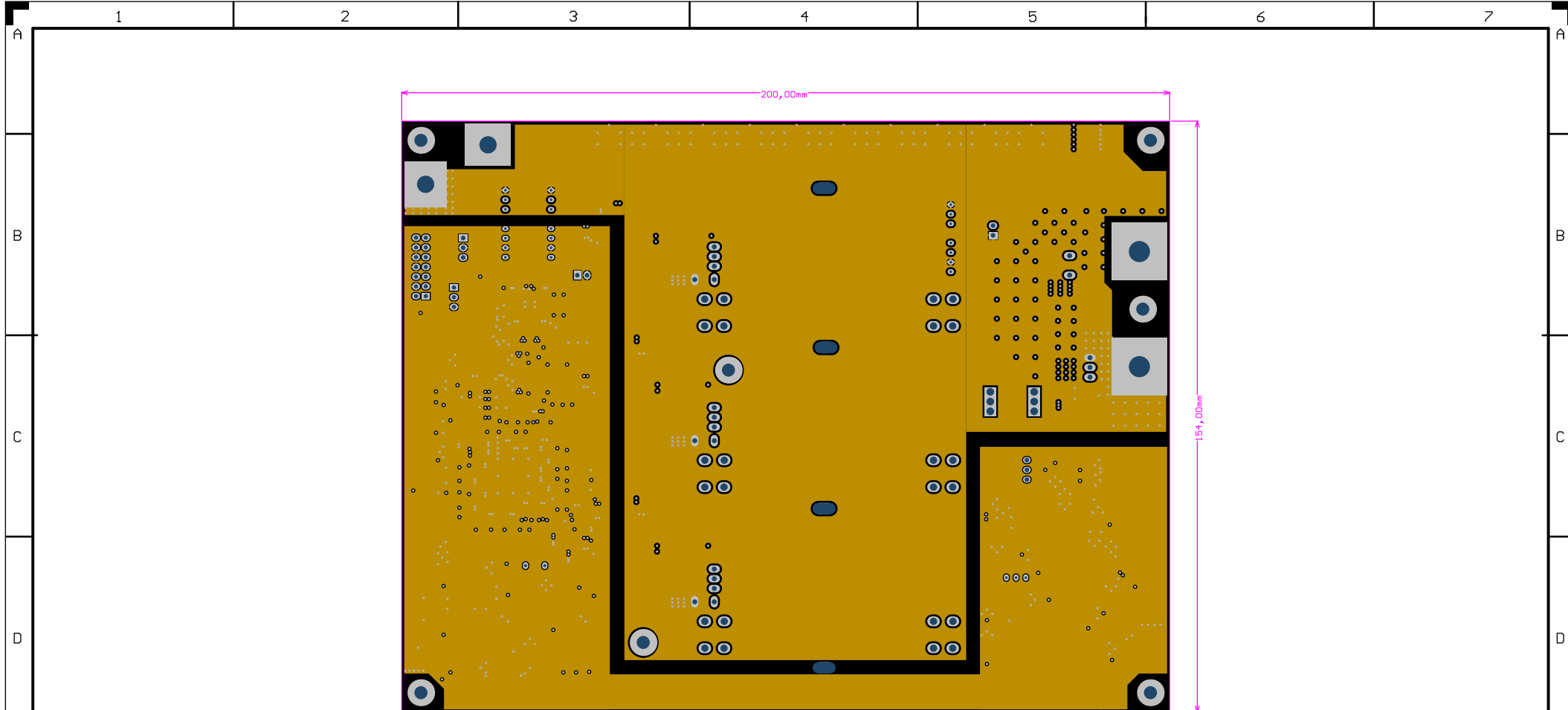
PCB STACKUP



Prepreg 2x 2113 = 0,206mm (Eri 4,3 at 10Hz)

UT 5x 762B 1.0mm (Eri 4,54 at 10Hz)

Prepreg 2x 2113 = 0,206mm (Eri 4,3 at 10Hz)

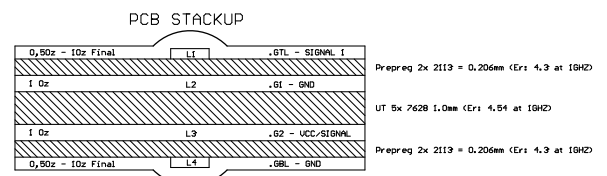


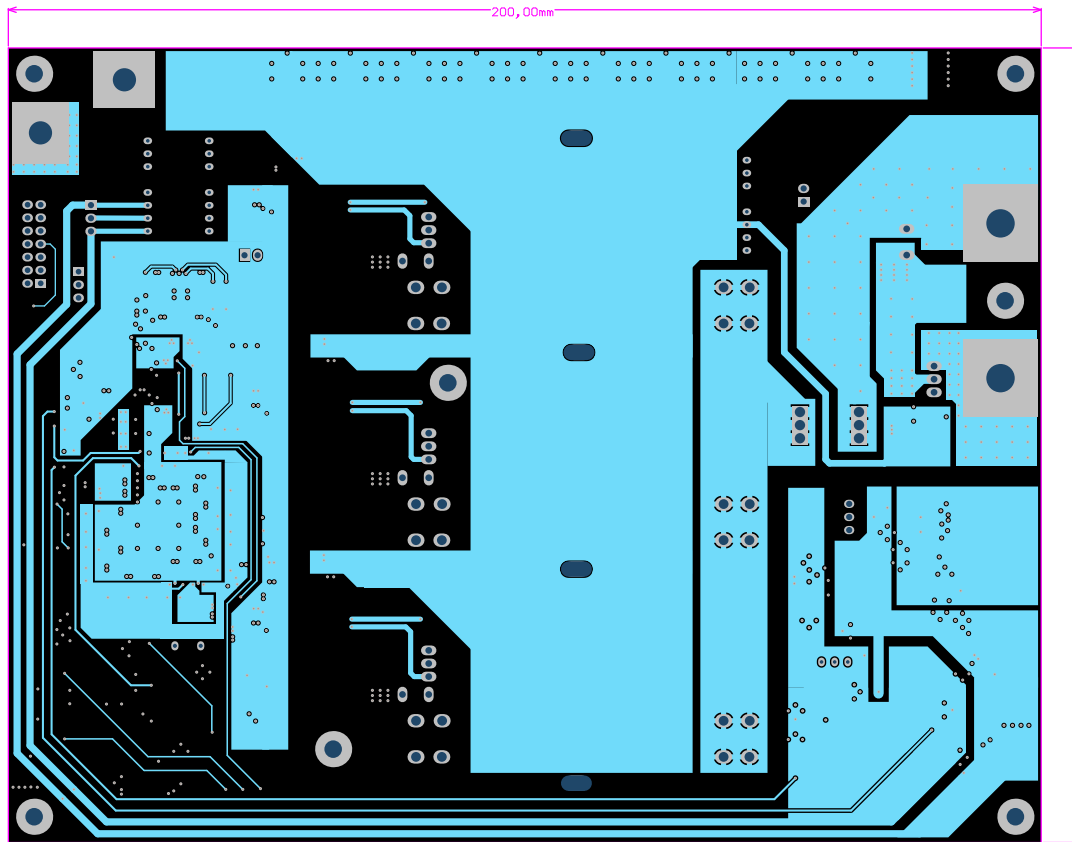
Code: REV01		Description: High Power Laser Diode Driver - V2.3		
Filename: LDD_BEPE_PCBV202.PcbDoc	Designer:	Date: 13/03/2022	Check:	Scale:
Responsible engineer: Luiz G. Zancanaro	Rev. Designer:	Section:	Aprovad:	Unit:
GENERAL INFORMATION	TOLERANCE	LAYOUT IDENTIFICATION		
Number of layers: 4	Drill drawing: + 0,10mm	Circuit:	LAYER SEQUENCE	
Board type: FR4	Mechanics: +/- 0,20mm	Solder mask:	Top side	
Board thickness: 1,6mm	Board thickness: +/- 0,10mm	Legend:	Follow Stackup	
Copper thickness: 1oz	Core ("V" scoring): +/- 0,10mm	Carbon:	Follow Stackup	
Finish: HAL (Sn63/Pb37)		Undercoat:	Follow Stackup	
Soldermask type: LPI		Drill drawing:	<input checked="" type="checkbox"/> Follow Stackup	
Soldermask color: Blue		Peelable:	<input type="checkbox"/> Bottom side	
Legend color: White				
V-Cut: 0,6mm				
Minimum line width: 6 mil				
Minimum insulation: 6 mil				
TC = 150				
OBP: For acceptability of PCs use the norm: IPC-A-600 (Class 2).				

DRILL DRAWING

Symbol	Count	Hole Size	Plated	Hole Type	Pad Shape
A	666	11,81mil (0,300mm)	PTH	Round	Rounded
B	24	27,56mil (0,700mm)	PTH	Round	Rounded
C	2	31,50mil (0,800mm)	PTH	Round	Rounded
D	17	43,31mil (1,100mm)	PTH	Round	(Mixed)
E	10	47,24mil (1,200mm)	PTH	Round	(Mixed)
F	20	51,18mil (1,300mm)	PTH	Round	Rounded
G	24	74,80mil (1,900mm)	PTH	Round	Rounded
H	6	78,74mil (2,000mm)	PTH	Round	Rectangle
I	4	118,11mil (3,000mm)	PTH	Slot	Rounded
J	7	133,86mil (3,400mm)	NPTH	Round	Rounded
K	2	177,17mil (4,500mm)	PTH	Round	Rectangle
L	2	216,54mil (5,500mm)	PTH	Round	Rectangle
	784 Total				

Slot definitions : Routed Path Length = Calculated from tool start centre position to tool end centre position.
Hole Length = Routed Path Length + Tool Size = Slot length as defined in the PCB layout





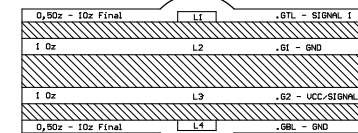
Code: REV01		Description: High Power Laser Diode Driver - V2.3		
Filename: LDO_BEPE_PCBV202.PcbDoc	Designer:	Date: 13/03/2022	Check:	Scale:
Responsible engineer: Luiz G. Zancanaro	Rev. Designer:	Section:	Aprovad:	Unit:
GENERAL INFORMATION	TOLERANCE	LAYOUT IDENTIFICATION		
Number of layers: 4	Drill drawing: + 0,10mm	Circuit:	LAYER SEQUENCE	
Board type: FR4	Mechanics: +/- 0,20mm	Solder mask:	<input type="checkbox"/>	Top side
Board thickness: 1,6mm	Board thickness: +/- 0,10mm	Legend:	<input type="checkbox"/>	Follow Stackup
Copper thickness: 1oz	Core ("V" scoring): +/- 0,10mm	Carbon:	<input type="checkbox"/>	Follow Stackup
Finish: HAL (Sn63/Pb37)		Undercoat:	<input type="checkbox"/>	Follow Stackup
Soldermask type: LPI		Drill drawing:	<input checked="" type="checkbox"/>	Follow Stackup
Soldermask color: Blue		Peelable:	<input type="checkbox"/>	Bottom side
Legend color: White				
V-Cut: 0,6mm				
Minimum line width: 6 mil				
Minimum insulation: 6 mil				
IG = 150				
OBP: For acceptability of PCIs use the norm: IPC-A-600 (Class 2).				

DRILL DRAWING

Symbol	Count	Hole Size	Plated	Hole Type	Pad Shape
A	666	11,81mil (0,300mm)	PTH	Round	Rounded
B	24	27,56mil (0,700mm)	PTH	Round	Rounded
C	2	31,50mil (0,800mm)	PTH	Round	Rounded
D	17	43,31mil (1,100mm)	PTH	Round	(Mixed)
E	10	47,24mil (1,200mm)	PTH	Round	(Mixed)
F	20	51,18mil (1,300mm)	PTH	Round	Rounded
G	24	74,80mil (1,900mm)	PTH	Round	Rounded
H	6	78,74mil (2,000mm)	PTH	Round	Rectangle
I	4	118,11mil (3,000mm)	PTH	Slot	Rounded
J	7	133,86mil (3,400mm)	NPTH	Round	Rounded
K	2	177,17mil (4,500mm)	PTH	Round	Rectangle
L	2	216,54mil (5,500mm)	PTH	Round	Rectangle
784 Total					

Slot definitions : Routed Path Length = Calculated from tool start centre position to tool end centre position.
 Hole Length = Routed Path Length + Tool Size = Slot length as defined in the PCB layout

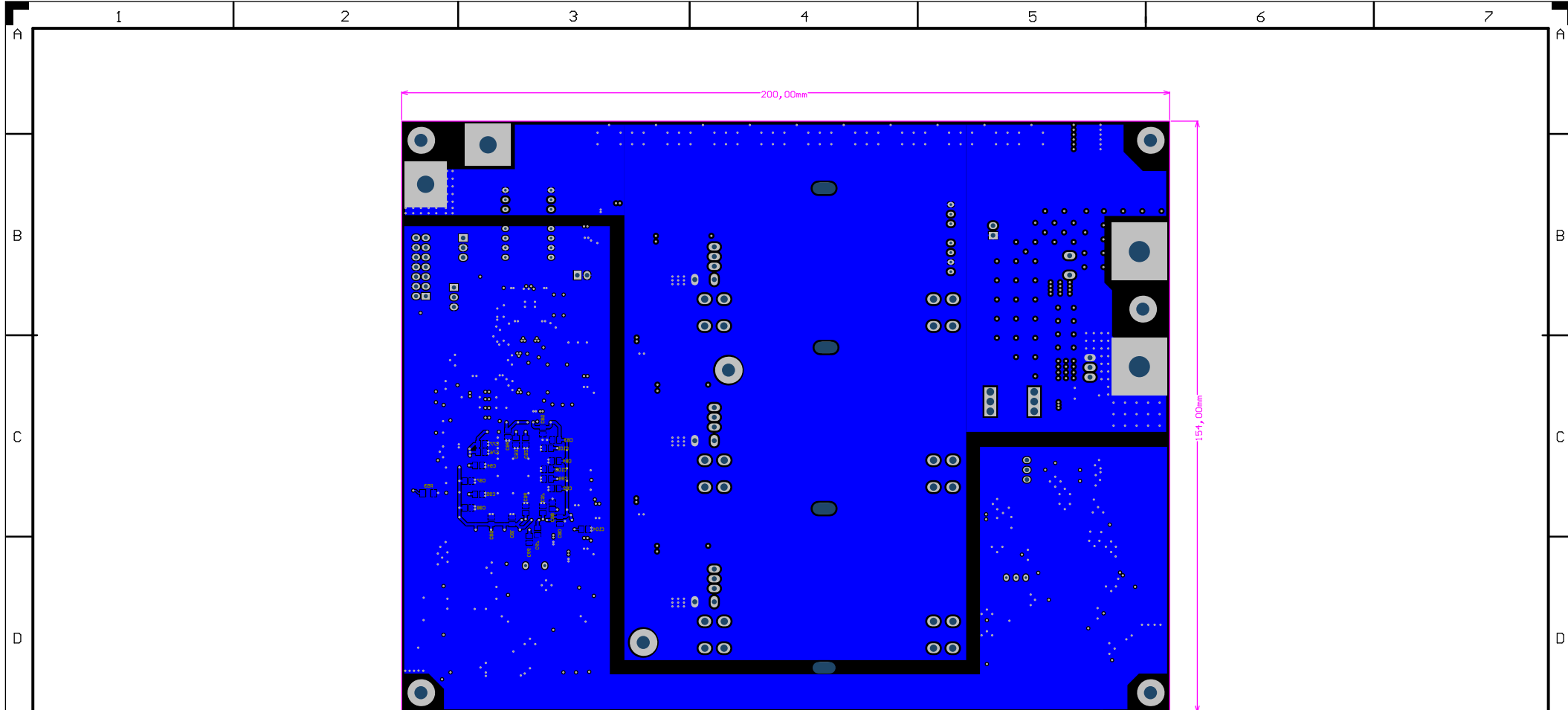
PCB STACKUP



Prepreg 2x 2113 = 0,206mm (Eri 4,3 at 10HZ)

UT 5x 7628 1,0mm (Eri 4,54 at 10HZ)

Prepreg 2x 2113 = 0,206mm (Eri 4,3 at 10HZ)



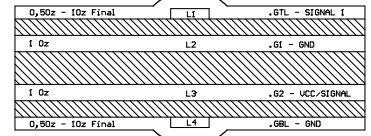
Code: REV01		Description: High Power Laser Diode Driver - V2.3		
Filename: LDD_BEPE_PCBV202.PcbDoc	Designer:	Date: 13/03/2022	Check:	Scale:
Responsible engineer: Luiz G. Zancanaro	Rev. Designer:	Section:	Aproved:	Unit:
GENERAL INFORMATION	TOLERANCE	LAYOUT IDENTIFICATION		
Number of layers: 4	Drill drawing: + 0,10mm	Circuit:	<input checked="" type="checkbox"/>	LAYER SEQUENCE
Board type: FR4	Mechanics: +/- 0,20mm	Solder mask:	<input type="checkbox"/>	Top side
Board thickness: 1,6mm	Board thickness: +/- 0,10mm	Legend:	<input checked="" type="checkbox"/>	Follow Stackup
Copper thickness: 1oz	Core ("V" scoring): +/- 0,10mm	Carbon:	<input type="checkbox"/>	Follow Stackup
Finish: HAL (Sn63/Pb37)		Undercoat:	<input type="checkbox"/>	Follow Stackup
Soldermask type: LPI		Drill drawing:	<input checked="" type="checkbox"/>	Follow Stackup
Soldermask color: Blue		Peelable:	<input type="checkbox"/>	Bottom side
Legend color: White			<input type="checkbox"/>	
V-Cut: 0,6mm			<input type="checkbox"/>	
Minimum line width: 6 mil			<input type="checkbox"/>	
Minimum insulation: 6 mil			<input type="checkbox"/>	
IG = 150				
OBP: For acceptability of PCBs use the norm: IPC-A-600 (Class 2).				

DRILL DRAWING

Symbol	Count	Hole Size	Plated	Hole Type	Pad Shape
A	666	11,81mil (0,300mm)	PTH	Round	Rounded
B	24	27,56mil (0,700mm)	PTH	Round	Rounded
C	2	31,50mil (0,800mm)	PTH	Round	Rounded
D	17	43,31mil (1,100mm)	PTH	Round	(Mixed)
E	10	47,24mil (1,200mm)	PTH	Round	(Mixed)
F	20	51,18mil (1,300mm)	PTH	Round	Rounded
G	24	74,80mil (1,900mm)	PTH	Round	Rounded
H	6	78,74mil (2,000mm)	PTH	Round	Rectangle
I	4	118,11mil (3,000mm)	PTH	Slot	Rounded
J	7	133,86mil (3,400mm)	NPTH	Round	Rounded
K	2	177,17mil (4,500mm)	PTH	Round	Rectangle
L	2	216,54mil (5,500mm)	PTH	Round	Rectangle
784 Total					

Slot definitions : Routed Path Length = Calculated from tool start centre position to tool end centre position.
Hole Length = Routed Path Length + Tool Size = Slot length as defined in the PCB layout

PCB STACKUP



Prepreg 2x 2119 = 0,206mm (Er: 4,3 at 10Hz)
UT 5x 7628 1,0mm (Er: 4,54 at 10Hz)
Prepreg 2x 2119 = 0,206mm (Er: 4,3 at 10Hz)