



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
CURSO DE GRADUAÇÃO EM ENGENHARIA ELETRÔNICA

Cíntia de Souza

**Estudo e aplicação de técnica combinacional para redução do descasamento
entre pares de MOSFET**

Florianópolis

2024

Cíntia de Souza

**Estudo e aplicação de técnica combinacional para redução do descasamento
entre pares de MOSFET**

Trabalho de Conclusão de Curso submetido ao curso de Graduação em Engenharia Eletrônica da Universidade Federal de Santa Catarina como requisito parcial para a obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador(a): Prof.(a) Cesar Rodrigues, Dr.

Florianópolis

2024

Souza, Cintia de

Estudo e aplicação de técnica combinacional para redução do descasamento entre pares de MOSFET / Cintia de Souza ; orientador, Cesar Rodrigues, 2024.

60 p.

Trabalho de Conclusão de Curso (graduação) - Universidade Federal de Santa Catarina, Centro Tecnológico, Graduação em Engenharia Eletrônica, Florianópolis, 2024.

Inclui referências.

1. Engenharia Eletrônica. 2. Engenharia Eletrônica. 3. Amplificador Totalmente Diferencial. 4. Técnica Combinacional. 5. Redução de Descasamento. I. Rodrigues, Cesar. II. Universidade Federal de Santa Catarina. Graduação em Engenharia Eletrônica. III. Título.

Cíntia de Souza

Estudo e aplicação de técnica combinacional para redução do descasamento entre pares de MOSFET

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de “Bacharel em Engenharia Eletrônica” e aprovado em sua forma final pelo Curso de Graduação em Engenharia Eletrônica.

Florianópolis, 13 de agosto de 2024



Profa. Daniela Ota Hisayasu Suzuki, Dra
Coordenação do Curso de Engenharia Eletrônica

Banca examinadora



Prof. Cesar Rodrigues, Dr.
Orientador



Jefferson Luiz Brum Marques, Dr.
Universidade Federal de Santa Catarina



Deni Germano Alves Neto, MSc.
Universidade Federal de Santa Catarina

Florianópolis, 2024

Este trabalho é dedicado à minha família e amigos presentes na minha trajetória acadêmica.

AGRADECIMENTOS

À minha família e amigos, que me apoiaram em cada etapa desta jornada acadêmica, e aos meus professores, cuja orientação e sabedoria foram fundamentais para alcançar este marco. Este trabalho é dedicado a todos que acreditaram em mim e me inspiraram a perseguir meus sonhos.

"É necessário ter o caos dentro de si para gerar uma estrela dançante." (Nietzsche, Assim Falou Zaratustra)

RESUMO

Para o desenvolvimento de circuitos eletrônicos de aquisição de dados, um fator importante é a necessidade de cancelamento de ruídos que possam aparecer e até mesmo mascarar a resposta esperada na saída de um sistema. Contando com isso, este trabalho teve como objetivo pesquisar, simular e extrair os dados de um circuito amplificador totalmente diferencial (FDA) com um feedback de modo comum (CMFB) e também apresentar uma nova técnica que consiste em tentar reduzir o descasamento entre os transistores MOS (Metal-Oxide-Semiconductor) devido às variações aleatórias de suas propriedades. Para a formação de cada transistor do par diferencial, utilizou-se chaveamento para selecionar k entre n transistores de um conjunto, resultando em uma grande quantidade de combinações possíveis e, assim, fazendo com que a probabilidade de encontrar um par que tenha a precisão desejada seja maior. Todo o trabalho foi realizado em tecnologia comercial CMOS de 65 nm com alimentação de 1V, buscou-se utilizar dimensões mínimas dos componentes para se ter redução da área efetiva. Este trabalho apresenta teoria e simulações em nível esquemático, utilizando a ferramenta Cadence Virtuoso, permitindo a verificação do comportamento do circuito e as condições de operação.

Palavras-chave: Amplificador Totalmente Diferencial, FDA, Feedback de Modo Comum, CMFB, CMOS, Mismatch.

ABSTRACT

To develop electronic data acquisition circuits, an important factor is the need to cancel out noise that may appear and even mask the expected response at the output of a system. Considering this, the objective of this work was to research, simulate, and extract data from a fully differential amplifier (FDA) circuit with common-mode feedback (CMFB) and to present a new technique aimed at reducing mismatch between MOS (Metal-Oxide-Semiconductor) transistors due to random variations in their properties. For the formation of each transistor in the differential pair, switching was used to select k out of n transistors from a set, resulting in a large number of possible combinations, thus increasing the probability of finding a pair with the desired precision. All the work was carried out using 65 nm commercial CMOS technology with 1V supply, aiming to use minimal component dimensions to achieve a reduction in effective area. This work presents theory and schematic simulations using the Cadence Virtuoso tool, allowing verification of the circuit's behavior and operating conditions.

Keywords: Fully Differential Amplifier, FDA, Common Mode Feedback, CMFB, tsmc65, CMOS, Mismatch.

LISTA DE FIGURAS

| | |
|--|----|
| Figura 1 – a) single ended; b) sinais diferenciais | 18 |
| Figura 2 – Efeito do ruído de fonte em a) Single ended e b) circuito diferencial. | 19 |
| Figura 3 – a) Circuito diferencial simples e b) ilustração de sensibilidade de entrada do nível de modo comum | 19 |
| Figura 4 – Par diferencial | 20 |
| Figura 5 – Características diferenciais de entrada-saída de um par diferencial | 21 |
| Figura 6 – a) Par diferencial com fonte transistorizada; b) Par diferencial com fonte com resistor; c) Características de entrada-saída de modo comum. | 22 |
| Figura 7 – Variação na saída permitida de um par diferencial | 23 |
| Figura 8 – Variação das correntes de dreno e transcondutância geral de um par diferencial em relação a tensão de entrada | 26 |
| Figura 9 – Par diferencial com entradas de pequenos sinais | 27 |
| Figura 10 – (a) Par diferencial detectando um sinal de entrada; (b) circuito (a) visto como um estágio CS degenerado por M2; (c) circuito equivalente de (b). | 28 |
| Figura 11 – Equivalente de Thevenin | 28 |
| Figura 12 – a) Par diferencial degenerado e b) curvas características sem e com degeneração | 30 |
| Figura 13 – Par diferencial degenerado com divisão de corrente | 30 |
| Figura 14 – a) Par diferencial com $V_{in,CM}$; b) versão simplificado de a) e c) circuito equivalente de b) | 31 |
| Figura 15 – Circuito com descasamento | 32 |
| Figura 16 – Efeito do ruído de modo comum no circuito com descasamento | 33 |
| Figura 17 – Par diferencial com representação da capacitância parasita | 33 |
| Figura 18 – a) Par diferencial e b) Circuito de a) considerando descasamento dos transistores | 34 |
| Figura 19 – Redução no descasamento de comprimento devido ao aumento de largura | 38 |
| Figura 20 – MOSFET largo visto como um arranjo de transistores menores em paralelo | 38 |
| Figura 21 – MOSFET maior visto como um arranjo de transistores menores | 38 |
| Figura 22 – a) Par diferencial com offset medido na saída e b) offset referenciado à entrada | 39 |

| | |
|--|----|
| Figura 23 – Efeito do offset em um amplificador | 39 |
| Figura 24 – Modelo proposto para aplicação de técnica de redução de casamento | 46 |
| Figura 25 – Número de combinações de pares disponíveis (N) em função de k para vários valores de n. | 46 |
| Figura 26 – Modelo conceitual de um FDA com CMFB | 49 |
| Figura 27 – Modelo de amplificador totalmente diferencial | 49 |
| Figura 28 – Circuito de feedback de modo comum | 50 |
| Figura 29 – Modelo para cálculo de ganho e dimensões iniciais do circuito | 51 |
| Figura 30 – Par diferencial | 52 |
| Figura 31 – Resposta DC | 53 |
| Figura 32 – Ganho em modo comum | 53 |
| Figura 33 – Monte Carlo para circuito sem técnica aplicada | 54 |
| Figura 34 – Amplificador Totalmente Diferencial | 55 |
| Figura 35 – Bloco CMFB | 55 |
| Figura 36 – Resposta DC | 56 |
| Figura 37 – Ganho em modo comum | 57 |
| Figura 38 – Monte Carlo do circuito com técnica aplicada | 58 |

LISTA DE TABELAS

| | |
|--|----|
| Tabela 1 – Possíveis valores para os transistores PMOS..... | 52 |
| Tabela 2 – Possíveis valores para os transistores NMOS | 52 |
| Tabela 3 – Dimensões circuito inicial | 52 |
| Tabela 4 – Dimensões dos transistores do FDA | 56 |
| Tabela 5 – Dimensões dos transistores do CMFB | 56 |

LISTA DE ABREVIATURAS E SIGLAS

| | |
|-------|------------------------------|
| CMFB | Common Mode Feedback |
| FDA | Fully Differential Amplifier |
| BC | Biblioteca Central |
| MOS | Metal Oxide Semiconductor |
| CC | Corrente Contínua |
| DC | Direct Current |
| CI | Circuito Integrado |
| NMOS | MOSFET tipo N |
| PMOS | MOSFET tipo P |
| AmpOp | Amplificador Operacional |
| CM | Common Mode |
| CMRR | Common Mode Rejection Ratio |

LISTA DE SÍMBOLOS

| | |
|--------------|--|
| C_{ox} | Capacitância por unidade de área do óxido de porta |
| L | Comprimento do canal do transistor |
| L_{min} | Comprimento mínimo do canal do transistor |
| W | Largura do canal do transistor |
| W_{min} | Largura mínima do canal do transistor |
| V_{DD} | Tensão de alimentação |
| V_{out} | Tensão de saída |
| V_g | Tensão de porta (gate) |
| V_s | Tensão de fonte (source) |
| V_{in} | Tensão de entrada aplicado no gate do transistor |
| $V_{in,CM}$ | Tensão de entrada de modo comum |
| $V_{out,CM}$ | Tensão de saída de modo comum |
| V_{TH} | Tensão de limiar |
| V_{GS} | Tensão <i>gate/source</i> |
| V_{OS} | Tensão de <i>offset</i> |
| I_{SS} | Corrente de fonte do par diferencial |
| I_D | Corrente de dreno |
| R_D | Resistor de dreno |
| μ_n | Mobilidade dos elétrons |
| ΔI | Variação de tensão |
| ΔV | Variação de corrente |
| ΔL | Variação de comprimento do transistor |
| ΔW | Variação de largura do transistor |
| A_v | Ganho de tensão diferencial para pequenos sinais |
| g_m | Transcondutância |
| A_{CM} | Ganho de Modo Comum |
| V_{CMC} | Tensão de Controle de Modo Comum |
| g_m | Transcondutância |
| g_m | Transcondutância |

SUMÁRIO

| | | |
|----------|--|-----------|
| 1 | INTRODUÇÃO..... | 15 |
| 1.1 | OBJETIVO GERAL | 16 |
| 1.2 | OBJETIVOS ESPECÍFICOS | 16 |
| 1.3 | JUSTIFICATIVA | 16 |
| 1.4 | ORGANIZAÇÃO DO TRABALHO | 17 |
| 2 | DESENVOLVIMENTO | 18 |
| 2.1 | AMPLIFICADOR TOTALMENTE DIFERENCIAL..... | 18 |
| 2.1.1 | Análise Qualitativa | 20 |
| 2.1.2 | Análise Quantitativa..... | 23 |
| 2.1.3 | Par diferencial Degenerado..... | 29 |
| 2.1.4 | Resposta em Modo Comum..... | 30 |
| 2.2 | DESCASAMENTO | 35 |
| 2.3 | TÉCNICA PARA REDUÇÃO DE DESCASAMENTO | 41 |
| 2.3.1 | Dependência da precisão do casamento na área do dispositivo | 42 |
| 2.3.2 | Método de pares não correlacionados..... | 43 |
| 2.3.3 | Método de pares correlacionados | 45 |
| 3 | FDA COM CIRCUITO CMFB..... | 48 |
| 4 | RESULTADOS | 51 |
| 5 | CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS | 59 |
| | REFERÊNCIAS | 61 |

1 INTRODUÇÃO

A busca por maior desempenho e precisão em sistemas eletrônicos levou ao desenvolvimento de técnicas avançadas de amplificação de sinais. Hoje em dia os circuitos analógicos ainda são de grande importância, em aplicações que envolvem radiofrequência, sistemas de aquisição de dados e instrumentação biomédica, variando sua complexidade dependendo das especificações e requisitos de projeto [1]. Nesse contexto, os amplificadores totalmente diferenciais (FDA) com feedback de modo comum (CMFB) emergiram como um elemento-chave em circuitos de alta qualidade. Com isso, surgem os desafios de conseguir circuitos precisos e confiáveis, considerando custo e dificuldade em testá-los. São circuitos que desempenham um papel crítico na conversão e processamento de sinais do mundo real, como vídeo, áudio, temperatura e pressão, para uma forma que os sistemas digitais possam entender e processar posteriormente [1]. Dessa forma, com as vantagens incontestáveis em termos de rejeição de ruído, faixa dinâmica e velocidade, os circuitos diferenciais tornaram-se uma abordagem padrão para muitas soluções de sinalização analógica [2].

Neste trabalho, apresentamos uma nova técnica para redução do descasamento em circuitos eletrônicos, e apresentamos a prova de conceito no projeto de um amplificador totalmente diferencial com feedback de modo comum. São apresentados a arquitetura, os princípios de funcionamento e a aplicabilidade em cenários de engenharia eletrônica, com destaque para o potencial de redução do descasamento entre transistores semicondutores de óxido metálico (MOS) que surgem devido às suas variações aleatórias inerentes. Além disso, examinaremos as vantagens significativas que essa metodologia oferece em termos de rejeição de ruídos de modo comum e melhoria do desempenho geral dos sistemas.

Ao aprofundar nosso entendimento sobre a técnica e o circuito amplificador totalmente diferencial com feedback de modo comum, vamos analisar as vantagens desse tipo de aplicação, bem como as considerações de projeto e os parâmetros de desempenho críticos que os engenheiros devem levar em conta ao projetar sistemas eletrônicos de alta qualidade. Espera-se fornecer uma visão abrangente e atualizada sobre essa importante área da eletrônica, destacando seu papel essencial na busca por maior qualidade e precisão em sistemas eletrônicos.

Aplicando testes DC e transiente, foi possível obter algumas informações para verificação e análise do circuito proposto. Com a simulação de Monte Carlo também foi verificada a resposta do circuito com o dimensionamento feito para se obter a menor área possível e redução do erro devido ao descasamento.

1.1 OBJETIVO GERAL

O objetivo geral deste trabalho visa apresentar uma nova técnica estudada onde é possível diminuir o descasamento de pares diferenciais devido às variações aleatórias de suas propriedades em decorrência dos processos de fabricação.

1.2 OBJETIVOS ESPECÍFICOS

- a) Estudar o circuito FDA com CMFB;
- b) Dimensionar o circuito completo FDA com CMFB, inicialmente considerando um par diferencial e com fontes ideais;
- c) Realizar as simulações DC do circuito para se ter uma resposta inicial;
- d) Reprojetar os circuitos com fontes reais e aplicando a técnica mencionada;
- e) Realizar as simulações DC para comparação de resultados;
- f) Demonstrar o conceito de redução do descasamento através de simulações Monte Carlo.

1.3 JUSTIFICATIVA

No processo de fabricação de um transistor MOS, dois transistores projetados com larguras de canal (W) e comprimentos (L) idênticos e submetidos às mesmas condições de polarização, exibem descasamentos na corrente de dreno, seguindo uma distribuição normal. Com o intuito de avaliar uma alternativa para o método clássico para diminuir o descasamento aleatório dos transistores em pares diferenciais, e não precisar optar apenas por técnicas clássicas, foi realizado um estudo desta técnica mais recente. A técnica investigada se baseia na combinação de elementos menores com variações aleatórias de suas características elétricas ou dimensionais, por exemplo, buscando a redução ou cancelamento do efeito global, ao invés do simples aumento da área dos transistores.

1.4 ORGANIZAÇÃO DO TRABALHO

Este trabalho apresenta o projeto de um Amplificador Totalmente Diferencial com Circuito de Feedback de Modo Comum com base na técnica para redução de descasamento dos pares diferenciais causados por variações aleatórias individuais de cada transistor, decorrentes do processo de fabricação dos dispositivos.

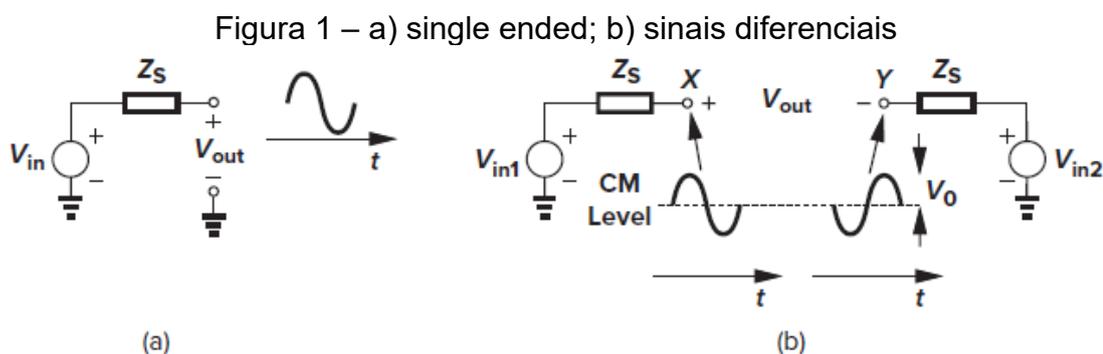
Para isso é inicialmente apresentado no capítulo 2 o estudo de um FDA e a questão do descasamento devido à construção dos transistores, bem como a metodologia para redução do descasamento para o presente trabalho. No capítulo 3 é apresentado um estudo de caso do FDA com o circuito de CMFB abordado por outros pesquisadores, com o intuito de avaliar o efeito da técnica de redução de descasamento no desempenho do amplificador. A metodologia para redução do descasamento é detalhada no capítulo 4, onde constam as etapas seguidas para o presente trabalho. No capítulo 5 são apresentadas as conclusões e sugestões de ideias para trabalhos futuros.

2 DESENVOLVIMENTO

2.1 AMPLIFICADOR TOTALMENTE DIFERENCIAL

O amplificador diferencial é uma das mais importantes invenções da eletrônica, oferecendo algumas propriedades úteis e que tornam a escolha ideal para circuitos de alta performance e que dependam de sinais mistos [2].

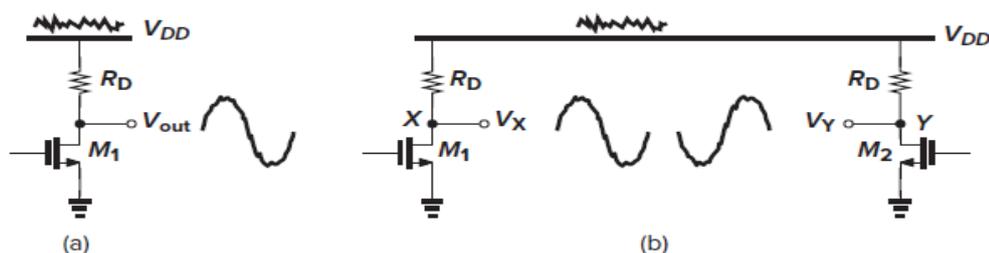
Um sinal "single-ended" é definido como aquele que é medido em relação a um potencial fixo, geralmente o terra. Já um sinal diferencial é definido como aquele que é medido entre dois nós que têm excursões de sinal iguais e opostas em torno de um potencial fixo [2]. Exemplos dos dois modelos de circuito estão representados na Figura 1. Pela imagem pode-se verificar a descrição do nível de modo comum, representado como *CM Level*, encontrado no sinal diferencial, podendo-se visualizar como o valor de polarização das tensões, ou seja, o valor na ausência de sinais [2].



Fonte: Adaptado de [2]

Uma forma de ver inicialmente o benefício de se utilizar um amplificador diferencial é a vantagem de rejeição no modo comum que ocorre devido a fontes ruidosas, representado na Figura 2. Se a fonte de alimentação injetar no circuito um ruído, a saída V_{out} tende a mudar aproximadamente na mesma proporção, ou seja, a saída é bastante suscetível aos ruídos provenientes da fonte. Entretanto, considerando o seguinte circuito na Figura 2 b) e, se o circuito for simétrico, o ruído na fonte de alimentação V_{DD} afeta V_X e V_Y , mas não a saída $V_{out} = V_X - V_Y$. Sendo possível, então, considerar o circuito diferencial muito mais robusto no tratamento de ruídos de alimentação [2].

Figura 2 – Efeito do ruído de fonte em a) Single ended e b) circuito diferencial.

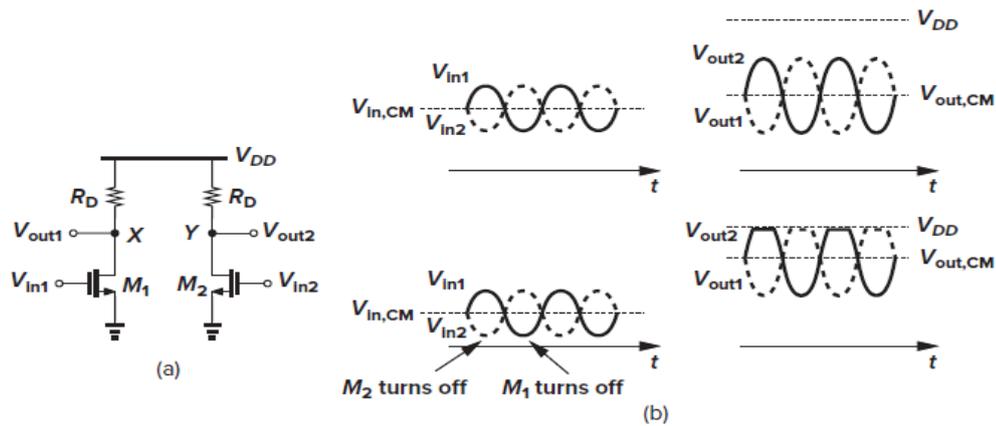


Fonte: Adaptado de [2].

Para a análise de amplificação de sinal, pode-se construir dois caminhos de sinal *single-ended* idênticos para processar as duas fases [2], da mesma maneira que foi apresentado para interpretação de rejeição de ruído, porém agora aplica-se dois sinais diferenciais de entrada nos gates de M_1 e M_2 , V_{in1} e V_{in2} , tendo um certo nível de modo comum, $V_{in,CM}$. As saídas também são diferenciais e oscilam em torno do nível de modo comum de saída, $V_{out,CM}$. Tal circuito de fato oferece algumas das vantagens da sinalização diferencial: alta rejeição de ruídos de alimentação, oscilações de saída mais altas, etc [2]. Porém, se o nível CM de entrada $V_{in,CM}$ não for bem definido e houver alteração, as correntes de polarização de M_1 e M_2 irão se alterar e, conseqüentemente o nível CM $V_{out,CM}$ também se altera. Em um exemplo, considerando-se uma queda de $V_{in,CM}$ ao ponto de desligar M_1 e M_2 , poderá ocasionar uma grande distorção do sinal de saída. É possível verificar o circuito e os sinais descritos conforme apresentado na

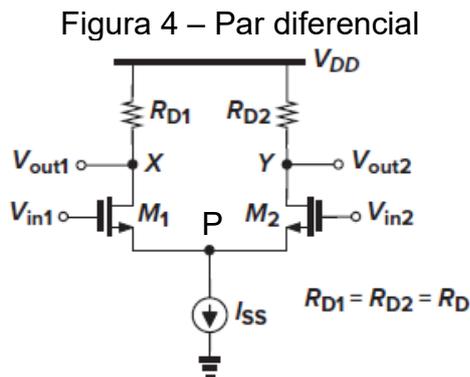
Figura 3.

Figura 3 – a) Circuito diferencial simples e b) ilustração de sensibilidade de entrada do nível de modo comum



Fonte: Adaptado de [2]

Uma solução utilizada para resolver o problema relacionado ao nível de tensão em modo comum é adicionar uma fonte de corrente no *source* dos transistores, representada como I_{SS} , fazendo com que as correntes de dreno I_{D1} e I_{D2} sejam independentes de $V_{in,CM}$. Assim, se $V_{in1} = V_{in2}$, a corrente de polarização de cada transistor é igual a $I_{SS}/2$ e o nível de modo comum de saída é $V_{out,CM} = V_{DD} - R_D * I_{SS}/2$ [2]. Circuito representado na Figura 4. Sendo educativo estudar o comportamento de sinais grandes do circuito para variações de entrada diferencial e de modo comum, pois a modulação do comprimento do canal e o efeito de corpo é negligenciado [2].



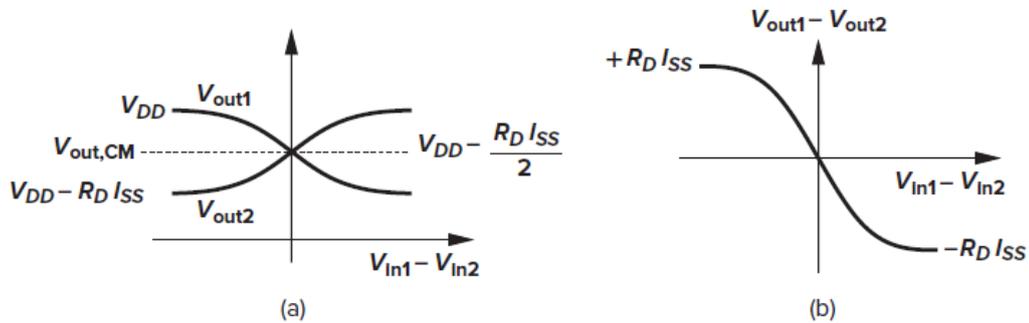
Fonte: Adaptado de [2]

2.1.1 Análise Qualitativa

Supondo que na Figura 4 $V_{in1} - V_{in2}$ varia de $-\infty$ a $+\infty$. Se V_{in1} for muito mais negativo que V_{in2} , e M_1 está desligado, M_2 está ligado e $I_{D2} = I_{SS}$. Dessa forma, $V_{out1} = V_{DD}$ e $V_{out2} = V_{DD} - R_D I_{SS}$. À medida que o valor de V_{in1} se aproxima do valor de V_{in2} , então M_1 é gradualmente ativado, extraindo uma fração da corrente

I_{SS} do resistor R_{D1} e, portanto, diminui V_{out1} . Como $I_{D1} - I_{D2} = I_{SS}$, a corrente de dreno de M_2 diminui e V_{out2} aumenta. Conforme mostrado na Figura 5(a), para $V_{in1} = V_{in2}$, temos $V_{out1} = V_{out2} = V_{DD} - R_D I_{SS}/2$, que é o nível CM de saída. À medida que V_{in1} se torna mais positivo que V_{in2} , M_1 é percorrido por uma corrente maior que a corrente de dreno de M_2 e V_{out1} tem valor menor que de V_{out2} . Para $V_{in1} - V_{in2}$ suficientemente grande, M_1 será percorrido por toda a corrente I_{SS} , fazendo com que M_2 não conduza. Como resultado, $V_{out1} = V_{DD} - R_D I_{SS}$ e $V_{out2} = V_{DD}$. Pode-se verificar também na Figura 5 graficamente $V_{out1} - V_{out2}$ versus $V_{in1} - V_{in2}$.

Figura 5 – Características diferenciais de entrada-saída de um par diferencial



Fonte: Adaptado de [2]

Com isso é possível identificar dois atributos importantes do par diferencial. Primeiro, os níveis máximo e mínimo na saída são bem definidos (V_{DD} e $V_{DD} - R_D I_{SS}$) e são independentes do nível CM de entrada. Segundo, como provado posteriormente, o ganho de pequeno sinal (a inclinação de $V_{out1} - V_{out2}$ versus $V_{in1} - V_{in2}$) é máximo para $V_{in1} = V_{in2}$, diminuindo gradualmente até zero à medida que $|V_{in1} - V_{in2}|$ aumenta. Em outras palavras, o circuito se torna mais não-linear à medida que a oscilação da tensão de entrada aumenta [2]. Igualando as tensões de entrada é possível considerar como um sistema em equilíbrio.

Avaliando o comportamento em modo comum do circuito, é importante lembrar da função da fonte de corrente I_{SS} para suprimir o efeito das variações do nível CM de entrada na operação dos transistores M_1 e M_2 e no nível da saída. Definindo $V_{in1} = V_{in2} = V_{in,CM}$ e variando $V_{in,CM}$ entre 0 e V_{DD} . Pode-se verificar na

Figura 6, a fonte sendo implementada por um transistor em (a) e por um resistor em (b).

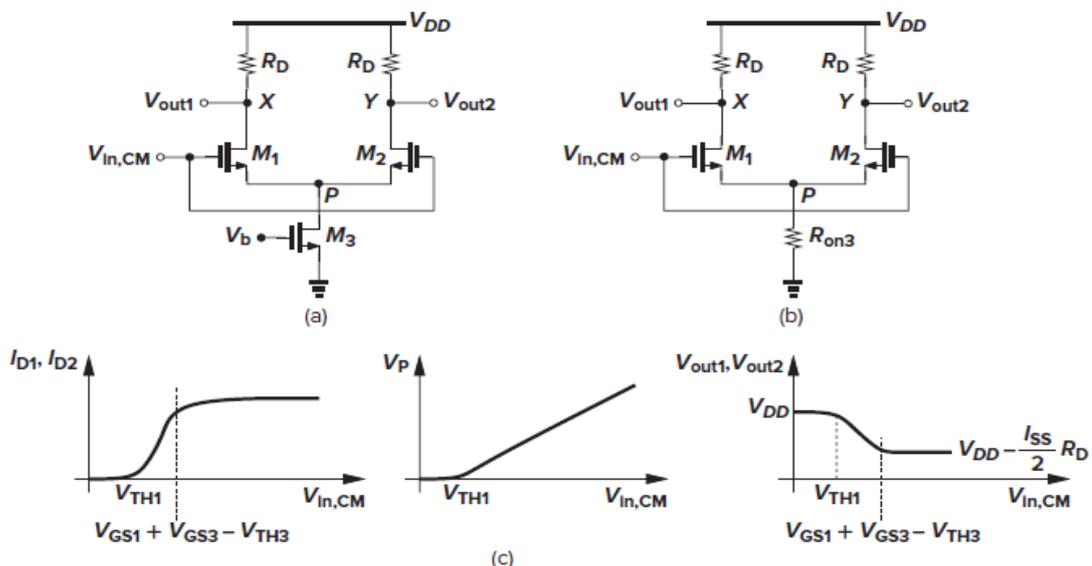
Considerando $V_{in,CM} = 0$, M_1 e M_2 estão desligados, pois o potencial de gate não é maior que o potencial da fonte, resultando em $I_{D3} = 0$. Isso indica que M_3 opera na região triodo profunda porque V_b é alto o suficiente para criar uma camada de inversão no transistor. Com $I_{D1} = I_{D2} = 0$, o circuito não amplifica e pode-se identificar que $V_{out1} = V_{out2} = V_{DD}$ e $V_P = 0$.

Por outro lado, considerando $V_{in,CM}$ com potencial maior que o potencial da fonte e substituindo M_3 por um resistor como na

Figura 6(b), entende-se que M_1 e M_2 ligam quando $V_{in,CM} \geq V_{TH}$. Aumentando o valor de $V_{in,CM}$, I_{D1} e I_{D2} continuam a aumentar, e V_P também aumenta. De certa forma, M_1 e M_2 constituem um seguidor de fonte, forçando V_P a rastrear $V_{in,CM}$ [2]. Para um $V_{in,CM}$ suficientemente alto, a tensão dreno-fonte de M_3 excede $V_{GS3} - V_{TH3}$, permitindo que o dispositivo opere em saturação. A corrente total através de M_1 e M_2 permanece então constante. Concluindo que para um funcionamento adequado, $V_{in,CM} \geq V_{GS1} + (V_{GS3} - V_{TH3})$ [2]. Sendo possível constatar através da

Figura 6(c).

Figura 6 – a) Par diferencial com fonte transistorizada; b) Par diferencial com fonte com resistor; c) Características de entrada-saída de modo comum.



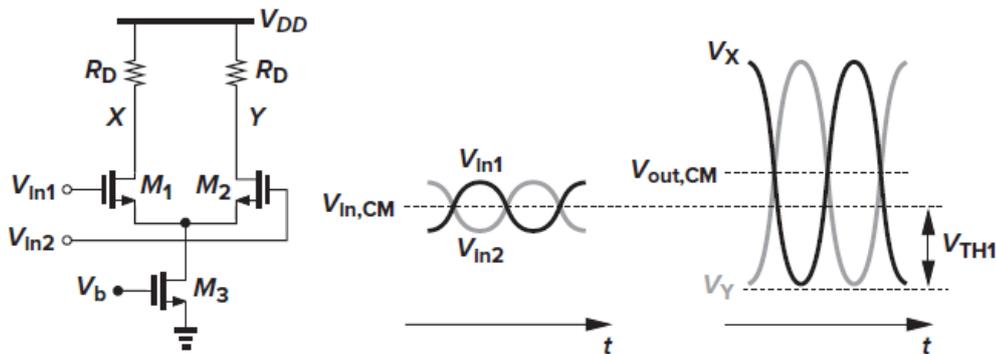
Fonte: Adaptado de [2]

Considerando que V_{out} e V_{out2} são relativamente constantes, espera-se que M_1 e M_2 entrem na região triodo se $V_{in,CM} > V_{out1} + V_{TH} = V_{DD} - R_D I_{SS}/2 + V_{TH}$, definindo então um limite superior no nível CM de entrada:

$$V_{GS1} + (V_{GS3} - V_{TH3}) \leq V_{in,CM} \leq \min \left[V_{DD} - R_D \frac{I_{SS}}{2} + V_{TH}, V_{DD} \right] \quad (1)$$

Supondo que o circuito seja polarizado com níveis de polarização de entrada e saída $V_{in,CM}$ e $V_{out,CM}$, respectivamente, e $V_{in,CM} \leq V_{out,CM}$. E considerando que o ganho de tensão seja alto, ou seja, a oscilação de entrada seja muito menor que a oscilação de saída. Para que M_1 e M_2 estejam saturados, cada saída pode variar entre V_{DD} e aproximadamente $V_{in,CM} - V_{TH}$, apresentado na Figura 7. Em outras palavras, quanto maior o nível CM de entrada, menor será o nível de oscilação de saída permitido. Por esta razão, é desejável trabalhar com um $V_{in,CM}$ relativamente baixo, mas, não inferior a $V_{GS1} + (V_{GS3} - V_{TH3})$. Tal escolha proporciona uma oscilação de saída pico a pico de terminação única de $V_{DD} - (V_{GS1} - V_{TH1}) - (V_{GS3} - V_{TH3})$.

Figura 7 – Variação na saída permitida de um par diferencial



Fonte: Adaptado de [2]

2.1.2 Análise Quantitativa

Para entender o comportamento de sinais grandes, considera-se o circuito da Figura 4 e, então pode-se verificar como determinar $V_{out1} - V_{out2}$ como função de $V_{in1} - V_{in2}$. Temos $V_{out1} = V_{DD} - R_{D1}I_{D1}$ e $V_{out2} = V_{DD} - R_{D2}I_{D2}$, ou seja, $V_{out1} - V_{out2} = R_{D2}I_{D2} - R_{D1}I_{D1} = R_D(I_{D2} - I_{D1})$, considerando $R_{D1} = R_{D2} = R_D$. Assim, é

possível calcular I_{D1} e I_{D2} em termos de V_{in1} e V_{in2} , assumindo que o circuito é simétrico, M_1 e M_2 estão saturados. Como a tensão no nó P é igual a $V_{in1} - V_{GS1}$ e $V_{in2} - V_{GS2}$, então

$$V_{in1} - V_{in2} = V_{GS1} - V_{GS2} \quad (2)$$

$$(V_{GS} - V_{TH})^2 = \frac{I_D}{\frac{1}{2}\mu_n C_{ox} \frac{W}{L}} \quad (3)$$

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} \quad (4)$$

$$V_{in1} - V_{in2} = \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \frac{W}{L}}} - \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \frac{W}{L}}} \quad (5)$$

Como se deseja calcular o diferencial de corrente de saída, eleva-se ao quadrado ambos os lados da expressão (5) e é lembrado que $I_{D1} + I_{D2} = I_{SS}$, pode-se continuar a obtenção das expressões.

$$(V_{in1} - V_{in2})^2 = \frac{2}{\mu_n C_{ox} \frac{W}{L}} (I_{SS} 2\sqrt{I_{D1}I_{D2}}) \quad (6)$$

$$\frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2})^2 - I_{SS} = -2\sqrt{I_{D1}I_{D2}} \quad (7)$$

Tirando a raiz quadrada de ambos os lados e notando que

$$4I_{D1}I_{D2} = (I_{D1} + I_{D2})^2 - (I_{D1} - I_{D2})^2 = I_{SS}^2 - (I_{D1} - I_{D2})^2 \quad (8)$$

obtemos

$$(I_{D1} - I_{D2})^2 = -\frac{1}{4}\left(\mu_n C_{ox} \frac{W}{L}\right)^2 (V_{in1} - V_{in2})^4 + I_{SS}\mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2})^2 \quad (9)$$

$$I_{D1} - I_{D2} = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2}) \sqrt{\frac{4I_{SS}}{\mu_n C_{ox} \frac{W}{L}} - (V_{in1} - V_{in2})^2} \quad (10)$$

$$I_{D1} - I_{D2} = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}} (V_{in1} - V_{in2}) \sqrt{1 - \frac{\mu_n C_{ox} \frac{W}{L}}{4I_{SS}} (V_{in1} - V_{in2})^2} \quad (11)$$

Podemos dizer que M_1 , M_2 e I_{SS} operam como uma fonte de corrente dependente de tensão, onde produz $I_{D1} - I_{D2}$ de acordo com as características de sinal grande apresentadas. Como esperado, $I_{D1} - I_{D2}$ é uma função ímpar de $V_{in1} - V_{in2}$, caindo para zero para $V_{in1} = V_{in2}$. Como $|V_{in1} - V_{in2}|$ aumenta de zero, $|I_{D1} - I_{D2}|$ aumenta porque o fator que precede a raiz quadrada aumenta mais rapidamente do que o argumento na raiz quadrada diminui.

Para que possa ser possível examinar mais a fundo a expressão (10), pode-se calcular a inclinação da característica, ou seja, o G_m equivalente de M_1 e M_2 . Denotando as grandezas diferenciais $I_{D1} - I_{D2}$ e $V_{in1} - V_{in2}$ por ΔI_D e ΔV_{in} , respectivamente, obtém-se

$$\frac{\partial \Delta I_D}{\partial \Delta V_{in}} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \frac{\frac{4I_{SS}}{\mu_n C_{ox} W/L} - 2\Delta V_{in}^2}{\sqrt{\frac{4I_{SS}}{\mu_n C_{ox} W/L} - \Delta V_{in}^2}} \quad (12)$$

Para $\Delta V_{in} = 0$, G_m é máximo e igual a $\sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}}$. Além disso, desde que $V_{out1} - V_{out2} = R_D \Delta I = -R_D G_m \Delta V_{in}$, pode-se reescrever o ganho de tensão diferencial para pequeno sinal do circuito na condição de equilíbrio como

$$|A_v| = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS} R_D} \quad (13)$$

Cada transistor tem uma corrente de polarização de $I_{SS}/2$ nesta condição, o fator $\sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}}$ é de fato igual à transcondutância de cada dispositivo, ou seja, $|A_v| = G_m R_D$. A Equação (12) também sugere que $G_m = 0$ quando $\Delta V_{in} = \sqrt{2I_{SS}/(\mu_n C_{ox} \frac{W}{L})}$. Com as expressões a seguir é possível ver que o valor de ΔV_{in} desempenha um papel importante no funcionamento do circuito [2]. Se recuperar a expressão (10) e considerar $(V_{in1} - V_{in2})^2 \ll 4I_{SS}/(\mu_n C_{ox} \frac{W}{L})$, então tem-se que

$$I_{D1} - I_{D2} = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}} (V_{in1} - V_{in2}) \quad (14)$$

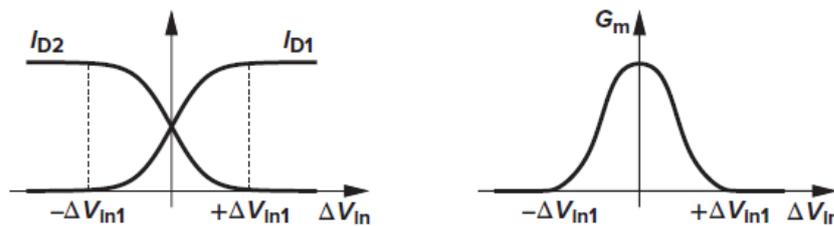
Para valores grandes de $|V_{in1} - V_{in2}|$ o argumento na raiz quadrada cai para zero para $\Delta V_{in} = \sqrt{4I_{SS}/(\mu_n C_{ox} \frac{W}{L})}$ e ΔI_D passa por zero em dois valores diferentes de ΔV_{in} , um efeito que não estava previsto pela análise qualitativa na Figura 5. Porém é uma conclusão incorreta. Lembrando que (10) foi derivada com a suposição de que M_1 e M_2 estão ativados. Entretanto, à medida que ΔV_{in} excede um limite, apenas um dos transistores é percorrido por I_{SS} , e o outro transistor fica desligado. Denotando

este valor por ΔV_{in1} , temos $I_{D1} = I_{SS}$ e $\Delta V_{in1} = V_{GS1} - V_{TH}$, pois M_2 está quase desligado. Segue então que

$$\Delta V_{in1} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \frac{W}{L}}} \quad (15)$$

Para $\Delta V_{in} > \Delta V_{in1}$, M_2 está desligado e (10) e (11) não são válidos. A Figura 8 representa o comportamento das expressões apresentadas.

Figura 8 – Variação das correntes de dreno e transcondutância geral de um par diferencial em relação a tensão de entrada



Fonte: Adaptado de [2]

O valor de ΔV_{in1} dado por (15) representa a entrada diferencial máxima que o circuito permite. É possível relacionar ΔV_{in1} com a tensão de overdrive de M_1 e M_2 em equilíbrio. Com entrada diferencial zero, $I_{D1} = I_{D2} = I_{SS}/2$, então

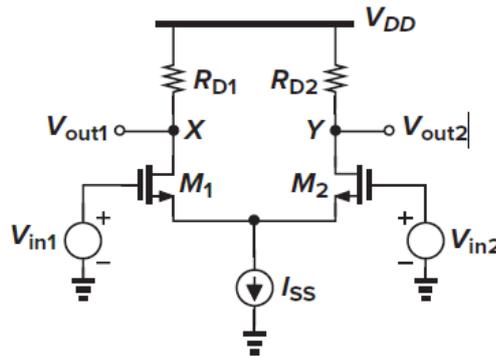
$$(V_{GS} - V_{TH})_{1,2} = \sqrt{\frac{I_{SS}}{\mu_n C_{ox} \frac{W}{L}}} \quad (16)$$

Dessa forma, ΔV_{in1} é igual a $\sqrt{2}$ vezes o overdrive de equilíbrio. Porém, enquanto se aumenta o ΔV_{in1} para tornar o circuito mais linear, conseqüentemente se aumenta a tensão de overdrive de M_1 e M_2 . Para um determinado I_{SS} , isso é possível apenas reduzindo W/L e, portanto, a transcondutância dos transistores, trocando o ganho de pequeno sinal por linearidade. Alternativamente, podemos aumentar o I_{SS} , mas à custa da energia [2].

Já para entender o comportamento de pequenos sinais em pares diferenciais, considera-se o circuito apresentado na Figura 9 com pequenos sinais V_{in1} e V_{in2} e assume-se que M_1 e M_2 estão saturados. Repassando o ganho diferencial de tensão apresentado em (13) e considerando que na proximidade do

equilíbrio cada transistor carrega aproximadamente $I_{SS}/2$, e o ganho se resume a $|A_v| = g_m R_D$, onde g_m é a transcondutância de M_1 e M_2 . É possível chegar à mesma conclusão por dois métodos diferentes, cada um fornecendo informações sobre a operação do circuito [2]. Assume-se também $R_{D1} = R_{D2} = R_D$.

Figura 9 – Par diferencial com entradas de pequenos sinais



Fonte: Adaptado de [2]

O primeiro método consiste em analisar o circuito da Figura 9 considerando as 2 fontes de sinal independentemente, assim, a saída pode ser verificada por superposição.

Considerando $V_{in2} = 0$, encontra-se o efeito de V_{in1} em X e Y, representado na Figura 10. V_X pode ser obtido verificando que M_1 forma um estágio de fonte comum com uma resistência de degeneração igual à impedância vista olhando para a fonte de M_2 [2]. Desprezando a modulação do comprimento do canal e o efeito de corpo, tem-se que $R_S = 1/g_{m2}$ [2] e

$$\frac{V_X}{V_{in1}} = \frac{-R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \quad (17)$$

V_Y pode ser obtido verificando que M_1 aciona M_2 como seguidor de fonte e substitui V_{in1} e M_1 por um equivalente de Thévenin, visto na Figura 11: a tensão de Thévenin $V_T = V_{in1}$ e a resistência $R_T = 1/g_{m1}$. Então, M_2 opera como um estágio de porta comum [2], exibindo um ganho igual a

$$\frac{V_Y}{V_{in1}} = \frac{R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \quad (18)$$

A partir de (17) e (18) obtém-se que o ganho geral de tensão para V_{in1} é

$$V_X - V_Y = \frac{-2R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} V_{in1} \quad (19)$$

com $g_{m1} = g_{m2} = g_m$, pode-se reduzir para

$$V_X - V_Y = -g_m R_D V_{in1} \quad (20)$$

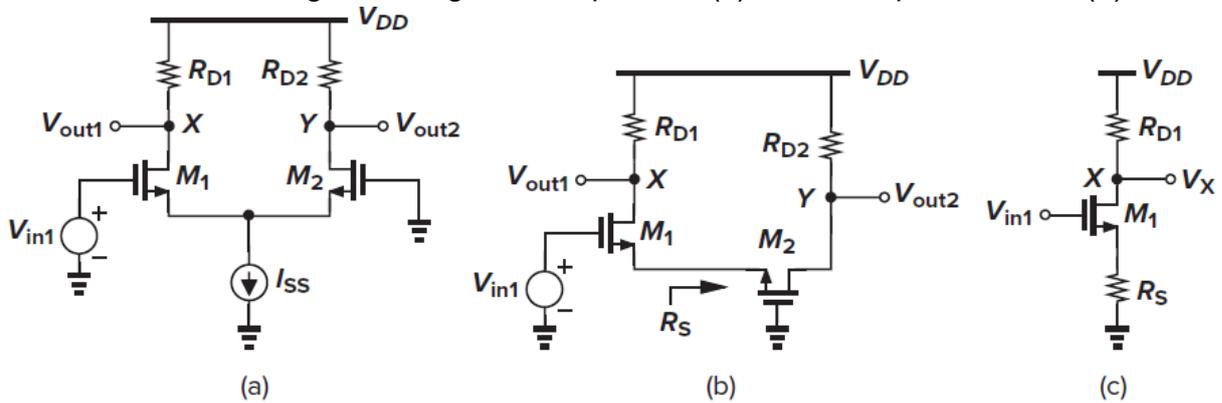
Considerando a simetria do circuito, os efeitos de V_{in2} em X e Y é idêntico ao de V_{in1} , mas com polaridade contrária:

$$V_X - V_Y = g_m R_D V_{in2} \quad (21)$$

Com a superposição, tem-se:

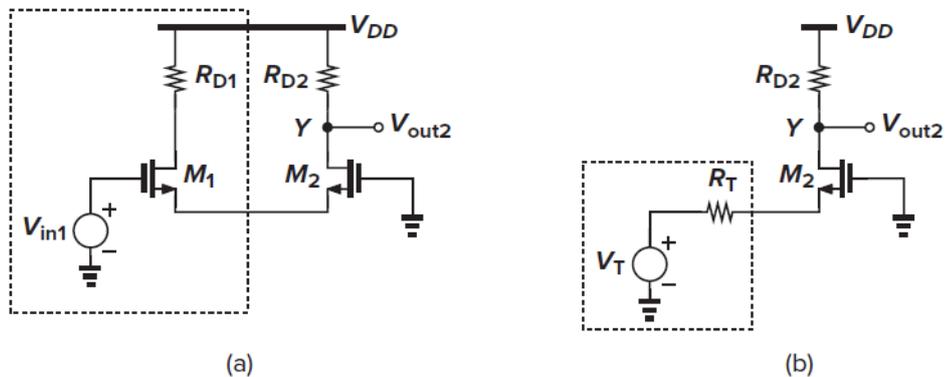
$$\frac{V_X - V_Y}{V_{in1} - V_{in2}} = -g_m R_D \quad (22)$$

Figura 10 – (a) Par diferencial detectando um sinal de entrada; (b) circuito (a) visto como um estágio CS degenerado por M2; (c) circuito equivalente de (b).



Fonte: Adaptado de [2]

Figura 11 – Equivalente de Thevenin



Fonte: Adaptado de [2]

Para fim didático, optou-se pela apresentação de um método de forma mais detalhada. enquanto o outro método pode ser revisado em [2].

2.1.3 Par diferencial Degenerado

A degeneração resistiva pode ser implantada também em um par diferencial com o intuito de melhorar a linearidade do circuito. Onde se tem de exemplo R_{S1} e R_{S2} melhorando o comportamento de M_1 e M_2 , como mostra o circuito e as curvas características de entrada-saída da Figura 12. Devido à degeneração, a tensão diferencial necessária para desligar um lado aumenta em magnitude [2]. Pode-se provar este ponto supondo que em $V_{in1} - V_{in2} = \Delta V_{in2}$, M_2 desligue e $I_{D1} = I_{SS}$. Então $V_{GS2} = V_{TH}$ e, portanto,

$$V_{in1} - V_{GS1} - R_S I_{SS} = V_{in2} - V_{TH} \quad (22)$$

$$V_{in1} - V_{in2} = V_{GS1} - V_{TH} + R_S I_{SS} \quad (23)$$

$$V_{in1} - V_{in2} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} W/L}} + R_S I_{SS} \quad (24)$$

lembrando que a primeira parcela à direita da expressão é ΔV_{in1} , reorganiza-se a expressão como

$$\Delta V_{in2} - \Delta V_{in1} = R_S I_{SS} \quad (25)$$

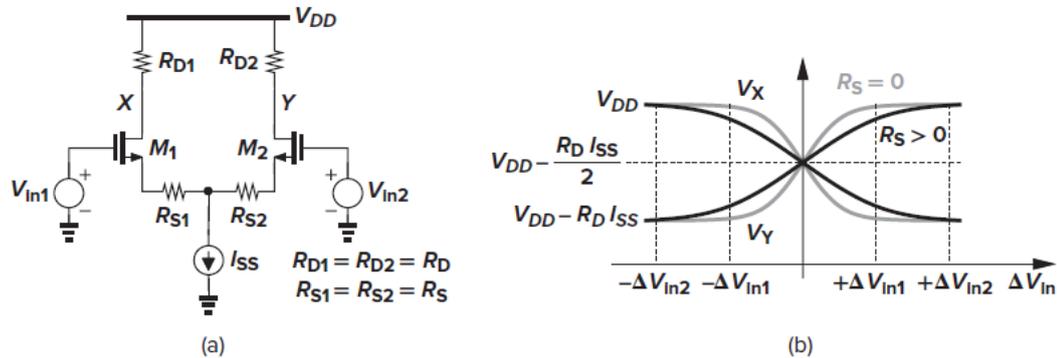
sugerindo que a faixa de entrada linear é ampliada em aproximadamente $\pm R_S I_{SS}$ [2].

O ganho de tensão de pequeno sinal do par diferencial degenerado pode ser obtido aplicando o conceito de meio circuito.

$$|A_v| = \frac{R_D}{1/g_m + R_S} \quad (26)$$

O circuito, portanto, troca ganho por linearidade, como pode-se observar nas inclinações das características na Figura 12(b). Também verifica-se que A_v é menos sensível às variações g_m neste caso [2].

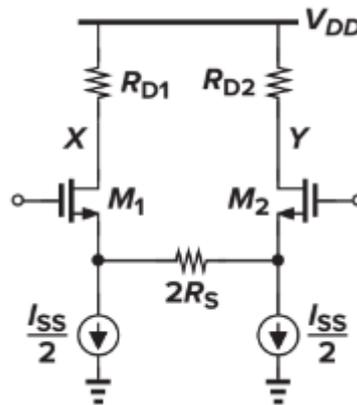
Figura 12 – a) Par diferencial degenerado e b) curvas características sem e com degeneração



Fonte: Adaptado de [2]

A oscilação diferencial máxima permitida da saída é reduzida por $R_S I_{SS}$, causada pelos resistores de degeneração, fazendo também com que reduza o ganho do circuito. Uma solução apresentada em [2] está retratada na Figura 13, onde a fonte de corrente é dividida por duas, de forma que em equilíbrio, nenhuma corrente flua totalmente pelo resistor de degeneração. Mais métodos de linearização de pares diferenciais podem ser encontrados em [2].

Figura 13 – Par diferencial degenerado com divisão de corrente



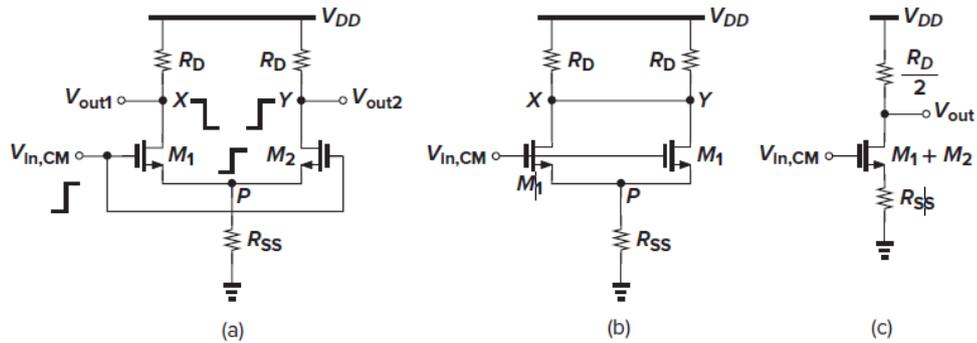
Fonte: Adaptado de [2]

2.1.4 Resposta em Modo Comum

Idealmente, os amplificadores diferenciais possuem a característica de suprimir todo efeito de perturbações em modo comum, no mundo ideal, porém como na realidade nenhum circuito consegue ser totalmente simétrico e a fonte de

corrente também não possui impedância de saída infinita, o resultado é que uma fração da variação de modo comum de entrada aparece na saída.

Figura 14 – a) Par diferencial com $V_{in,CM}$; b) versão simplificado de a) e c) circuito equivalente de b)



Fonte: Adaptado de [2]

Analisando o circuito da Figura 14 e considerando que seja um circuito simétrico, porém com a fonte de corrente com uma impedância de saída finita, nomeada como R_{SS} , tem-se que à medida que $V_{in,CM}$ muda, a tensão V_P também altera, fazendo com que as correntes de dreno de M_1 e M_2 aumentem e as tensões V_X e V_Y diminuam. Devido à simetria, $V_X = V_Y$ e os dois nós podem estar em curto-circuito, conforme Figura 14(b). Com esse curto, M_1 e M_2 ficam em paralelo, sendo possível “remodelar” o circuito, conforme Figura 14(c). Dessa forma, pode-se notar que o circuito final, constituído de $M_1 + M_2$ possui o dobro da largura e da corrente de polarização de cada um dos transistores, assim, o dobro de transcondutância. Pode-se obter o ganho de modo comum como

$$A_{v,CM} = \frac{V_{out}}{V_{in,CM}} \quad (27)$$

$$A_{v,CM} = \frac{R_D/2}{1/(2g_m)+R_{SS}} \quad (28)$$

onde g_m denota a transcondutância de cada um de M_1 e M_2 .

Vale ressaltar que em um circuito simétrico, as variações de modo comum de entrada perturbam os pontos de polarização, alterando o ganho de pequeno sinal e possivelmente limitando as oscilações de tensão de saída [2].

Como se sabe, o circuito não é totalmente simétrico, pois os dois lados do par diferencial sofrem pequenos descasamentos no processo de fabricação, dessa

forma, o efeito que isso causa é um problema maior, causando uma variação da saída diferencial como resultado de uma mudança de $V_{in,CM}$.

Para entender agora as variações de modo comum de entrada se o circuito for assimétrico e a fonte de corrente de cauda sofrer de uma impedância de saída finita, pode-se considerar o circuito da Figura 15 com $R_{D1} = R_D$ e $R_{D2} = R_D + \Delta R_D$, onde ΔR_D denota um pequeno descasamento e o circuito é simétrico [2]. Com M_1 e M_2 operando como um seguidor de fonte, há um aumento de V_P em

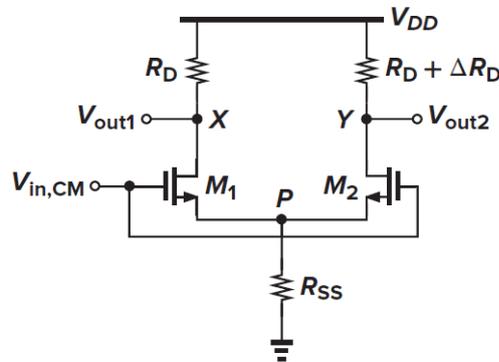
$$\Delta V_P = \frac{R_{SS}}{R_{SS} + \frac{1}{2g_m}} \Delta V_{in,CM} \quad (29)$$

Desde que M_1 e M_2 sejam iguais, I_{D1} e I_{D2} aumentam em $[g_m/(1 + 2g_m R_{SS})]\Delta V_{in,CM}$, mas V_X e V_Y aumentam de formas diferentes.

$$\Delta V_X = -\Delta V_{in,CM} \frac{g_m}{1 + 2g_m R_{SS}} R_D \quad (30)$$

$$\Delta V_Y = -\Delta V_{in,CM} \frac{g_m}{1 + 2g_m R_{SS}} (R_D + \Delta R_D) \quad (31)$$

Figura 15 – Circuito com descasamento

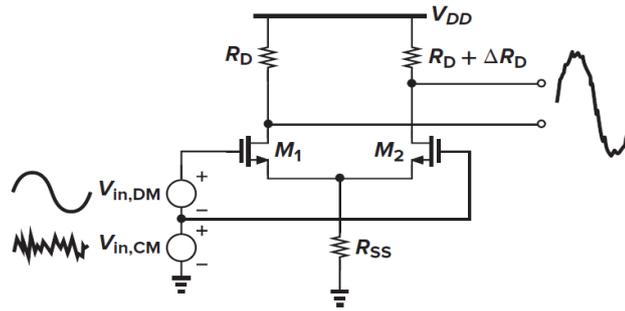


Fonte: Adaptado de [2]

Dessa forma, qualquer alteração de modo comum, introduz um componente diferencial na saída, sendo um problema crítico, pois havendo tanto um sinal diferencial quanto um ruído de modo comum, o sinal diferencial amplificado é corrompido pela mudança do modo comum [2]. Podendo ser visto na Figura 16.

Assim, nota-se como é importante para circuitos analógicos, levar em consideração a resposta de modo comum devido à esses descasamentos.

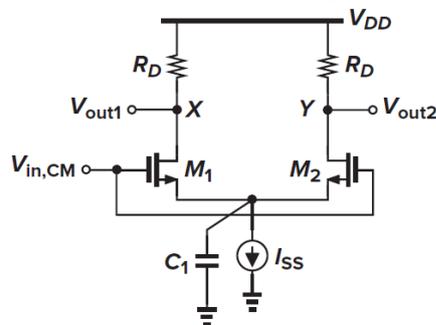
Figura 16 – Efeito do ruído de modo comum no circuito com descasamento



Fonte: Adaptado de [2]

Se faz necessário observar que à medida que a frequência da perturbação de modo comum aumenta, a capacitância total que desvia a fonte de corrente de cauda introduz variações maiores na corrente [2]. É possível verificar na Figura 17 que a capacitância parasita surge da própria fonte de corrente e também das junções *source-bulk* de M_1 e M_2 . E que também a assimetria dos resistores de carga e os transistores de entrada contribuem para o descasamento do circuito, sendo maior peso dos transistores.

Figura 17 – Par diferencial com representação da capacitância parasita



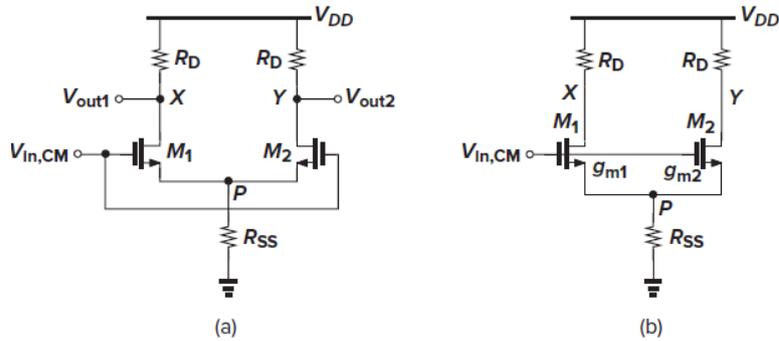
Fonte: Adaptado de [2]

Utilizando o circuito representado na Figura 18, é possível entender o impacto do descasamento entre M_1 e M_2 . Devido descasamento na dimensão e tensão V_{TH} , os dois transistores transportam correntes ligeiramente diferentes e exibem transcondutâncias desiguais. Considerando o circuito representado na Figura 18(b) para calcular o ganho de pequeno sinal de $V_{in,CM}$ para X e Y, escreve-se $I_{D1} = g_{m1}(V_{in,CM} - V_P)$ e $I_{D2} = g_{m2}(V_{in,CM} - V_P)$. Como $(I_{D1} + I_{D2})R_{SS} = V_P$,

$$(g_{m1} + g_{m2})(V_{in,CM} - V_P)R_{SS} = V_P \quad (32)$$

$$V_P = \frac{(g_{m1} + g_{m2})R_{SS}}{(g_{m1} + g_{m2})R_{SS} + 1} V_{in,CM} \quad (33)$$

Figura 18 – a) Par diferencial e b) Circuito de a) considerando descasamento dos transistores



Fonte: Adaptado de [2]

Podendo-se obter V_X e V_Y como

$$V_X = -g_{m1}(V_{in,CM} - V_P)R_D \quad (34)$$

$$V_X = \frac{-g_{m1}}{(g_{m1} + g_{m2})R_{SS} + 1} R_D V_{in,CM} \quad (35)$$

$$V_Y = -g_{m2}(V_{in,CM} - V_P)R_D \quad (36)$$

$$V_Y = \frac{-g_{m2}}{(g_{m1} + g_{m2})R_{SS} + 1} R_D V_{in,CM} \quad (37)$$

O diferencial da saída pode ser dado, então, por

$$V_X - V_Y = -\frac{g_{m1} - g_{m2}}{(g_{m1} + g_{m2})R_{SS} + 1} R_D V_{in,CM} \quad (38)$$

Pode-se dizer então que o circuito converte variações de entrada de modo comum em um erro diferencial por um fator igual [2] a

$$A_{CM-DM} = -\frac{\Delta g_m R_D}{(g_{m1} + g_{m2})R_{SS} + 1} \quad (39)$$

onde A_{CM-DM} é a conversão de modo comum para modo diferencial e $\Delta g_m = g_{m1} - g_{m2}$.

Sendo mais condizente utilizar a parte diferencial indesejada relacionada com a saída diferencial desejada resultante da amplificação do circuito, chamada de taxa de rejeição de modo comum:

$$CMRR = \left| \frac{A_{DM}}{A_{CM-DM}} \right| \quad (40)$$

Se apenas o descasamento g_m for considerada, pode-se utilizar a análise da Figura 10 para chegar em

$$|A_{DM}| = \frac{R_D}{2} \frac{g_{m1} + g_{m2} + 4g_{m1}g_{m2}R_{SS}}{1 + (g_{m1} + g_{m2})R_{SS}} \quad (41)$$

$$CMRR = \frac{g_{m1} + g_{m2} + 4g_{m1}g_{m2}R_{SS}}{2\Delta g_m} \quad (42)$$

$$CMRR \approx \frac{g_m}{\Delta g_m} (1 + 2g_m R_{SS}) \quad (43)$$

onde g_m denota o valor médio, ou seja, $g_m = (g_{m1} + g_{m2})/2$. Na prática, todos os descasamentos devem ser levados em conta. Observa-se também que $2g_m R_{SS} \gg 1$ e, portanto, $CMRR \approx 2g_m^2 R_{SS} / \Delta g_m [2]$.

2.2 DESCASAMENTO

Apesar das vantagens dos amplificadores totalmente diferenciais em relação à rejeição de ruído e desempenho em modo diferencial, um desafio significativo é o descasamento (mais conhecido como *mismatch*) entre os transistores MOS. Este fenômeno pode impactar negativamente a performance do amplificador, especialmente em relação a precisão e estabilidade.

O descasamento entre transistores CMOS ocorre devido a variações inevitáveis no processo de fabricação, que resultam em diferenças nas dimensões e características elétricas dos transistores. Estas variações podem incluir diferenças na largura e comprimento do canal, variações na dopagem e flutuações na espessura do óxido de porta. Essas discrepâncias, embora pequenas, podem causar desequilíbrios significativos no comportamento do amplificador totalmente diferencial.

O descasamento entre os transistores pode resultar em:

1. **Desbalanço do ponto de operação:** Pequenas diferenças nas características dos transistores podem levar a um desbalanceamento do ponto de operação, resultando em correntes de polarização diferentes e, conseqüentemente, em um desbalanceamento dos sinais diferenciais;

2. **Redução da rejeição de modo comum (CMRR):** O *descasamento* afeta a capacidade do amplificador de rejeitar sinais de modo comum, reduzindo o CMRR e, portanto, a eficácia do amplificador em ambientes ruidosos;
3. **Distorção de sinal:** As variações entre os transistores podem introduzir distorções nos sinais amplificados, afetando a linearidade e a precisão do amplificador.

Para reduzir os efeitos de descasamento em amplificadores totalmente diferenciais CMOS, várias técnicas podem ser empregadas, como:

1. **Cascode de transistores:** A utilização de circuito em cascode pode aumentar a imunidade a variações de processo, melhorando a precisão do amplificador;
2. **Layout simétrico:** Projetar o layout de forma simétrica ajuda a minimizar as variações sistemáticas e reduz os efeitos do descasamento;
3. **Feedback de modo comum ativo:** Implementar circuitos de feedback de modo comum que ajustam automaticamente os pontos de operação dos transistores para compensar variações de processo;
4. **Técnicas de correção de offset:** Empregar técnicas como ajuste de offset por capacitor ou por resistência pode ajudar a corrigir os desequilíbrios introduzidos pelo descasamento;
5. **Redução do descasamento entre componentes individuais:** O aumento da área dos elementos de circuito, tanto passivos quanto ativos, reduz o descasamento às custas de outras características, como o custo e a resposta em frequência

Dessa forma, entendendo as possíveis causas que acarretam o descasamento entre os transistores e utilizando soluções acessíveis, como técnicas de *design* e boas práticas para o layout, é possível mitigar significativamente seus efeitos, assegurando um desempenho mais robusto e preciso.

Há duas formas de estudar o descasamento, uma delas é identificar e formular os mecanismos que levam ao descasamento entre dispositivos, e a outra é analisar o efeito dos descasamentos dos dispositivos no desempenho dos circuitos

[2]. Entretanto, a primeira é muito complexa e depende muito da tecnologia de fabricação e do layout, muitas vezes exigindo medições reais [2]. Um exemplo descrito em [2] é que o descasamento alcançável entre capacitores é normalmente estimada em 0,1%, mas esse valor não é derivado de nenhuma quantidade fundamental.

Assumindo dois transistores nominalmente idênticos, pode-se verificar pela expressão da corrente de dreno de um MOSFET em saturação $I_D = (1/2)\mu C_{ox}(W/L)(V_{GS} - V_{TH})^2$ que havendo qualquer variação em qualquer um dos termos, μ, C_{ox}, W, L e V_{TH} , haverá descasamento entre as correntes de dreno, para um mesmo V_{GS} , ou terá variação da tensão de porta V_{GS} para a mesma corrente de dreno. Todos os descasamentos diminuem com o aumento de área WL , ou seja, aumentando W , há redução nos descasamentos relativos, $\Delta W/W$ e $\Delta L/L$. Isso ocorre porque à medida que WL aumenta, as variações aleatórias experimentam uma “média” maior, diminuindo assim em magnitude [2]. Verificando a Figura 19 e visualizando o transistor como a largura W sendo uma somatória de transistores menores em paralelo com largura W_0 , conforme Figura 20, pode-se obter uma redução no descasamento no comprimento L , sendo $\Delta L_2 < \Delta L_1$. Então, pode-se também descrever o comprimento equivalente como $L_{eq} \approx (L_1 + L_2 + \dots + L_n)/n$. Em [2] é apresentado que a variação global é dada por

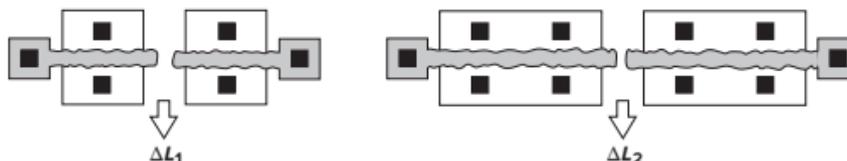
$$\Delta L_{eq} \approx \frac{(\Delta L_1^2 + \Delta L_2^2 + \dots + \Delta L_n^2)^{1/2}}{n} \quad (44)$$

$$\Delta L_{eq} = \frac{(n\Delta L_0^2)^{1/2}}{n} \quad (45)$$

$$\Delta L_{eq} = \frac{\Delta L_0}{\sqrt{n}} \quad (46)$$

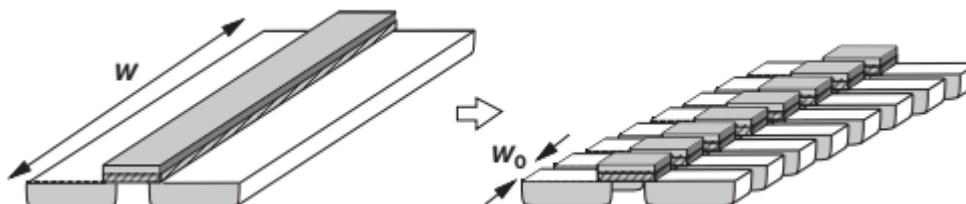
onde ΔL_0 é a variação estatística do comprimento de um transistor com largura W_0 . A Equação (3) revela que para um dado W_0 , à medida que n aumenta, a variação de L_{eq} diminui [2].

Figura 19 – Redução no descasamento de comprimento devido ao aumento de largura



Fonte: Adaptado de [2]

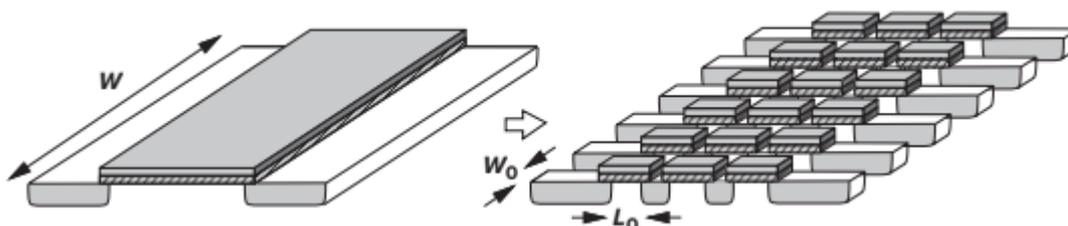
Figura 20 – MOSFET largo visto como um arranjo de transistores menores em paralelo



Fonte: Adaptado de [2]

Como mencionado anteriormente, à medida que a área do dispositivo aumenta, μC_{ox} e V_{TH} sofrem menos descasamento também. O que foi considerado para largura de transistor, então, se estende para o comprimento da mesma forma, visto na Figura 21, com W_0 e L_0 exibindo $(\mu C_{ox})j$ e $(V_{TH})j$ para cada partição. À medida que o número de transistores unitários aumenta, μC_{ox} e V_{TH} experimentam uma média maior, levando a um menor descasamento entre dois transistores grandes [2].

Figura 21 – MOSFET maior visto como um arranjo de transistores menores



Fonte: Adaptado de [2]

Em [2], as observações qualitativas declaradas acima, foram apresentadas as expressões abaixo, onde foram verificadas matematicamente e experimentalmente em outros artigos [13] e [14]

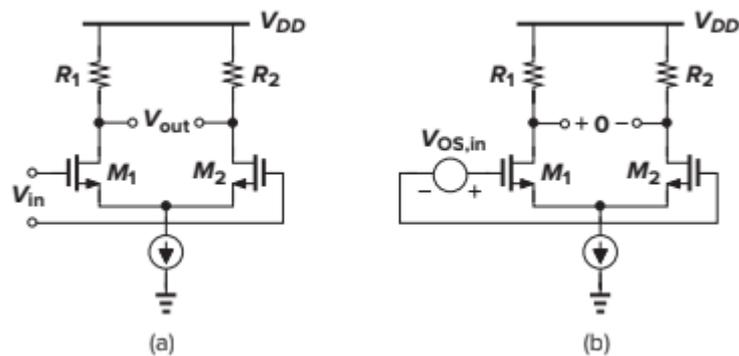
$$\Delta V_{TH} = \frac{A_{VTH}}{\sqrt{WL}} \quad (47)$$

$$\Delta \left(\mu C_{ox} \frac{W}{L} \right) = \frac{A_K}{\sqrt{WL}} \quad (48)$$

sendo A_{VTH} e A_K fatores de proporcionalidade e obtidos a partir de medições [2].

Para entender um dos efeitos do descasamento, considera-se o par diferencial da Figura 22, primeiramente, sendo simétricos, então com $V_{in} = 0$, $V_{out} = 0$. Porém havendo descasamento $V_{out} \neq 0$. Sendo essa tensão de saída denominada como a tensão de offset. Na prática é possível verificar a tensão de offset como sendo a tensão imposta à entrada para que o nível de tensão da saída seja igual a 0.

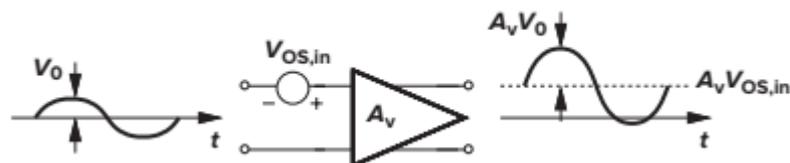
Figura 22 – a) Par diferencial com offset medido na saída e b) offset referenciado à entrada



Fonte: Adaptado de [2]

Outro fator que deve-se levar em consideração é que a tensão de offset é amplificada pelo ganho de circuito amplificador, podendo levar à uma região não linear de operação. Um exemplo é demonstrado na Figura 23.

Figura 23 – Efeito do offset em um amplificador



Fonte: Adaptado de [2]

Considerando a Figura 8(b) e assumindo que os transistores de entrada e os resistores de carga sofrem descasamento, é possível calcular a tensão de offset de um par diferencial. Em [2] encontra-se em detalhes, onde evidencia-se primeiro que $V_{TH1} = V_{TH}$, $V_{TH2} = V_{TH} + \Delta V_{TH}$; $(W/L)_1 = W/L$, $(W/L)_2 = W/L + \Delta(W/L)$; $R_1 = R_D$, $R_2 = R_D + \Delta R$. Por simplicidade, descasamentos em $\mu_n C_{ox}$ são negligenciadas. Para $V_{out} = 0$, devemos ter $I_{D1}R_1 = I_{D2}R_2$, concluindo que I_{D1} não pode ser igual a I_{D2} . Assim, assumimos que $I_{D1} = I_D$ e $I_{D2} = I_D + \Delta I_D$. Como $V_{OS,in} = V_{GS1} - V_{GS2}$, temos

$$V_{OS,in} = \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_1}} + V_{TH1} - \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_2}} - V_{TH2} \quad (49)$$

$$= \sqrt{\frac{2}{\mu_n C_{ox}}} \left[\sqrt{\frac{I_D}{W/L}} - \sqrt{\frac{I_D + \Delta I_D}{W/L + \Delta(W/L)}} \right] - \Delta V_{TH} \quad (50)$$

$$= \sqrt{\frac{2}{\mu_n C_{ox}}} \sqrt{\frac{I_D}{W/L}} \left[1 - \sqrt{\frac{1 + \frac{\Delta I_D}{I_D}}{1 + \frac{\Delta(W/L)}{W/L}}} \right] - \Delta V_{TH} \quad (51)$$

Assumindo que $\Delta I_D/I_D$ e $\Delta(W/L)/(W/L) \ll 1$ e, notando que $\epsilon \ll 1$, pode-se escrever $\sqrt{1 + \epsilon} \approx 1 + \epsilon/2$ e $(\sqrt{1 + \epsilon})^{-1} \approx 1 - \epsilon/2$. Dessa forma, pode-se reescrever a expressão

$$V_{OS,in} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} \left\{ 1 - \left(1 + \frac{\Delta I_D}{2I_D} \right) \left[1 - \frac{\Delta(W/L)}{2(W/L)} \right] \right\} - \Delta V_{TH} \quad (52)$$

$$= \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} \left[\frac{-\Delta I_D}{2I_D} - \frac{\Delta(W/L)}{2(W/L)} \right] - \Delta V_{TH} \quad (53)$$

onde o produto de dois valores pequenos é desprezado e lembrando-se que $I_{D1}R_1 = I_{D2}R_2$ e, portanto, $I_D R_D = (I_D + \Delta I_D)(R_D + \Delta R_D) \approx I_D R_D + R_D \Delta I_D + I_D \Delta R_D$. Dessa forma, $\Delta I_D/I_D \approx -\Delta R_D/R_D$ e, reescreve-se a expressão novamente

$$V_{OS,in} = \frac{1}{2} \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} \left[\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{2(W/L)} \right] - \Delta V_{TH} \quad (54)$$

Sendo que a quantidade da raiz quadrada é aproximadamente igual à tensão de *overdrive* de equilíbrio de cada transistor, e

$$V_{OS,in} = \frac{V_{GS} - V_{TH}}{2} \left[\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{2(W/L)} \right] - \Delta V_{TH} \quad (55)$$

A equação (55) é um resultado importante [2], revelando a dependência de V_{OS} em descasamentos de dispositivos e condições de polarização. Pode-se observar que a contribuição do descasamento do resistor de carga e do

descasamento da dimensão do transistor aumenta com o overdrive de equilíbrio e o descasamento de tensão limite é diretamente referida à entrada. Assim, é possível entender que é desejável minimizar $V_{GS} - V_{TH}$ diminuindo a corrente de cauda ou aumentando as larguras dos transistores. E como os descasamentos são variáveis estatísticas independentes, pode-se expressar (55) como

$$V_{OS,in}^2 = \left(\frac{V_{GS} - V_{TH}}{2} \right) \left\{ \left(\frac{\Delta R_D}{R_D} \right)^2 + \left[\frac{\Delta(W/L)}{2(W/L)} \right]^2 \right\} - \Delta V_{TH}^2 \quad (56)$$

onde as quantidades quadradas representam desvios padrão. Para se ter um melhor entendimento sobre o efeito do deslocamento, é possível estabelecer uma analogia entre deslocamento e ruído. Com as duas entradas de um par diferencial curto circuitadas, a tensão de saída apresenta um ruído finito, ou seja, uma tensão que varia com o tempo. Pode-se dizer que a tensão de deslocamento de um par diferencial se assemelha a um componente de ruído de frequência muito baixa, variando tão lentamente que parece constante nas nossas medições. Vendo os offsets como fontes de ruído incorporado ao circuito, é possível representar o offset de dois transistores nominalmente idênticos por uma fonte de tensão igual a (56) em série com a porta de um dos transistores [2].

2.3 TÉCNICA PARA REDUÇÃO DE DESCASAMENTO

É incontestável a vantagem de se usar circuitos diferenciais quando se trata de rejeição de ruído, faixa dinâmica e velocidade para soluções analógicas, ou até mesmo digitais [5]. Se fosse possível obter dois pares de transistores idênticos, conseguiríamos um amplificador diferencial com capacidade infinita de rejeitar ruídos que são aplicados em ambas as entradas. As abordagens clássicas para reduzir o descasamento entre os transistores MOS envolvem soluções de layout, como centróide comum e elementos fictícios, para mitigar componentes sistemáticos e ampliar as áreas do canal [2] para reduzir os aleatórios. A ampliação do canal é uma aplicação estrita do modelo de dependência de área de descasamento discutido na próxima seção, que basicamente sugere que os projetistas devem quadruplicar a área para reduzir pela metade o descasamento. Assim, reduções de descasamento de duas ou três ordens de grandeza podem tornar-se proibitivas, não apenas devido ao aumento da área, mas também devido à consequente redução da largura de banda à medida que as capacitâncias da porta também aumentam.

Uma abordagem engenhosa para evitar, principalmente, a compensação entre velocidade e descasamento em ADCs flash foi proposta em [7]. A ideia consiste em fabricar comparadores redundantes (pequenos) e, posteriormente, escolher aqueles com melhor correspondência, em vez de fazer a ampliação dos transistores. Os mesmos autores apresentaram melhorias em suas ideias originais em [8], incluindo uma análise abrangente de rendimento e redundância. Este conceito foi estendido para pares diferenciais e amplificadores de capacitores chaveados por Gupta e Rincon-Mora [9]. Eles propuseram também um algoritmo de otimização para a técnica e demonstraram que o descasamento diminui exponencialmente à medida que a área aumenta com sua “metodologia adaptativa de ajuste pós-silício”. Esses artigos [7], [8] e [9] tiveram o mérito de provar que a redundância é muito mais vantajosa para reduzir imprecisões de descasamento, em termos de largura de banda e área. Porém, em todos eles a redundância é obtida através de elementos estatisticamente não correlacionados, ou seja, sua covariância é zero [10]. Neste trabalho, a proposta é ampliar os ganhos potenciais de redundância através da constituição de pares correlacionados, fornecendo um maior número de combinações com menor área total do canal.

2.3.1 Dependência da precisão do casamento na área do dispositivo

Na prática, os transistores MOS que são projetados com determinada largura e comprimento de canal que são na teoria nominalmente iguais e são submetidos às mesmas condições de polarização, exibem descasamentos de corrente de dreno ($\Delta I_D/I_D$) seguindo uma distribuição normal $N(0, \sigma^2 \Delta I_D/I_D)$. De acordo com Pelgrom et al. [11], o desvio padrão do descasamento atual ($\sigma \Delta I_D/I_D$) pode ser estimado como

$$\sigma_{\Delta I_D/I_D}^2 = \frac{A_{\Delta I_D/I_D}}{\sqrt{WL}} \quad (57)$$

onde

$$A_{\Delta I_D/I_D} = \sqrt{A_{\beta}^2 + \left(\frac{g_m}{I_D}\right)^2 A_{V_{th}}^2} \quad (58)$$

A_β e V_{th} são grandezas características do processo relacionadas à variabilidade do fator de corrente e da tensão limite, respectivamente, e g_m é a transcondutância do transistor.

De acordo com os modelos experimentais de descasamento [11], [12], as estatísticas mostram que, para um conjunto de dispositivos que apresentam descasamentos de corrente com uma distribuição normal e um desvio padrão de, por exemplo $\sigma 2\Delta I_D/I_D = 0,01$ (1%), a probabilidade de encontrar magnitudes de corrente desviando menos de 3% ($|\Delta I_D|/I_D < 0,03$) da média é de 99,73% (relacionado a $\pm 3\sigma$ em distribuições normais). Para reduzir este desvio para metade, ou seja, para duplicar a precisão da correspondência, a área do canal deve ser aumentada quatro vezes. Esta propriedade estatística é a base para a abordagem clássica para reduzir o descasamento, uma vez que a precisão da correspondência é aumentada por um fator de $\sqrt{\alpha}$ quando a área ativa é aumentada α vezes. Por outro lado, estatísticas de distribuição normal podem ser empregadas para calcular a probabilidade (p) de obter um descasamento de corrente menor que um certo valor x (ou seja, $|\Delta I_D|/I_D < x$) em um par de dispositivos com uma área $W.L$ [5],

$$p = erf\left(\frac{x\sqrt{WL}}{\sqrt{2}A\Delta I_D/I_D}\right) \quad (59)$$

Assim, para um par de dispositivos com tamanho de $10\mu m^2$, com $A\Delta I_D/I_D = 1\%\mu m$, a probabilidade de se obter um descasamento de corrente menor que 0,1% é de 24,8%. Por outro lado, se for necessário um nível de confiança ou rendimento muito mais elevado, por exemplo, 99,73%, é necessário um par de dispositivos com uma área de canal de $900\mu m^2$ (90x maior). Alternativamente, para o mesmo rendimento de 99,73%, o descasamento atual do par grande de $10\mu m^2$ é tão baixa quanto 0,95% [5].

2.3.2 Método de pares não correlacionados

Seguindo o raciocínio anterior, se a probabilidade de obter um descasamento de corrente menor que 0,1% for de 24,8%, espera-se que pelo menos um par de transistores atenda a este critério quando 4 pares forem construídos. A estratégia de construir N elementos de correspondência independentes e escolher aquele que satisfaça o critério de precisão foi proposta

pela primeira vez e descrita em [7], e sua eficácia foi demonstrada melhorando a precisão de amplificadores diferenciais [8] e espelhos de corrente [9].

Considerando que todos os transistores que formam os pares independentes possuem áreas de canal idênticas e estão sujeitos aos mesmos mecanismos aleatórios, o descasamento em um conjunto de N pares, com rendimento Y, pode ser calculado a partir das estatísticas de N distribuições normais independentes e idênticas como

$$\frac{\Delta I_D}{I_D} | N = \sigma_{\Delta I_D / I_D}^2 \sqrt{2} \operatorname{erf}^{-1}(1 - (1 - Y)^{1/N}) \quad (60)$$

Ao definir a melhoria na precisão do descasamento (A_{imp}) como a razão entre o descasamento do par clássico ($\Delta I |_{N=1}$) e o descasamento em um conjunto de N pares ($\Delta I |_N$) para um determinado rendimento, a melhoria na precisão do descasamento é

$$A_{imp} | Y\% = \frac{\operatorname{erf}^{-1}(Y)}{\operatorname{erf}^{-1}(1 - (1 - Y)^{1/N})} \quad (61)$$

Para um rendimento de 99,73% ($\pm 3\sigma$),

$$A_{imp} |_{99,73} = \frac{3}{\sqrt{2} \operatorname{erf}^{-1}(1 - (1 - 0,9973)^{1/N})} \quad (62)$$

Assim, a melhoria depende apenas do N e do rendimento requerido. Além disso, o número de pares necessários para atingir um certo descasamento x com um determinado nível de confiança, ou rendimento do circuito (Y), é calculado como

$$N = \frac{\log(1 - Y)}{\log(1 - p)} \quad (63)$$

onde p é dado por (59). Assim a equação (63) pode ser expressa em relação a melhoria de precisão,

$$N = \frac{\log(1 - Y)}{\log\left(1 - \operatorname{erf}\left(\frac{\operatorname{erf}^{-1}(Y)}{A_{imp}}\right)\right)} \quad (64)$$

Assim, aplicando (63) no exemplo citado anteriormente, pode-se verificar que N=21 pares de dispositivos de $10\mu\text{m}^2$ são necessários para atingir um descasamento de corrente menor que 0,1% com rendimento de 99,73%. Isso representa uma redução de 4,2 vezes na área do canal em relação à abordagem clássica ($2 \times 21 \times 10 \mu\text{m}^2$ versus $2 \times 900 \mu\text{m}^2$). Essa seria a economia de área para todas as técnicas de correspondência que dependem de pares não correlacionados,

conforme relatado por [7], [8] e [9], excluindo a área necessária para a implementação do algoritmo de busca.

2.3.3 Método de pares correlacionados

A técnica apresentada para melhorar o equilíbrio entre precisão de área segue uma estratégia semelhante à discutida no item anterior. A diferença fundamental é que a técnica depende de pares correlacionados em vez de pares independentes (ou não correlacionados).

No método proposto, os N pares necessários são implementados escolhendo k unidades de um conjunto maior de n transistores, k vezes mais estreito que a largura de canal projetada (W_{eq}). Em outras palavras, a largura equivalente desejada, W_{eq} , (projetada para ganho, largura de banda, potência, etc...) é estabelecida por k dispositivos conectados em paralelo escolhidos de um conjunto de n dispositivos, cada um deles tendo uma largura de $W = W_{eq}/k$ [5].

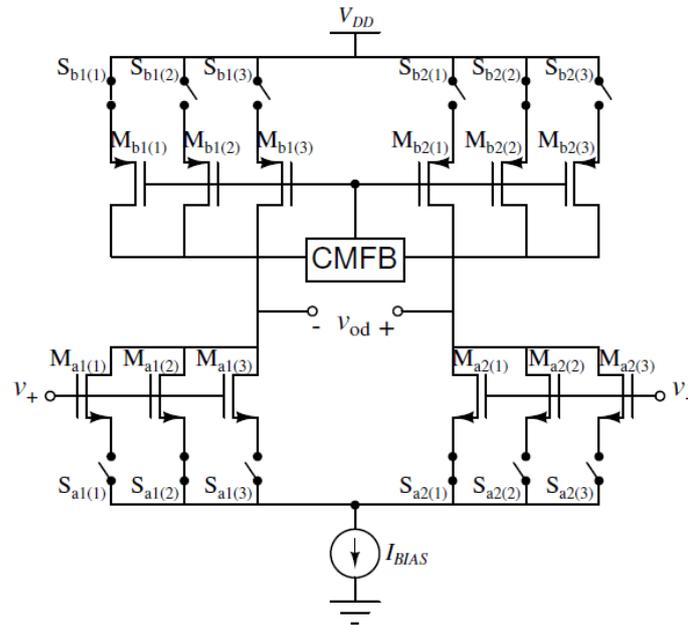
O conceito é apresentado na Figura 24, onde o dispositivo resultante em cada lado do par correspondente é constituído por k dispositivos escolhidos entre dois conjuntos de n dispositivos, ($M1(1...n)$ para o lado esquerdo e $M2(1...n)$ para a direita). Diferentes combinações são definidas ligando ou desligando os interruptores $S1(1)$ a $S2(n)$, proporcionando assim

$$N = \binom{n}{k}^2 = \left(\frac{n!}{k!(n-k)!} \right)^2 \quad (65)$$

possíveis combinações de pares. A área total do canal em cada lado do par (excluindo as chaves) é dada por

$$A_{canal} = \frac{nW_{eq}L}{k} \quad (66)$$

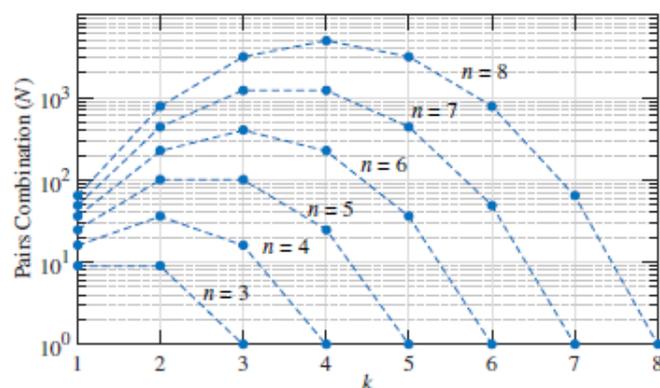
Figura 24 – Modelo proposto para aplicação de técnica de redução descasamento



Fonte: Elaborado pela autora

Com a Figura 25, pode-se verificar que a implementação de menos de uma dúzia de dispositivos em cada lado do par é suficiente para fornecer milhares de combinações. O maior número de combinações para um determinado n é alcançado quando $k = n/2$. Porém, cada elemento está presente em combinações $(k/n) \times N$, causando uma correlação entre os pares gerados. Esta correlação faz com que o número de combinações necessárias, para alcançar a melhoria desejada do descasamento, seja maior que o dado por (64).

Figura 25 – Número de combinações de pares disponíveis (N) em função de k para vários valores de n .



Fonte: Adaptado de [5]

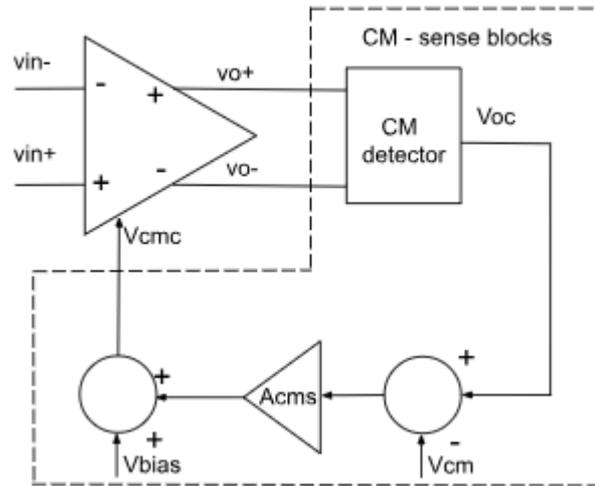
A melhoria da precisão deste método pode ser calculada a partir das estatísticas de uma distribuição normal multivariada com uma matriz de covariância $N \times N$ [5]. Este cálculo é computacionalmente exigente mesmo para valores pequenos de N . Portanto, pode ser calculado usando o método de Monte Carlo. No entanto, a melhoria da precisão depende apenas dos valores de k , n e do rendimento requerido.

3 FDA COM CIRCUITO CMFB

Para explicar melhor o funcionamento do circuito completo proposto, como foi testado e os benefícios de seu uso, pode-se fazer a análise por blocos. Os amplificadores totalmente diferenciais (FDA) são amplamente utilizados em circuitos integrados de sinais mistos porque este tipo de circuito apresenta diversas vantagens, se comparado aos amplificadores *single-ended*, como aumento da imunidade a ruídos externos, aumento da oscilação da tensão de saída para um determinado barramento de tensão e redução de harmônicos de ordem par [1]. Necessita também um bloco extra, chamado de circuito de feedback de modo comum (CMFB), para garantir o correto funcionamento do amplificador [1]. O circuito CMFB fará com que a tensão de modo comum de saída em toda a faixa de frequência operacional do amplificador permaneça conforme projetado [1]. Ele opera independentemente da amplitude e do nível DC do sinal de entrada, bem como do fator de feedback externo [1]. Um bloco conceitual de feedback de modo comum de um amplificador totalmente diferencial é apresentado na Figura 26.

Pelo modelo proposto apresentado é possível identificar que a tensão de modo comum de saída do FDA é controlada pela tensão V_{cmc} (tensão de controle de modo comum) proveniente do bloco CMFB. Também é possível identificar um bloco detector de modo comum conectado às saídas do FDA. Ele detecta a saída de modo comum (V_{oc}) calculando a média das tensões de saída v_{o+} e v_{o-} . A diferença entre V_{oc} e o modo comum desejado (V_{cm}) é amplificada por A_{cms} e, em seguida, realimentada para o AmpOp.[1]

Figura 26 – Modelo conceitual de um FDA com CMFB

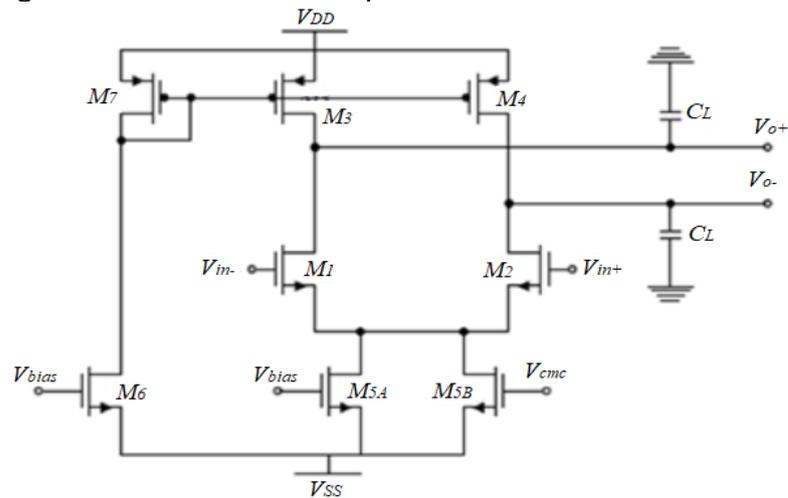


Fonte: Adaptado de [1]

Os esquemas do amplificador e do CMFB são mostrados na Figura 27 e Figura 28, respectivamente, baseados nos modelos apresentados em [1].

No circuito do material estudado os valores nominais de V_{bias} e V_{cmc} utilizados foram de 167,045mV e 3,07mV, respectivamente. Os tamanhos dos transistores dos blocos FDA e CMFB e a corrente de polarização I_0 podem ser obtidos em [3], citado também em [1], onde pode-se obter um estudo mais aprofundado.

Figura 27 – Modelo de amplificador totalmente diferencial



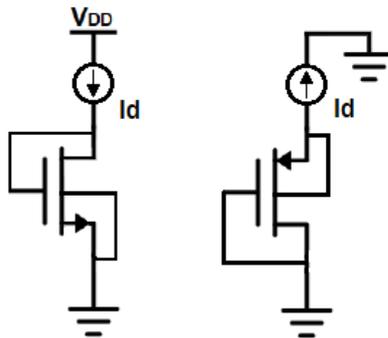
Fonte: Adaptado de [1]

4 RESULTADOS

O intuito do trabalho atual é avaliar a técnica de redução de descasamento introduzida em [5] utilizando o projeto do FDA proposto em [1] e apresentado no capítulo anterior, para obter um circuito com um melhor casamento entre os braços do circuito, mas também ocupando a menor área possível. Juntamente com a revisão bibliográfica apresentada no capítulo 2 e também tomado como base a teoria de [4].

Primeiro, usou-se o modelo apresentado na Figura 29, para projetar o circuito do par diferencial inicial com escolha de valores de ganho e W/L, que gerassem um ganho mínimo de 6, mas tentando manter uma área pequena e dentro das limitações da tecnologia, conforme Tabela 1 e Tabela 2.

Figura 29 – Modelo para cálculo de ganho e dimensões iniciais do circuito



Fonte: Elaborado pela autora

Foram testados diversos valores de W e L, considerando corrente de 20nA. Optou-se pela apresentação de alguns valores para uso de futuras pesquisas também e com o critério de ganho mencionado anteriormente decidiu-se iniciar o circuito com os valores de W e L destacados na tabela.

Através do cálculo do ganho teórico, considerando os valores escolhidos na tabela, para se ter o maior ganho possível acima de um mínimo de 30, obteve-se:

$$A_V = \frac{g_{mN}}{g_{dsP} + g_{dsN}} = \frac{5,65 * 10^{-7}}{1,68 * 10^{-8}} = 33,7$$

Tabela 1 – Possíveis valores para os transistores PMOS

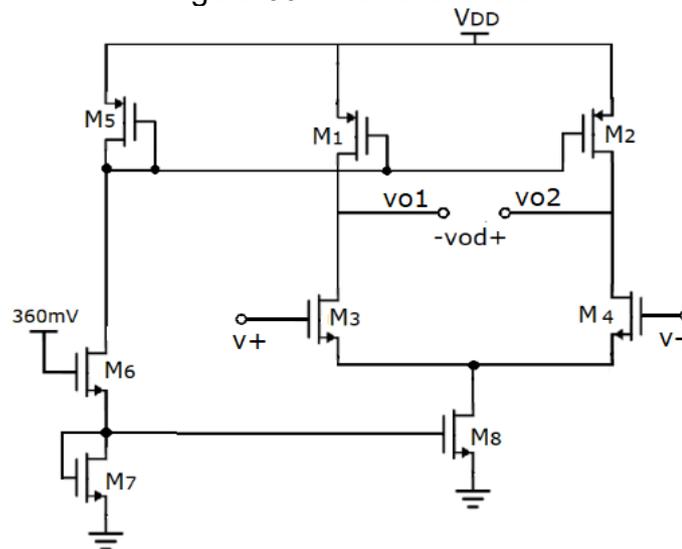
| W (nm) | L (nm) | W/L | A (nm ²) | Id (A) | gm | gds | vth (V) | ro | gm/id | Av |
|-------------|-------------|----------|----------------------|-----------------|-----------------|-----------------|------------------|-----------------|-----------------|-----------------|
| 200 | 800 | 0.25 | 1.60E+05 | 2.00E-08 | 5.06E-07 | 5.85E-09 | -4.06E-01 | 1.71E+08 | 2.53E+01 | 8.64E+01 |
| 400 | 800 | 0.4 | 4.00E+05 | 2.00E-08 | 5.24E-07 | 6.20E-09 | -4.10E-01 | 1.61E+08 | 2.62E+01 | 8.45E+01 |
| 1000 | 1000 | 1 | 1.00E+06 | 2.00E-08 | 5.51E-07 | 7.85E-09 | -4.26E-01 | 1.27E+08 | 2.75E+01 | 7.01E+01 |
| 2000 | 1000 | 2 | 2.00E+06 | 2.00E-08 | 5.75E-07 | 7.67E-09 | -4.23E-01 | 1.30E+08 | 2.88E+01 | 7.50E+01 |

Tabela 2 – Possíveis valores para os transistores NMOS

| W (nm) | L (nm) | W/L | A (nm ²) | Id (A) | gm | gds | vth (V) | ro | gm/id | Av |
|-------------|-------------|----------|----------------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 200 | 800 | 0.25 | 1.60E+05 | 2.00E-08 | 4.85E-07 | 8.65E-09 | 4.32E-01 | 1.16E+08 | 2.42E+01 | 5.60E+01 |
| 400 | 800 | 0.4 | 4.00E+05 | 2.00E-08 | 5.05E-07 | 8.53E-09 | 4.56E-01 | 1.17E+08 | 2.52E+01 | 5.92E+01 |
| 1000 | 1000 | 1 | 1.00E+06 | 2.00E-08 | 5.42E-07 | 9.60E-09 | 4.69E-01 | 1.04E+08 | 2.71E+01 | 5.65E+01 |
| 2000 | 1000 | 2 | 2.00E+06 | 2.00E-08 | 5.65E-07 | 8.90E-09 | 4.71E-01 | 1.12E+08 | 2.83E+01 | 6.35E+01 |

Com isso, foi projetado o bloco FDA do diagrama da Figura 26, conforme detalhado na Figura 30 e com dimensões da Tabela 3. Com tensão de alimentação $V_{DD} = 1V$ e $V_{out1,2} \approx 500mV$ para se ter uma excursão de saída simétrica conforme desejado em teoria e apresentado através da Figura 31.

Figura 30 – Par diferencial

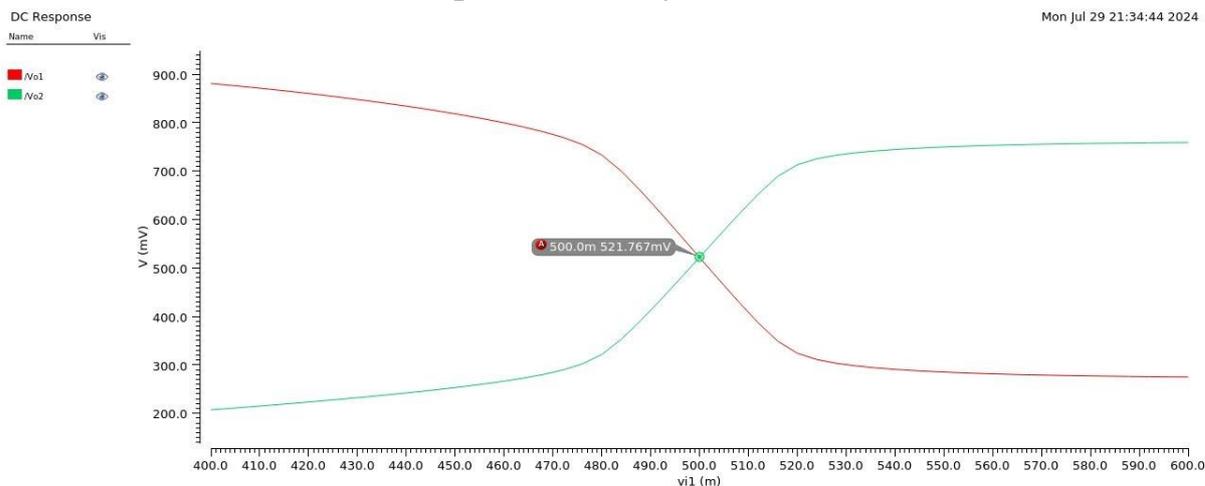


Fonte: Elaborado pela autora

Tabela 3 – Dimensões circuito inicial

| Transistor | W(m) | L(m) |
|------------|------|--------|
| M1, M2 | 1u | 1u |
| M3, M4 | 2u | 1u |
| M5 | 460n | 378.4n |
| M6, M7, M8 | 4u | 1u |

Figura 31 – Resposta DC



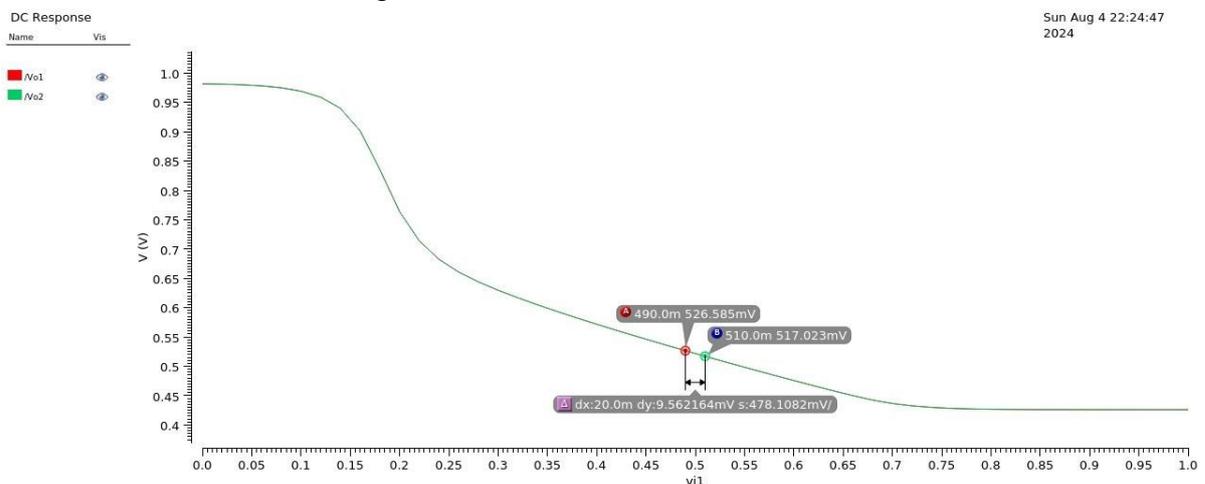
Fonte: Simulação

Para obtenção da tensão de offset, foi utilizado o circuito apresentado na Figura 30 e a teoria apresentada no capítulo 2, conectando uma fonte entre as entradas e variando seu valor de tensão. Com isso, foi possível encontrar o valor de entrada que torna a diferença das saídas igual a zero, sendo $V_{OS} = -1.89\mu V$.

Para obtenção do ganho diferencial, utilizou-se uma fonte conectada em $v-$ variando-se seu valor e uma fonte em $v+$ fixa em 500mV. Assim, encontra-se o valor do ganho diferencial $A_d \approx 35$.

Para o ganho de modo comum foram interligadas as entradas do circuito, $v+$ e $v-$, e conectada à elas uma fonte com seu valor variável, obtendo a resposta da Figura 32, $A_{CM} = 0,48$.

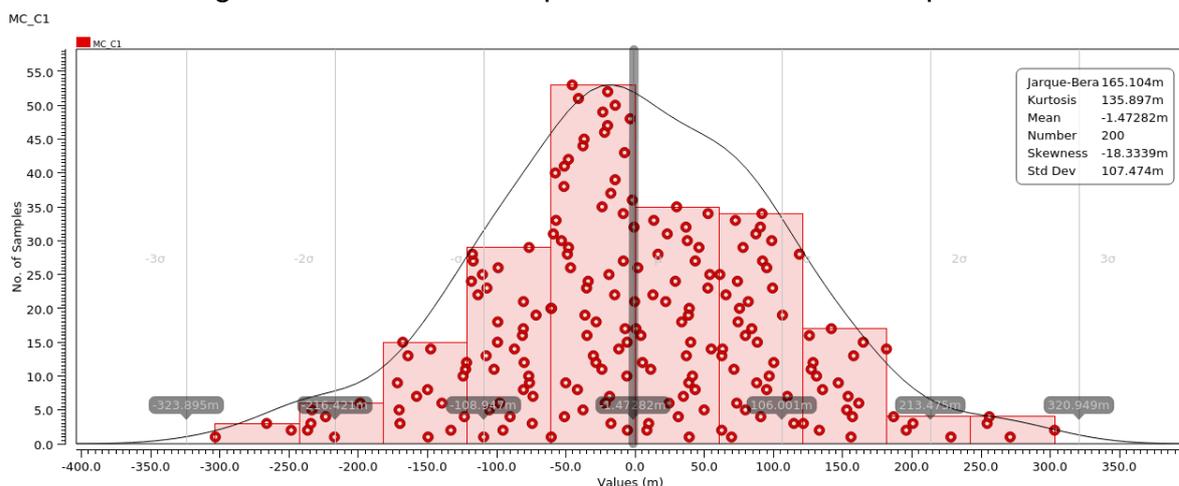
Figura 32 – Ganho em modo comum



Fonte: Simulação

A Figura 33 mostra a distribuição dos valores da saída diferencial ($V_{out1} - V_{out2}$), com um grande número de opções em torno do *offset* zero. Porém é possível verificar que é uma curva semelhante a uma curva gaussiana mas com um desvio padrão grande ainda, que deve ser tratado com a aplicação da técnica proposta, concentrando os valores o mais próximo possível do projetado.

Figura 33 – Monte Carlo para circuito sem técnica aplicada



Fonte: Simulação

Na Figura 33 algumas associações que cruzam o eixo central destacado são capazes de produzir tensões de offset entre 0.3mV e 2mV.

O mesmo gráfico mostra que o desvio padrão em um AmpOp com transistores $W=2\mu\text{m}$ no par de entrada é de 107,47mV. Para alcançar o pior caso entre as variações circuladas, no caso 2mV, precisaríamos, nesta tecnologia, aumentar cerca de 2500 vezes os transistores (50^2) para obter um resultado similar. Ou seja, transistores de 5 mm cada. Sendo um valor significativamente alto para a dimensão de apenas um transistor do circuito completo.

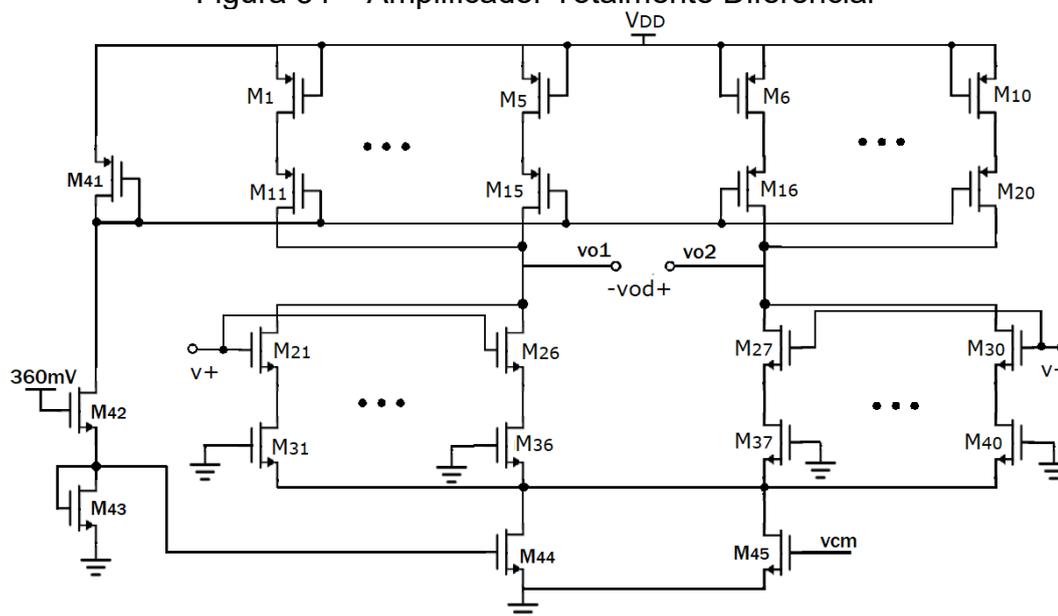
Por último, temos valores de $\text{CMRR} = 72,92$ e de área $A = 7,17\mu\text{m}^2$.

Com tais resultados obtidos, a etapa seguinte foi aplicar a técnica apresentada no capítulo 2 e, assim, dividir os transistores do par diferencial e de carga em diversos transistores menores e inserir os transistores que funcionam como chaves, conforme proposto idealmente na Figura 24, permitindo a busca da melhor combinação (a ser abordado em trabalhos futuros) mantendo os valores de W e L projetados e as especificações iniciais de ganho, impedância de saída e excursão, a mesma área do circuito inicial e com o mesmo comportamento. Através

de simulações foi possível verificar também que a melhor configuração de ligação para os transistores que representam as chaves é entre os terminais de fonte e V_{DD} (no caso das chaves que selecionam os PMOS) e entre as fontes e I_{SS} (para os NMOS).

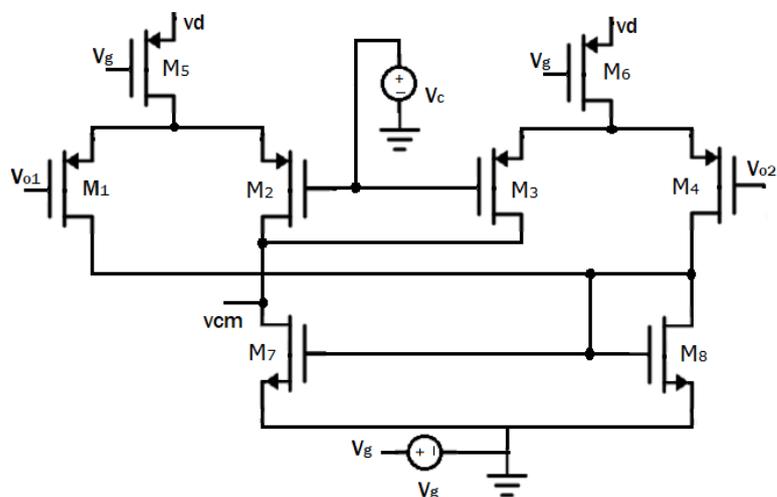
Outro fator importante para a escolha dos tamanhos dos transistores “de chaveamento” foi de tentar manter a mesma largura do transistor que o seguia, pensando em posteriormente como poderia facilitar a criação de um layout para o circuito.

Figura 34 – Amplificador Totalmente Diferencial



Fonte: Elaborado pela autora

Figura 35 – Bloco CMFB



Fonte: Elaborado pela autora

Tabela 4 – Dimensões dos transistores do FDA

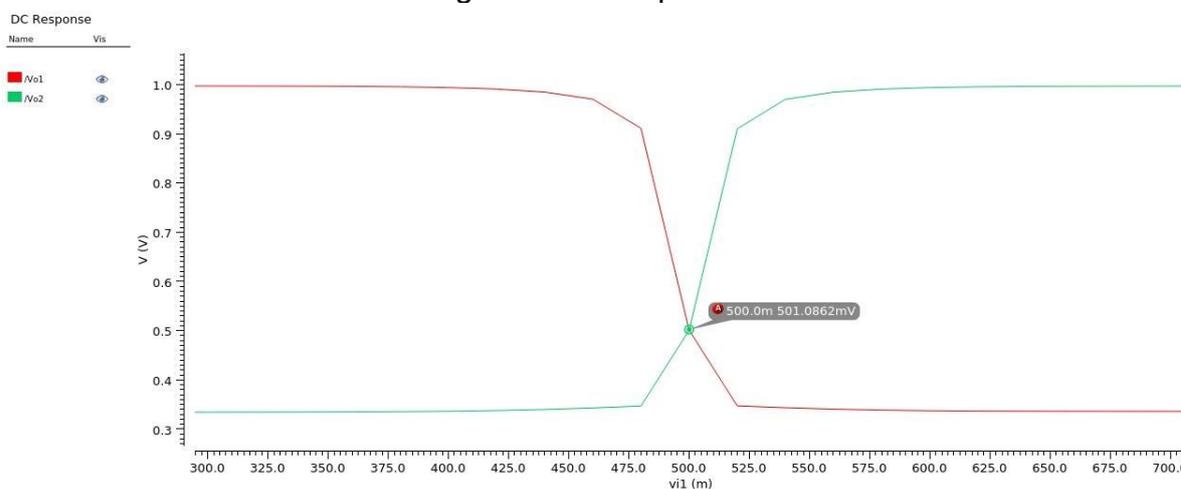
| Transistor | W (m) | L (m) |
|------------|-------|-------|
| M1-10 | 500n | 60n |
| M11-20 | 500n | 1u |
| M21-30 | 1u | 1u |
| M31-40 | 1u | 60n |
| M41 | 460n | 247n |
| M42,43 | 4u | 1u |
| M44 | 3u | 1u |
| M45 | 1u | 1u |

Tabela 5 – Dimensões dos transistores do CMFB

| Transistor | W (m) | L (m) |
|------------|-------|-------|
| M1,2,3,4 | 120n | 5u |
| M5,6 | 240n | 5u |
| M7,8 | 120n | 5u |

Com o circuito montado apresentados na Figura 34 e Figura 35 e suas dimensões apresentadas na Tabela 4 e Tabela 5, é possível verificar na Figura 36 uma redução no valor das saídas V_{o-} e V_{o+} , onde antes tinha sido alcançado $\sim 521\text{mV}$, tornou-se mais preciso, com cerca de 501mV .

Figura 36 – Resposta DC



Fonte: Simulação

Para este circuito, foi reproduzido o mesmo setup para obtenção do valor de tensão de offset, inserindo uma fonte entre as entradas do circuito e variando seu valor em busca da tensão de entrada que torne a saída diferencial igual a zero, sendo $V_{os} = -3.1\text{nV}$.

É possível verificar a expressiva diminuição do valor de tensão comparado ao circuito anterior, confirmando a ideia apresentada.

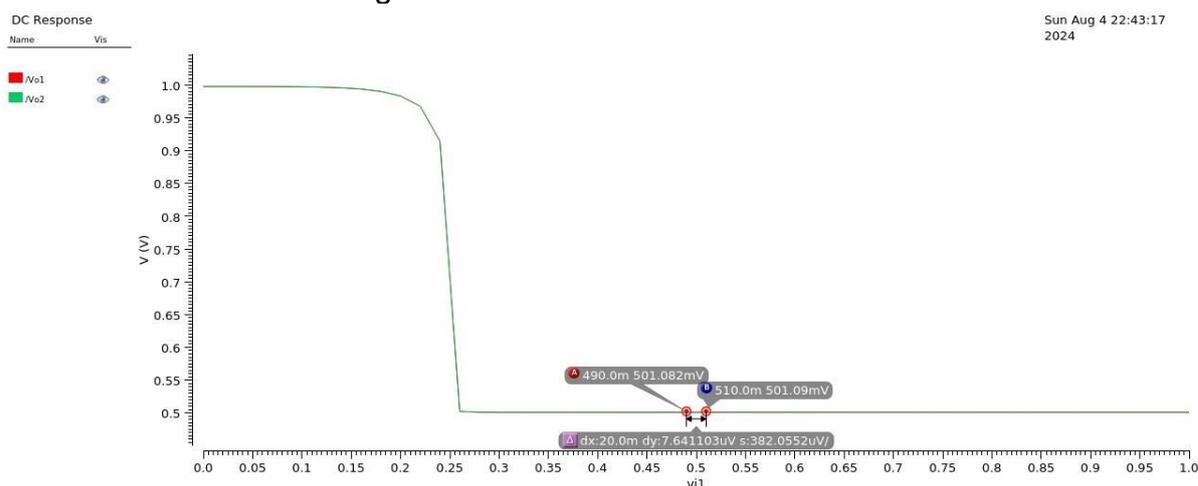
Para obtenção do ganho diferencial, repetiu-se o *setup* utilizando-se uma fonte conectada em v_{in-} variando-se seus valores e uma fonte em v_{in+} com 500mV. Assim, encontra-se o valor do ganho diferencial $A_d \approx 35$.

Para o ganho de modo comum foram interligadas as entradas do circuito e conectada à elas uma fonte, obtendo a resposta da Figura 37, $A_{CM} = 0,38m$.

Sendo possível confirmar que houve uma significativa diminuição no ganho de modo comum, conforme era o desejado, pois dessa forma é possível que todo sinal que seja comum nas entradas, impactando o mínimo na saída do circuito.

Por último, temos valores de $CMRR = 92,1$ e de área $A = 24,1\mu m^2$.

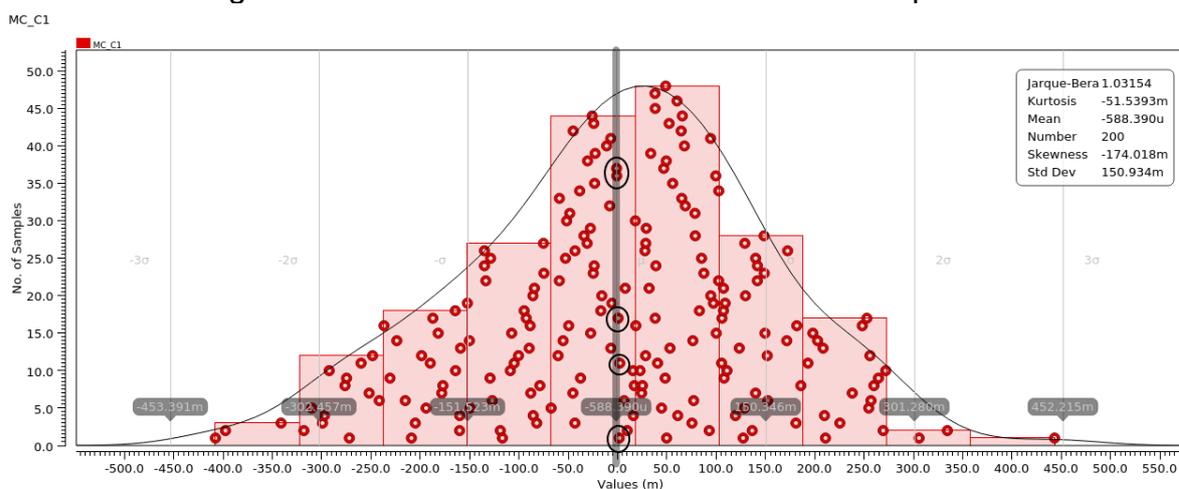
Figura 37 – Ganho em modo comum



Fonte: Simulação

A Figura 38 mostra a distribuição dos valores da saída diferencial ($V_{out1} - V_{out2}$), com um grande número de opções em torno do *offset* zero. É possível identificar cinco associações capazes de produzir tensões de offset entre 0.6mV e 3mV.

Figura 38 – Monte Carlo do circuito com técnica aplicada



Fonte: Simulação

O mesmo gráfico mostra que o desvio padrão em um AmpOp com transistores $W=2\mu\text{m}$ no par de entrada é de $150,93\text{mV}$. Para alcançar o pior caso dentre as variações circuladas, no caso 3mV , precisaríamos, nesta tecnologia, aumentar cerca de 2500 vezes os transistores (50^2) para obter um resultado similar. Ou seja, transistores de 5mm cada. Sendo um valor significativamente alto para a dimensão de apenas um transistor do circuito completo.

Porém como a técnica, foco do estudo, está aplicada para esse circuito, é possível que associações sejam feitas entre os transistores pequenos e que alcancem tensão de offset como essas destacadas na simulação de Monte Carlo, onde inclui os efeitos do processo de fabricação no comportamento real do circuito projetado.

5 CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS

O uso do circuito de realimentação de modo comum com o amplificador totalmente diferencial, atuando como um verificador incorporado no próprio FDA para detecção e correção das variações do circuito, foi de grande importância, pois foi projetado para detectar até mesmo pequenos desequilíbrios na tensão de modo comum de saída, uma vez que essas variações provavelmente modificariam o equilíbrio de saída. O estudo de caso utilizado como base para se compreender melhor o uso e funcionamento do FDA com CMFB, se provou válido e necessário para posterior aplicação da técnica inicialmente proposta.

Para lidar com a precisão no projeto de circuitos integrados analógicos as abordagens clássicas têm como premissa a suposição de que o casamento é aproximadamente proporcional à raiz quadrada da área ativa do transistor. Dessa forma, o que vem sendo feito é a ampliação das áreas dos transistores para aumentar a precisão, gerando um custo extra de área e limitando a resposta em frequência ou aumentando o consumo de energia. A precisão, a potência e a largura de banda constituem um compromisso de projeto, que é aproximadamente constante nas modernas tecnologias de fabricação. Como alternativa para contornar esses compromissos, uma nova técnica de redução do descasamento baseada na probabilidade de encontrar transistores casados em um grande conjunto de combinações entre unidades menores. Esta abordagem provou ser muito mais vantajosa do que ampliar diretamente os transistores, pois para atingirmos uma tensão de offset da ordem de 3 mV, seria necessária adoção de transistores com uma área de cerca de 10mm². A quebra do compromisso largura de banda-precisão-potência, permite aos projetistas aumentar a relação BW×Precisão por potência em várias ordens de grandeza.

Para a continuação deste estudo, é sugerido o projeto do circuito digital para o acionamento das chaves, concepção de sistema de busca de descasamento mínimo, composto de um circuito de medição e de um algoritmo de busca. Uma vez que estas etapas estejam solucionadas, a técnica pode ser aplicada em outros projetos como espelhos de corrente de alta precisão e comparadores. O objetivo final do projeto de pesquisa que abarca esse trabalho é o projeto, layout, fabricação e caracterização de blocos analógicos com a técnica em investigação.

REFERÊNCIAS

- [1] Bender, Isis D.M. Cardoso, Guilherme S., Oliveira, Arthur C., Severo, Lucas C., Girardi, Alessandro, Balen, Tiago R.. Testing fully differential amplifiers using common mode feedback circuit: a case study, 2015.
- [2] Razavi, B.: 'Design of Analog CMOS Integrated Circuits'. (McGrawHill, New York, NY, 2000)
- [3] A. C. Oliveira, L. C. Severo, and A. G. Girardi, "A Two-Step Methodology for Automatic Design of Fully Differential Amplifiers With Output Balance", XXIX South Symposium on Microelectronics (SIM), Alegrete, Brasil, p. 1-4, mai. 2014.
- [4] Bojanapally, Ravi Teja. Common Mode Feedback for Fully Differential Amplifier in ami06 micron CMOS process. 2018
- [5] Rodrigues, Cesar Ramos; KOZAKEVICIUS, Alice de Jesus ; JAKOBSSON, S. B. A. . Método para Redução do Descasamento Entre Componentes Eletrônicos. 2015, Brasil.
Patente: Privilégio de Inovação. Número do registro: BR1020150066104, título: "Método para Redução do Descasamento Entre Componentes Eletrônicos" , Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial. Depósito: 25/03/2015; Concessão: 25/01/2022.
- [6] RAMOS, MOABE RODRIGUES. TUTORIAL CADENCE VIRTUOSO PARA A TECNOLOGIA CMHV7SF 180nm, 2019.
- [7] C. Donovan and M. P. Flynn, "A 'digital' 6-bit ADC in 0.25 μm CMOS," Proceedings of the IEEE 2001 Custom Integrated Circuits Conference (Cat. No.01CH37169), 2001, pp. 145-148, doi: 10.1109/CICC.2001.929743.
- [8] M. P. Flynn, C. Donovan and L. Sattler, "Digital calibration incorporating redundancy of flash ADCs," in IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 50, no. 5, pp. 205-213, May 2003.
- [9] V. Gupta and G. A. Rincon-Mora, "Achieving Less Than 2% 3- σ Mismatch With Minimum Channel-Length CMOS Devices," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 54, no. 3, pp. 232-236, March 2007.
- [10] Papoulis, Athanasios: 'Probability, Random Variables and Stochastic Processes' (McGraw Hill. , New York, NY, 1991).
- [11] Pelgrom, M.J.M., Duinmaijer, A.C.J. and Welbers, A.P.G. Matching properties of MOS transistors. IEEE Journal of Solid-State Circuits, 1989, 24, (5), 1433-1439.
- [12] Kinget, P.R.: 'Device Mismatch and Tradeoffs in the Design of Analog Circuits', J. Solid-State Circuits, 2005, 40, (6), pp. 1212-1223.

- [13] K. R. Lakshmikumar, R. A. Hadaway, and M. A. Copeland, "Characterization and Modeling of Mismatches in MOS Transistors for Precision Analog Design," *IEEE J. of Solid-State Circuits*, vol. 21, pp. 1057–1066, December 1986.
- [14] M. J. M. Pelgrom, A. C. J. Duinmaiger, and A. P. G. Welbers, "Matching Properties of MOS Transistors," *IEEE J. of Solid-State Circuits*, vol. SC-24, pp. 1433–1439, October 1989.