



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
CURSO DE GRADUAÇÃO EM ENGENHARIA ELETRÔNICA

Miguel Boing

**Técnicas de mitigação de efeitos da radiação e sua aplicação no projeto de
uma arquitetura de hardware para uso em satélites**

Florianópolis
2024

Miguel Boing

**Técnicas de mitigação de efeitos da radiação e sua aplicação no projeto de
uma arquitetura de hardware para uso em satélites**

Trabalho de Conclusão de Curso do Curso de Graduação em Engenharia Eletrônica do Centro Tecnológico da Universidade Federal de Santa Catarina para a obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Eduardo Augusto Bezerra, PhD

Coorientador: Kleber Reis Gouveia Júnior, MSc

Florianópolis

2024

Ficha catalográfica gerada por meio de sistema automatizado gerenciado pela BU/UFSC.
Dados inseridos pelo próprio autor.

Boing, Miguel

Técnicas de mitigação de efeitos da radiação e sua aplicação no projeto de uma arquitetura de hardware para uso em satélites / Miguel Boing ; orientador, Eduardo Augusto Bezerra, coorientador, Kleber Reis Gouveia Júnior, 2024.

94 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro Tecnológico,
Graduação em Engenharia Eletrônica, Florianópolis, 2024.

Inclui referências.

1. Engenharia Eletrônica. 2. SoC FPGA. 3. Tolerância a Falhas. 4. rad-hard. 5. COTS. I. Bezerra, Eduardo Augusto. II. Gouveia Júnior, Kleber Reis. III. Universidade Federal de Santa Catarina. Graduação em Engenharia Eletrônica. IV. Título.

Miguel Boing

**Técnicas de mitigação de efeitos da radiação e sua aplicação no projeto de
uma arquitetura de hardware para uso em satélites**

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de
“Bacharel em Engenharia Eletrônica” e aprovado em sua forma final pelo Curso de
Graduação em Engenharia Eletrônica.

Florianópolis, 19 de julho de 2024.

Daniela Ota Hisayasu Suzuki, Dra.
Coordenadora do Curso

Banca Examinadora:

Prof. Eduardo Augusto Bezerra, PhD
Orientador

Kleber Reis Gouveia Júnior, MSc.
Coorientador
TMC

Prof. José Luís Almada Güntzel, Dr.
Avaliador
Universidade Federal de Santa Catarina

Cezar Antônio Rigo, Dr.
Avaliador
Embraer

Este trabalho é dedicado a amigos e aos meus queridos pais.

AGRADECIMENTOS

Primeiramente, gostaria de agradecer a toda a minha família, especialmente aos meus pais, Volnei e Raquel, por sempre me apoiarem e incentivarem a seguir o caminho que escolhi.

Agradeço também os meus irmãos, Gabriela e Rafael, pelo carinho e apoio incondicional ao longo desta jornada.

Agradeço a todos os colegas e amigos que fiz durante essa trajetória, em especial aos membros do SpaceLab, que compartilharam momentos importantes e contribuíram significativamente para o meu crescimento.

Agradeço ao meu orientador, professor Eduardo Bezerra, por todas as oportunidades e orientação oferecidas, e ao meu coorientador, Kleber, pelo apoio fundamental no desenvolvimento deste projeto.

Por fim, gostaria de expressar minha gratidão à sociedade brasileira pelo investimento no ensino superior público e na pesquisa científica, tornando possível a realização deste trabalho.

RESUMO

A radiação espacial é prejudicial aos dispositivos eletrônicos, causando falhas transitórias e permanentes nos sistemas a bordo de satélites. Nos satélites tradicionais, dispositivos resistentes à radiação (*rad-hard*) são empregados para mitigar os efeitos da radiação nos componentes eletrônicos. No entanto, em missões de CubeSats, uma solução baseada inteiramente em componentes resistentes à radiação nem sempre é viável devido aos altos custos e à disponibilidade limitada desses dispositivos. Uma abordagem possível para criar um sistema tolerante a falhas para uso nos subsistemas e cargas úteis do satélite é a combinação de dispositivos *rad-hard* e componentes *commercial-off-the-shelf* (COTS). Este trabalho busca apresentar os efeitos das partículas ionizantes em componentes semicondutores, bem como técnicas de mitigação que possam ser empregadas em módulos de CubeSat para aumentar a robustez e a confiabilidade. Com base nessa fundamentação, é proposta a arquitetura de uma plataforma computacional tolerante a falhas, utilizando um System on Chip (SoC) Field-Programmable Gate Array (FPGA) endurecido contra efeitos da radiação, combinado com componentes COTS e técnicas para mitigação de efeitos radioativos. Espera-se que o projeto proposto seja implementado em missões futuras do SpaceLab, como Persistent-1 e ROCUS-1 e em cooperação com a ESA, futuras missões em *deep space*.

Palavras-chave: Tolerância a Falhas. SoC FPGA. CubeSat. *rad-hard*. COTS.

ABSTRACT

Space radiation is harmful to electronic devices, causing transient and permanent failures in systems on board satellites. In traditional satellites, radiation-resistant (*rad-hard*) devices are employed to mitigate the effects of radiation on electronic components. However, in CubeSat missions, a solution based entirely on radiation-resistant components is not always viable due to the high costs and limited availability of such devices. One possible approach to creating a fault-tolerant system for use in satellite subsystems and payloads is the combination of rad-hard devices and commercial-off-the-shelf (COTS) components. This work presents the effects of ionizing particles on semiconductor components, as well as mitigation techniques that can be used in CubeSat modules to increase robustness and reliability. Based on this foundation, the architecture of a fault-tolerant computing platform is proposed, using a System on Chip (SoC) Field-Programmable Gate Array (FPGA) hardened against the effects of radiation, combined with COTS components and techniques for mitigating radioactive effects. The proposed project is expected to be implemented in future SpaceLab missions, such as Persistent-1, ROCUS-1 and in cooperation with ESA, future missions in deep space.

Keywords: Fault-Tolerant. SoC FPGA. CubeSat. rad-hard. COTS

LISTA DE FIGURAS

Figura 1 – SEB no <i>die</i> de um MOSFET de potência.	19
Figura 2 – Em (a) é possível ver a magnetosfera e os Cinturões de Van Allen. Em (b) é explicitado a Anomalia Magnética do Atlântico Sul causada pela inclinação de 11° do eixo de rotação da Terra em relação e o seu centro de campo magnético.	20
Figura 3 – Efeitos mais relevantes em cada etapa de um circuito de sinais mistos em ASIC.	22
Figura 4 – Exemplo da caracterização do <i>cross-section</i> de SEL de um microcontrolador PIC18LF2685 para alimentação de 5V e 3V3.	22
Figura 5 – Cargas fixas induzidas por radiação no n-MOSFET causadas pelo TID.	23
Figura 6 – Possíveis caminhos de corrente de fuga em CMOS.	24
Figura 7 – A queda no nível de tensão de limiar do MOSFET de potência IRF150 conforme o aumento da dose total de radiação para diferentes tipos de polarização.	25
Figura 8 – Aumento das correntes de coletor e base de um transistor BJT NPN OP97.	26
Figura 9 – Arquitetura genérica de um LDO.	28
Figura 10 – Testes de TID para diferentes topologias de conversores lineares.	28
Figura 11 – Arquitetura simplificada de um conversor <i>buck</i> assíncrono.	29
Figura 12 – Teste de TID em conversores <i>buck</i> e <i>boost</i>	30
Figura 13 – Na esquerda o esquemático de uma célula de FG. Na direita o deslocamento da curva de limiar conforme o estado da célula.	32
Figura 14 – Arquiteturas NOR (a) e NAND (b).	33
Figura 15 – No gráfico à esquerda é apresentado o efeito do deslocamento da tensão V_{th} por doses ionizantes. No gráfico à direita o deslocamento causado por íons pesados.	33
Figura 16 – Curva de histerese demonstrando o efeito de polarização em materiais ferroelétricos, onde P_R é a polarização remanescente e P_S é o ponto de polarização máxima.	34
Figura 17 – Implementação de uma função de 4 entradas usando uma 4-LUT.	36
Figura 18 – Falhas em órbita de barramentos de comunicação serial.	38
Figura 19 – Critério de classificação de TRL	41
Figura 20 – Relação entre parâmetros de resistência e estresse.	42
Figura 21 – Simulação da quantidade de radiação recebida pela espessura do <i>shield</i> para diferentes órbitas.	44
Figura 22 – Em (a) temos um espelho de corrente comum e em (b) um espelho de corrente utilizando compensação de <i>beta</i>	45

Figura 23 – Circuito que detecta mal funcionamento e isola o nó falho do barramento evitando a falha generalizada.	46
Figura 24 – Arquitetura completa do SoC NG-ULTRA.	48
Figura 25 – Sistema de isolamento de nós utilizando <i>buffers</i> de I^2C	50
Figura 26 – Projeto do ADC para leitura de pinos analógicos externos.	51
Figura 27 – Tensões de alimentação e corrente máxima esperadas para o módulo.	54
Figura 28 – Simulação do funcionamento do <i>surge stopper</i> LTC4361-2 contra surtos de corrente.	55
Figura 29 – Circuito de proteção do barramento de 3V3 utilizando o LTC4361-2	55
Figura 30 – Circuito de conversão de tensão de 1V8 com proteção de <i>latch-up</i>	56
Figura 31 – Eficiência da fonte de alimentação de 1V8.	57
Figura 32 – Fonte de tensão de 1V para os <i>cores</i> do FPGA e do SoC.	58
Figura 33 – Eficiência da fonte de tensão de 1V.	59
Figura 34 – Circuitos para tensão de referência para as memórias e o banco de DDR.	59
Figura 35 – Cascata de potência resultante	60
Figura 36 – Arquitetura final do sistema computacional.	62
Figura 37 – Arquitetura final do sistema computacional com os níveis TRL.	63

LISTA DE TABELAS

Tabela 1 – Descrição dos principais SEEs, sua classificação e descrição.	21
Tabela 2 – Comparação entre tecnologias de memórias não voláteis.	31
Tabela 3 – Técnicas de <i>derating</i> agrupados por grupos de componentes.	43
Tabela 4 – Estimativas de potência nominal e potência máxima consumidas pelos CIs externos ao SoC.	53
Tabela 5 – Tensões de alimentação e consumo para o SoC FPGA.	53

LISTA DE ABREVIATURAS E SIGLAS

I ² C	<i>Inter Integrated Circuit</i>
ADC	<i>Analog-to-Digital Converter</i>
ADCS	<i>Attitude Determination and Control System</i>
ASIC	<i>Application-Specific Integrated Circuit</i>
BJT	<i>Bipolar Junction Transistor</i>
BSCAN	<i>Boundary-Scan</i>
CAN	<i>Controller Area Network</i>
CI	<i>Circuito Integrado</i>
CMIC	<i>Configuration Memory Integrity Check</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
COTS	<i>Commercial-off-The-Shelf</i>
DDR	<i>Double Data Rate</i>
DevKit	<i>Development Kit</i>
DPA	<i>Distributed Power Architecture</i>
DRAM	<i>Dynamic Random Access Memory</i>
DSP	<i>Digital Signal Processing</i>
EAR	<i>Export Administration Regulations</i>
EDAC	<i>Error Detection and Correction</i>
eMMC	<i>eMbedded Multimedia Card</i>
EPS	<i>Electrical Power System</i>
ESA	<i>European Space Agency</i>
FD-SOI	<i>Fully Depleted - Silicon On Insulator</i>
FG	<i>Floating Gate</i>
FPGA	<i>Field-Programmable Gate Array</i>
FRAM	<i>Ferroelectric Random-Access Memory</i>
GNSS	<i>Global Navigation Satellite System</i>
GOLDS	<i>Global Open coLlecting Data System</i>
HDL	<i>Hardware Description Language</i>
HSSL	<i>High Speed Serial Link</i>
IBA	<i>Intermediate Bus Architecture</i>
ITAR	<i>International Traffic in Arms Regulations</i>
JTAG	<i>Joint Test Action Group</i>
LDO	<i>Low-Dropout Regulator</i>
LET	<i>Linear Energy Transfer</i>
LUT	<i>Look-Up Table</i>
LVDS	<i>Low-voltage differential signaling</i>
MBU	<i>Multiple Bit Upset</i>
MCU	<i>Multiple-Cell Upset</i>

MOSFET	<i>MOS Field Effect Transistor</i>
MRAM	<i>Magneto-resistive Random Access Memory</i>
NASA	<i>National Aeronautics and Space Administration</i>
NPN	<i>Negative-Positive-Negative</i>
PAL	<i>Programmable Array Logic</i>
PCB	<i>Printed Circuit Board</i>
PDN	<i>Power Delivery Network</i>
PL	<i>Programmable Logic</i>
PLL	<i>Phase Locked Loop</i>
PNP	<i>Positive-Negative-Positive</i>
PoL	<i>Point-of-Load</i>
PS	<i>Processing System</i>
PWM	<i>Pulse-Width Modulation</i>
RHBD	<i>Radiation Hardening By Design</i>
RHBP	<i>Radiation Hardening By Process</i>
SEB	<i>Single Event Burnout</i>
SED	<i>Single Event Disturb</i>
SEE	<i>Single Event Effects</i>
SEFI	<i>Single Event Functional Interrupt</i>
SEGR	<i>Single-Event-Gate-Rupture</i>
SEL	<i>Single Event Latchup</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
SHE	<i>Single Hard Error</i>
SOA	<i>Safe Operating Area</i>
SoC	<i>System-on-Chip</i>
SPI	<i>Serial Peripheral Interface</i>
SRAM	<i>Static Random Access Memory</i>
TID	<i>Total Ionizing Dose</i>
TMR	<i>Triple Module Redundancy</i>
TRL	<i>Technology Readiness Levels</i>
TTC	<i>Telemetry and TeleCommand</i>
UART	<i>Universal Asynchronous Receiver / Transmitter</i>
UFSC	<i>Universidade Federal de Santa Catarina</i>
VHDL	<i>Very high speed integrated circuits HDL</i>

SUMÁRIO

1	INTRODUÇÃO	16
1.1	OBJETIVOS	18
1.1.1	Objetivo Geral	18
1.1.2	Objetivos Específicos	18
2	FUNDAMENTAÇÃO	19
2.1	EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ELETRÔNICOS	19
2.1.1	Efeitos de transiente	21
2.1.1.1	Previsão de SEE	21
2.1.2	Efeitos de longo prazo	23
2.2	SISTEMAS DE POTÊNCIA	25
2.2.1	Estimativa de consumo	26
2.2.2	Conversores de Potência	27
2.2.2.1	Conversores LDO	27
2.2.2.2	Conversores Chaveados	29
2.3	MEMÓRIAS	30
2.3.1	Memórias Não-Voláteis	31
2.3.1.1	Flash	31
2.3.1.2	FRAM e MRAM	34
2.3.2	Memórias Voláteis	35
2.4	FPGA	35
2.4.1	Arquitetura de FPGA	36
2.4.1.1	Arquiteturas LUT	36
2.4.2	Radiação em FPGAs	36
2.4.2.1	NG-ULTRA	37
2.5	BARRAMENTOS DE INTERFACE SERIAL	37
2.5.1	CAN e SpaceWire	38
3	TÉCNICAS DE MITIGAÇÃO DE EFEITOS DA RADIAÇÃO	40
3.1	SISTEMA DE CONFIABILIDADE E HERANÇA DE VOO	40
3.2	DERATING	41
3.3	REDUNDÂNCIA MODULAR TRIPLA	42
3.4	SHIELDS	43
3.5	SISTEMA DE POTÊNCIA	43
3.5.1	Uso de BJT	44
3.6	MEMÓRIAS	45
3.7	BARRAMENTOS DE INTERFACE SERIAL	45
4	PROJETO, DESENVOLVIMENTO E ANÁLISE DO ESTUDO DE CASO	47

4.1	PROCESSING SYSTEM	47
4.2	PROCESSING LOGIC	49
4.2.1	Memórias	49
4.2.2	Sistema de Sensoriamento	50
4.2.3	Interfaces	52
4.3	SISTEMAS DE POTÊNCIA	52
4.3.1	Dimensionamento do Consumo	52
4.3.2	Cascata de potência	54
4.3.3	Proteção de latch-up	54
4.3.4	Conversores de Potência	56
5	CONCLUSÃO	61
5.1	TRABALHOS FUTUROS E EXPECTATIVAS DE MISSÕES	61
	REFERÊNCIAS	64
	APÊNDICE A – ESTIMATIVA DE CONSUMO DO SOC FPGA	72
	APÊNDICE B – ESQUEMÁTICO COMPLETO	78

1 INTRODUÇÃO

O início da revolução dos satélites começou em 1957 com o bem-sucedido lançamento do satélite soviético Sputnik-1, cuja missão científica era o estudo da colocação de satélites artificiais na órbita terrestre. Desde então, mais dez mil satélites foram lançados em órbita (ORBIT.ING-NOW, 2024), empregados para diversas finalidades, como observação astronômica, geolocalização, meteorologia e fins militares. Por muito tempo, essa indústria esteve sob domínio exclusivo de grandes instituições científicas e militares de países industrializados, devido à alta complexidade, ao custo de projeto (na faixa dos milhões ou bilhões de dólares) e ao tempo necessário para serem concluídos (possivelmente décadas) (SHKOLNIK, 2018).

Em 1999 é feito o primeiro protótipo de um CubeSat na universidade de Stanford. O seu objetivo era fornecer aos estudantes de pós-graduação acesso ao ambiente espacial para realizar experimentos científicos (HELVAJIAN; JANSON, 2008). A proposta original sofreu algumas alterações e graças a diversas estratégias empregadas e filosofia de desenvolvimento os CubeSats tornaram-se um padrão da indústria para o desenvolvimento de satélites de pequeno porte, reduzindo imensamente o custo e tempo de desenvolvimento de satélites artificiais viabilizando o acesso ao espaço para universidades, *startups* e institutos espaciais de pequeno porte.

Os CubeSats entram na categoria de *Small Satellites* pois pesam menos que 300 Kg e devem atender a certas especificidades relacionadas a formato e tamanho. Além disso, em CubeSats normalmente são utilizados apenas componentes *Commercial-off-The-Shelf* (COTS), isto é, ao invés de utilizar componentes específicos e customizados para cada missão, são empregados componentes comumente utilizados na indústria e disponíveis em grande quantidade. O formato de um CubeSat é padronizado em cubos de arestas com dimensões de 10 cm. Cada cubo de CubeSat recebe a denominação de 1U e podem ser aglutinados em estruturas maiores para criar CubeSats de múltiplas dimensões 1.5U, 2U, 3U, 6U, 12U e etc. Com estas estratégias adotadas os CubeSats podem ser produzidos em massa devido ao uso de COTS e ao seu tamanho padronizado que diminui o custo estrutural de lançamento (NASA, 2017).

Para lançamento, o CubeSat é encaixado em um *dispenser*, uma caixa metálica que protege o CubeSat e o lança em órbita. Atualmente, existem diversos *dispensers* de CubeSats para os diversos tamanhos, para garantir a compatibilidade, os mesmos tendem a seguir as normas de projetos para CubeSats descritas em (CUBESAT..., 2022).

Apesar de seu baixo custo e versatilidade de desenvolvimento, os CubeSats ainda apresentam uma alta taxa de falhas em suas missões. Conforme apresentado em (KULU, 2024) em órbita temos 885 CubeSats operacionais e 259 não operacionais.

Parte dessas falhas se devem ao uso de microcontroladores COTS de baixo consumo que fornecem uma ótima performance porém são altamente suscetíveis ao ambiente

radioativo do espaço, pois os mesmos são projetados para serem utilizados em aplicações terrestres onde são protegidos pelo campo magnético terrestre. Conforme discutido em (FLEETWOOD, 2021) com o avanço da Lei de Moore e os transistores sendo desenhados em escalas nanométricas, os circuitos integrados tornam-se cada vez mais suscetíveis aos efeitos radioativos.

Os efeitos radiativos podem ser divididos de forma grosseira em duas categorias:

- **Efeitos de longo termo:** Costumam alterar características intrínsecas do dispositivo como, por exemplo, a sua eficiência. Efeitos de longo termo ocorrem com a eventual degradação acelerada do componente ao ser exposto ao ambiente radioativo.
- **Efeitos de transiente:** Sua origem está no choque de partículas altamente energéticas que geram desde inversões de dados em memória (*bit flip*) até a ruptura do silício.

Diversas estratégias vêm sendo desenvolvidas e empregadas em CubeSats para contornar os efeitos radioativos e aumentar a capacidade de sobrevivência de seus componentes eletrônicos. Aquele componente que utiliza técnicas ou estratégias de radiação é conhecido como "*radiation-hardened*" ou "*rad-hard*". As estratégias podem ser divididas em técnicas a nível de processo de fabricação chamadas de *Radiation Hardening By Process* (RHBP) ou por técnicas de projeto do leiaute/circuito/arquitetura chamado de *Radiation Hardening By Design* (RHBD) (TRAMONTIN, 2018).

Atualmente, temos componentes comerciais resistentes a radiação como conversores de potência e até *Field-Programmable Gate Array* (FPGA)s. Porém, além desses componentes custarem até vinte vezes mais caro (D; BENFICA; VARGAS, 2015), esse mercado é focalizado nos Estados Unidos, que, devido ao potencial militar, restringe a venda externa através das normas *International Traffic in Arms Regulations* (ITAR) e *Export Administration Regulations* (EAR) (COOK, 2010).

O Laboratório de Pesquisa em Sistemas Espaciais da Universidade Federal de Santa Catarina (UFSC), o SpaceLab, em parceria com a *European Space Agency* (ESA), tem desenvolvido cargas-úteis (módulos de CubeSat que carregam o experimento ou aplicação final do CubeSat i.e. o objetivo da missão) para CubeSats utilizando FPGAs e *System-on-Chip* (SoC) FPGAs *rad-hard* da *startup* francesa NanoXplore. Um SoC FPGA é um dispositivo que combina a flexibilidade de um FPGA com os recursos de um SoC, que integra processadores e recursos reconfiguráveis do FPGA. Foram desenvolvidas duas cargas úteis para serem utilizadas em missões, a Payload-X e a Payload-XL, que serão lançadas nas missões *Global Open coLlecting Data System* (GOLDS)-UFSC e Cassini.

Projetos de plataformas computacionais utilizando SoC para o espaço devem lidar com diversas limitações (como peso, potência e espaço) em um ambiente severo (devido ao vácuo, vibração, radiação e temperatura) enquanto devem fornecer alta capacidade computacional de forma confiável. Tal adversidade é agravada com a miniaturização

de satélites como os CubeSats onde os recursos são ainda mais diminutos (GEORGE; WILSON, 2018).

Na atualidade existem diversas técnicas de mitigação dos efeitos radioativos, desde os processos de fabricação até o projeto de placa de circuito impresso. Estas técnicas não são centralizadas e costumam estar aglomeradas por linhas de pesquisa em determinadas áreas por exemplo microeletrônica e engenharia de sistemas.

Algumas técnicas em nível de arquitetura de sistema podem ser empregadas para a utilização de componentes COTS como, por exemplo, *Triple Module Redundancy* (TMR) na qual a aplicação ou componente é triplicada e o resultado é decidido por votação. Além disso, é possível utilizar memórias mais robustas a efeitos da radiação, como as memórias *Ferroelectric Random-Access Memory* (FRAM) ou *Magneto-resistive Random Access Memory* (MRAM), e também o uso de COTS com testes de *Total Ionizing Dose* (TID) e *Single Event Effects* (SEE) como os disponibilizados pela ESA (ESA, s.d.) e pela *National Aeronautics and Space Administration* (NASA) (NASA, s.d.).

Este trabalho consiste de estudos dos efeitos radioativos relevantes em componentes eletrônicos em missões de CubeSats através da análise de trabalhos relacionados. E a elaboração de um compilado com técnicas para projeto utilizando SoC FPGA que demonstra algumas das técnicas empregadas em silício e a nível de circuito elétrico.

Finalmente, utilizando o estudo das técnicas de mitigação da radiação, é desenvolvida a arquitetura de um sistema computacional com o SoC FPGA da NanoXplore, o NG-ULTRA, combinado com COTS, para propor uma plataforma computacional robusta à radiação.

1.1 OBJETIVOS

1.1.1 Objetivo Geral

O objetivo geral do trabalho consiste na elaboração de diretrizes de boas práticas para projeto de módulos utilizando SoC, e a aplicação dessas diretrizes em um estudo de caso: a plataforma computacional robusta à radiação.

1.1.2 Objetivos Específicos

- Análise dos efeitos radioativos SEE e TID.
- Estudo de técnicas de tolerância a falhas e de mitigação contra a radiação.
- Elaboração de um compilado de técnicas voltadas ao desenvolvimento de SoC FPGA em módulos de CubeSats.
- Desenvolvimento da plataforma computacional.

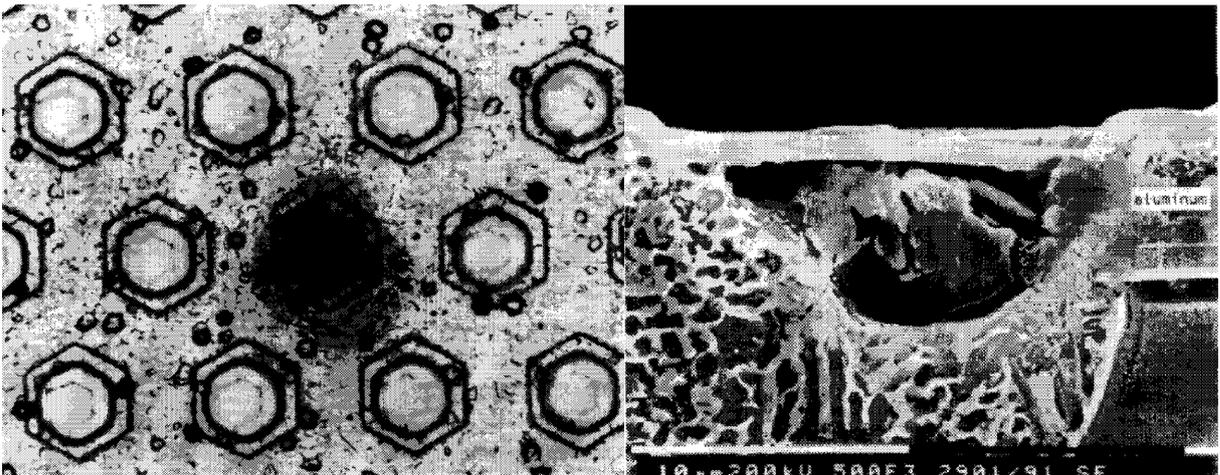
2 FUNDAMENTAÇÃO

Este capítulo servirá como fundamentação teórica, estudo do estado da arte e caracterização das tecnologias utilizadas no desenvolvimento de módulos para CubeSat.

2.1 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ELETRÔNICOS

Componentes eletrônicos são sensíveis a efeitos radioativos, principalmente semicondutores. Em um ambiente espacial há presença de várias partículas altamente energéticas (íons pesados, prótons e elétrons). Essas partículas ao colidirem com componentes eletrônicos geram diversos efeitos que variam entre perda de desempenho, desligamentos abruptos até falhas catastróficas. A Figura 1 mostra um buraco feito por uma partícula ionizante em um *MOS Field Effect Transistor* (MOSFET) de potência por um *Single Event Burnout* (SEB).

Figura 1 – SEB no *die* de um MOSFET de potência.



Fonte: (STASSINOPOULOS *et al.*, 1992)

A grandeza física usada para dimensionar a energia de partículas é o elétron-volt (eV)¹ A energia de uma partícula ionizante varia dependendo de sua origem, que pode ser de três tipos diferentes: (DUZELLIER, 2005):

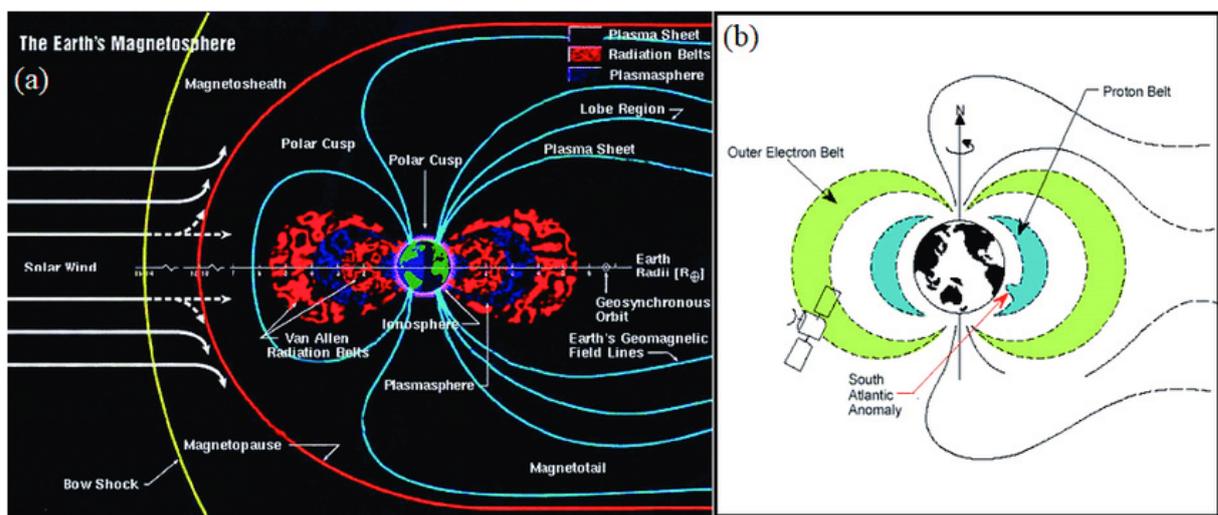
- **Raios Cósmicos:** Partículas vindas de fora do nosso sistema solar com uma cadência contínua podendo chegar a uma energia de milhares de GeV ;
- **Cinturões de radiação:** São campos de partículas que estão presas pelo campo magnético da Terra. A Terra conta com dois campos de radiação estáveis conhecidos como cinturão externo e interno de Van Allen (Figura 2), sua composição é de elétrons

¹ eV representa a quantidade de energia cinética de uma partícula quando acelerada por $1V$.

e prótons variando entre 5MeV e 7MeV . Novos campos podem ser formados na ocorrência de tempestades geomagnéticas como é o caso do cinturão observado após as tempestades de março de 1991 criando uma região entre os dois cinturões de Van Allen com elétrons de até 30MeV .

- **Erupções Solares:** Variam conforme o ciclo solar e liberam íons pesados de $10 \frac{\text{MeV}}{\text{núcleo}}$ até prótons de 500MeV .

Figura 2 – Em (a) é possível ver a magnetosfera e os Cinturões de Van Allen. Em (b) é explicitado a Anomalia Magnética do Atlântico Sul causada pela inclinação de 11° do eixo de rotação da Terra em relação e o seu centro de campo magnético.



Fonte: (NWANKWO; JIBIRI; KIO, 2020)

Na ocorrência de colisão entre uma partícula energética com o semiconductor parte da energia da partícula é transferida ao componente eletrônico, essa energia transferida é chamada de *Linear Energy Transfer* (LET) que é expressa em energia depositada por unidade de comprimento ao longo da trajetória da partícula ionizante e dado pela Equação (1) que relaciona a energia da partícula E_d com a densidade do material ρ e a espessura atravessada (DUZELLIER, 2005).

$$LET = \rho \cdot \frac{dE_d}{dx} \left[\frac{\text{MeV} \cdot \text{cm}^2}{\text{mg}} \right] \quad (1)$$

Os efeitos radioativos resultantes desta energia transferida pela partícula energética ao dispositivo semiconductor podem ser divididos entre efeitos de transiente e efeitos de longo prazo.

2.1.1 Efeitos de transiente

Os efeitos de transiente podem ocorrer em componentes eletrônicos através de SEEs ou por alta dose de radiação, sua susceptibilidade aumenta com a diminuição do tamanho do dispositivo e com o aumento da velocidade dos sinais do circuito (GAILLARD, 2011). Os efeitos de SEE são tão impactantes em tecnologias diminutas que estão se tornando um problema em aplicações terrestres com tecnologia CMOS sub-65nm (ALLES *et al.*, 2011). A Figura 3 mostra os efeitos mais relevantes para cada etapa de um *Application-Specific Integrated Circuit* (ASIC).

SEEs são classificados em *soft errors* que podem ser corrigidos com reinicialização ou reescrita do dado corrompido e *hard errors* que são danos irrecuperáveis e geram falhas catastróficas. SEEs e suas classificações estão listados na Tabela 1.

Tipo de SEE	Classificação	Descrição
SEU - Single Event Upset	<i>Soft Error</i>	Corresponde a alteração de um elemento de memória ou um <i>bit</i> .
MBU - Multiple bit Upset	<i>Soft Error</i>	A alteração de diversos elementos de memórias ou <i>bits</i> de uma única vez.
SEFI - Single Event Functional Interrupt	<i>Soft Error</i>	A perda do fluxo normal de operação, ocorre em dispositivos mais complexos com lógicas de controle.
SET - Single Event Transient	<i>Soft Error</i>	Um impulso de certa duração e amplitude afetando circuitos analógicos e digitais.
SED - Single Event Disturb	<i>Soft Error</i>	Corrupção momentânea de um bit de memória, afeta principalmente lógicas combinacionais.
SHE - Single Hard Error	<i>Soft Error</i>	Mudança inalterável em um elemento de memória.
SEL - Single Event Latchup e	<i>Hard Error</i>	Efeitos que geram uma alta corrente no circuito em CMOS.
SEB - Single Event Burnout	<i>Hard Error</i>	Efeito demonstrado na Figura 1 ocorre em MOSFETs de potência de canal N e em BJTs.
SEGR - Single Event Gate Rupture	<i>Hard Error</i>	É a ruptura do dielétrico do <i>gate</i> , ocorre em MOSFETs de potência.

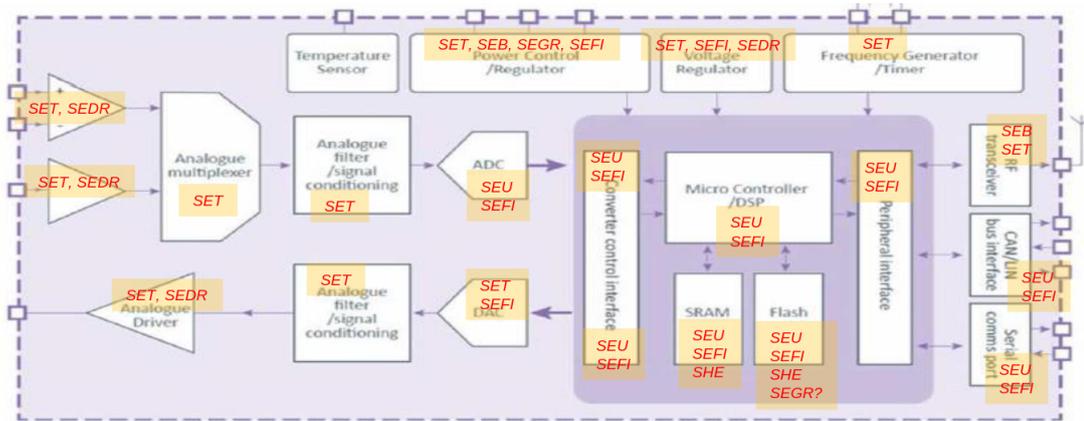
Tabela 1 – Descrição dos principais SEEs, sua classificação e descrição.

Fonte: Adaptado de (DUZELLIER, 2005)

2.1.1.1 Previsão de SEE

Para remediar SEE pode-se caracterizar o componente através da medida probabilística *cross-section* que relaciona a probabilidade de ocorrência de um SEE com o LET ou de forma mais prática a área sensível do dispositivo à ocorrência de SEE (PETERSEN *et al.*, 1992). O *cross-section* representa a tolerância contra SEE de um componente e é expresso na Equação (2). A Fluência é simplesmente a cadência de partículas ionizantes. A Figura 4 mostra a caracterização do *cross-section* de SEL de um microcontrolador. Existem trabalhos que buscam quantizar a carga crítica i.e. a quantidade mínima de LET

Figura 3 – Efeitos mais relevantes em cada etapa de um circuito de sinais mistos em ASIC.

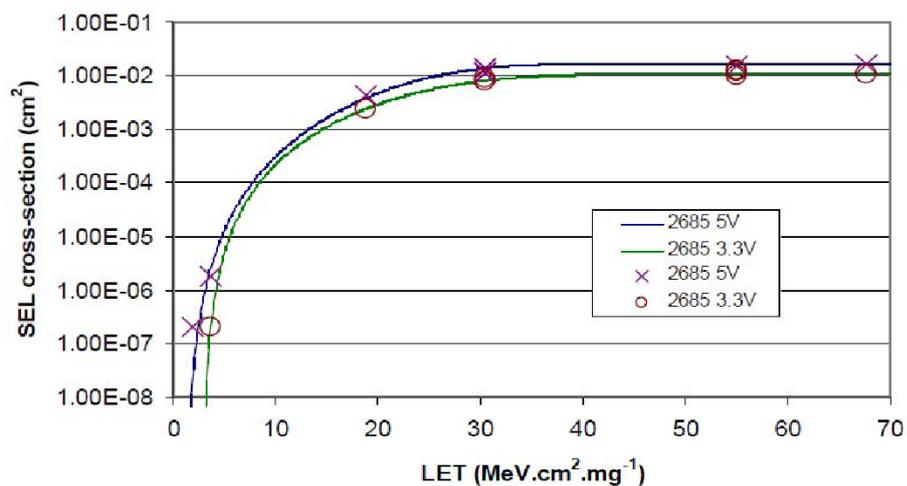


Fonte: (CÉSAR BOATELLA POLO, 2017)

para um componente sofrer um SEE utilizando simulações *SPICE* como em (GAILLARD, 2011) e (LHO, 2012).

$$\sigma(LET) = \frac{\text{Número de eventos}}{\text{Fluência}} \quad [cm^2] \quad (2)$$

Figura 4 – Exemplo da caracterização do *cross-section* de SEL de um microcontrolador PIC18LF2685 para alimentação de 5V e 3V3.



Fonte: (PILIA *et al.*, 2017)

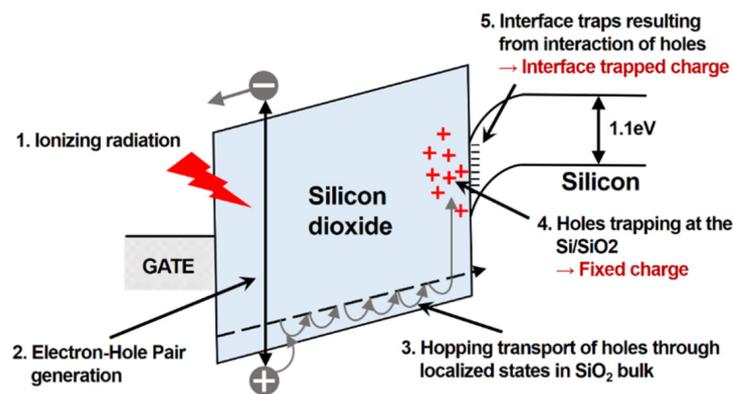
Atualmente, existem softwares que ajudam na previsão de SEE. O *freeware* OMERE da empresa francesa TRAD é amplamente utilizado por organizações como ESA e Airbus e utiliza cálculos baseados em valores de *cross-section* estimados pelo usuário para fornecer taxas de ocorrência de SEE considerando a órbita e tempo de missão (TRAD, 2014).

2.1.2 Efeitos de longo prazo

A exposição à um ambiente radioativo causa degradação progressiva ao componente de forma estável e previsível. Estes efeitos costumam gerar mudanças a longo prazo nas características de operação dos dispositivos. Utilizamos a métrica TID para quantizar a dose recebida de radiação. O TID é expresso em *rad* onde $1\text{rad} = 10^{-2}\text{Gy} = 6,24 \cdot 10^7 \frac{\text{MeV}}{\text{g}}$.

Em MOSFETs o principal efeito é aprisionamento de lacunas no óxido. No óxido do gate SiO_2 , após a colisão de uma partícula ionizante, um par elétron-lacuna é formado. O elétron e a lacuna são acelerados pelo campo elétrico criado pela tensão no *gate* em direções opostas, o elétron tende a se deslocar do óxido do gate para o gate e a lacuna se deslocará em direção a região do canal. Como a mobilidade de elétrons é muito maior que a de lacunas, o elétron tenderá a rapidamente se deslocar para o gate e será facilmente removido. Já a lacuna tem uma mobilidade muito menor e irá se deslocar lentamente pulando entre armadilhas. Conforme a lacuna é solta das armadilhas ela libera prótons H^+ que também são acelerados pelo campo elétrico em direção ao canal. Ao se aproximarem próximo o suficiente do canal as lacunas entram num estado praticamente estático de aprisionamento conhecido como *deep hole trapping* N_{ot} . De forma similar os prótons se movem em direção ao canal e seu estado estático é conhecido como *interface trap* N_{it} (SCHRIMPF, 2007). É possível ver este processo pela Figura 5.

Figura 5 – Cargas fixas induzidas por radiação no n-MOSFET causadas pelo TID.



Fonte: (LEE *et al.*, 2021)

Em um MOSFET de canal N, o acúmulo de cargas N_{it} e N_{ot} no óxido próximo ao canal, tornará o canal naturalmente (sem polarização) negativo, criando assim um caminho de condução e um efeito de vazamento de corrente. Isto implica numa corrente de fuga entre o *drain* e o *source* e na mudança da tensão de limiar para desligar o transistor que será deslocada conforme a quantidade de carga acumulada podendo chegar ao estado onde o transistor não conseguirá ser desligado pois a tensão de *cutoff* se tornará negativa. Podemos ver esse efeito acontecendo num MOSFET de potência através da Figura 7.

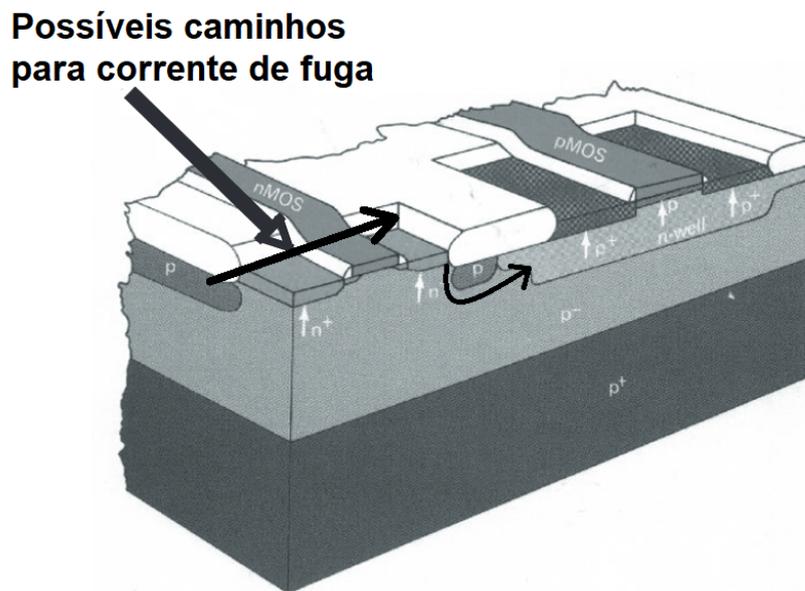
MOSFETs de canal P, conforme esperado, sofrerão de um efeito oposto. As cargas N_{it} e N_{ot} positivas tornarão a interface naturalmente negativa e isto causará maior dificuldade em criar um canal entre o *source* e o *drain*, dificultando o transistor de ser ligado.

De forma simplificada: a radiação a longo prazo causará a curva de tensão de limiar a ser deslocada de forma a, no MOSFET de canal N tornar impossível de desligar o transistor, e no MOSFET de canal P tornará impossível de ligar o transistor.

É importante mencionar que com a diminuição da litografia e a espessura do *gate* do óxido, os transistores tendem a se tornarem mais resistentes a este efeito. A mudança da tensão de limiar pode ser quantizada com a soma das armadilhas de carga no óxido (Equação (3)) (SCHRIMPF, 2007).

Em tecnologia CMOS, além do efeito visto no canal do transistor, existem outros pontos que contribuem para a formação de correntes de fuga. A camada isolante conhecida como *field oxide*, devido ao seu grande volume, absorve muita radiação e eventualmente pode criar caminhos para correntes de fuga, explícitos na Figura 6 específico entre o *drain* do MOSFET de canal N e o substrato do MOSFET de canal P e por fim a camada isolante pode gerar também uma corrente de fuga entre o *drain* e o *source* do transistor de canal N.

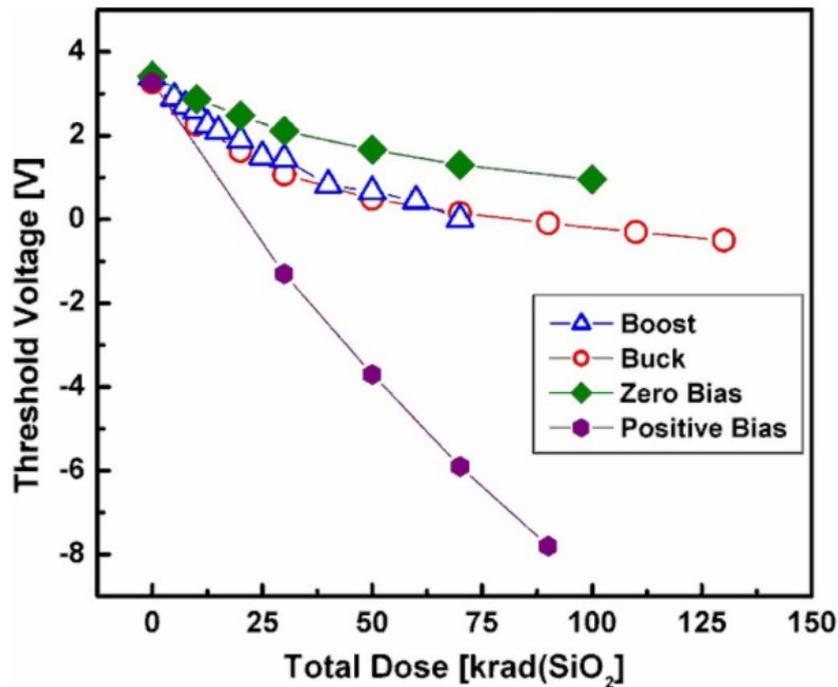
Figura 6 – Possíveis caminhos de corrente de fuga em CMOS.



Fonte: Adaptado de (SCHRIMPF, 2007)

$$\Delta V_T = -\frac{Q_{ot}}{C_{ox}} - \frac{Q_{it}}{C_{ox}} \quad (3)$$

Figura 7 – A queda no nível de tensão de limiar do MOSFET de potência IRF150 conforme o aumento da dose total de radiação para diferentes tipos de polarização.



Fonte: (ADELL; SCHEICK, 2013)

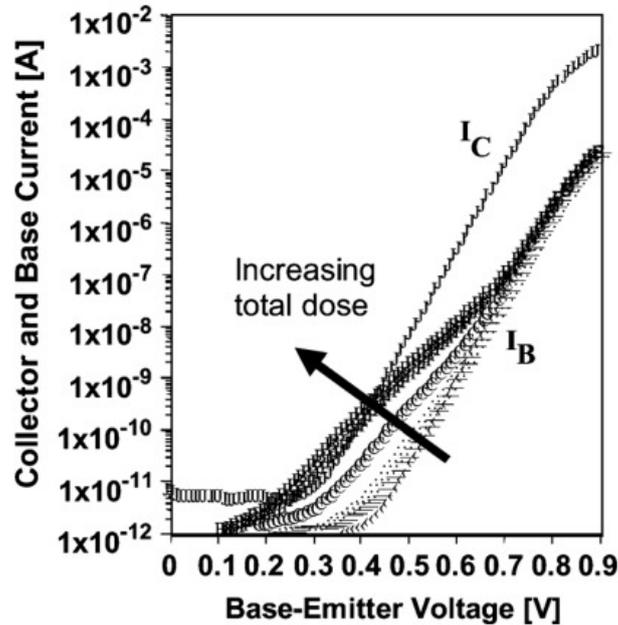
De forma geral, o deslocamento na tensão de limiar é o efeito mais relevante em dispositivos com uma camada grossa de óxido no *gate* ou seja em dispositivos MOSFET de maior tamanho como MOSFETs de potência. Enquanto o efeito do aumento da corrente de fuga se torna mais relevante em dispositivos dimensionados como CMOS (SCHRIMPF, 2007).

Em BJTs o principal efeito é a diminuição do ganho de corrente e o aumento da corrente de base (Figura 8). Devido a diminuição do ganho de corrente, muitos amplificadores ou reguladores de tensão tendem a falhar por problemas nas tensões de referência.

2.2 SISTEMAS DE POTÊNCIA

Em missões de CubeSats o módulo responsável pela geração, armazenamento e distribuição de potência é conhecido como *Electrical Power System* (EPS). Comumente são usados dois tipos de arquitetura: *Distributed Power Architecture* (DPA) onde o EPS fornece múltiplos barramentos de tensão para o submódulo que internamente precisa fazer poucas conversões e a *Intermediate Bus Architecture* (IBA) que fornece apenas uma tensão a cada submódulo e exige etapas intermediárias para conversão (HEMMO, 2013). Um SoC FPGA comumente requer tensões muito específicas e incomuns de serem encontradas nos barramentos de EPS. Dessa forma é natural partirmos do pressuposto de uma arquitetura

Figura 8 – Aumento das correntes de coletor e base de um transistor BJT NPN OP97.



Fonte: (ADELL; SCHEICK, 2013)

IBA e projetar um sistema de potência para gerar estas tensões específicas no próprio módulo. Pode-se utilizar um sistema em cascata ou um sistema em paralelo. Um sistema em cascata costuma ter uma eficiência menor mas ocupa menos espaço pois os degraus de tensão tendem a ser menores.

Uma grande preocupação são *latch-ups* ocasionados por SEL: neste evento o tiristor PNPN parasita no substrato dos dispositivos semicondutores é ativado. Essa junção ocasiona um efeito de curto circuito entre os pinos de alimentação e gera consumo elevado de corrente. Como os Circuito Integrado (CI)s modernos são relativamente sensíveis à picos de energia o efeito pode ser nocivo e gerar falhas catastróficas (ECSS, 2008), desta forma os SEL são uma grande preocupação em módulos de CubeSats.

2.2.1 Estimativa de consumo

Devemos inicialmente estimar o consumo de potência esperado e o consumo máximo do módulo. Essa estimativa é dividida em duas etapas o consumo do SoC FPGA e o consumo dos outros CIs.

Para a estimativa de consumo do SoC FPGA é comum as fabricantes fornecerem ferramentas de estimação de potência onde o usuário fornece as informações de operação como *clock*, números de blocos lógicos, de *Digital Signal Processing* (DSP) e IOs e essa ferramenta fornece a potência esperada assim como as correntes em cada pino de alimentação.

O consumo dos outros componentes da *Printed Circuit Board* (PCB) pode ser estimado utilizando valores individuais do *datasheet*. Comumente deve-se buscar pela tensão de alimentação, a corrente nominal e corrente máxima do componente (RIGO, 2019). O sistema de potência deve ser dimensionado de forma a suportar a potência máxima esperada pelos componentes externos e o SoC FPGA em seus piores casos. Com estas estimativas é possível projetar a cascata de potência.

2.2.2 Conversores de Potência

Os conversores DC-DC são necessários para atender as diferentes tensões de alimentação dos submódulos e componentes eletrônicos. Existem diferentes tipos de conversores com suas vantagens e desvantagens em custo, complexidade, tamanho e eficiência. A eficiência é um dos principais aspectos a serem levados em conta pois uma baixa eficiência aumenta o consumo de energia (fator crítico para CubeSats que contam com baixo *power budget* implicando em diversos fatores como maior dissipação de calor).

O *cross-section* de conversores é variável conforme a potência de operação. Em Mand *et al.* (2023) são realizados testes de SEE com LET de $46 \frac{\text{MeV}\cdot\text{cm}^2}{\text{mg}}$ em conversores *buck* com corrente de carga variando entre 0.06A até 2A para tensões de 10V, 12V, 15V, 19V e 24. É perceptível através dos resultados que o aumento da corrente e tensão de entrada contribuem para o aumento de *cross-section*. As configurações de tensão e corrente em que não são observados *hard-errors* durante testes são classificadas como *Safe Operating Area* (SOA).

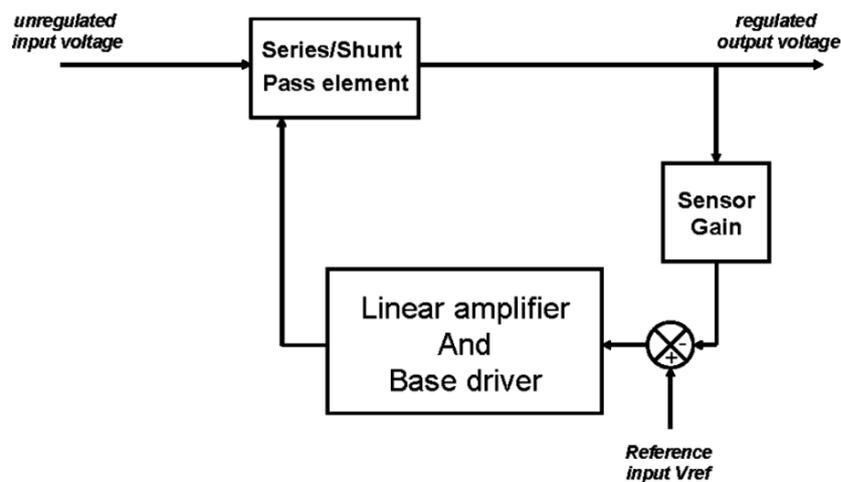
2.2.2.1 Conversores LDO

A conversão de tensão utilizando um *Low-Dropout Regulator* (LDO) é o método mais direto e simples, sua complexidade é mínima, como exposto em (DEVICES, 2009) eles utilizam uma divisão resistiva para diminuir a sua tensão e comumente um amplificador de erros com tensão de *feedback*, a sua perda de potência é dada pela Equação (4) sendo V_{drop} a queda de tensão desejada e P_{bias} a potência necessária para polarização dos circuitos internos.

$$P_{Loss} = V_{drop} \cdot I_{out} + P_{bias} \quad (4)$$

A necessidade de componentes passivos costuma se limitar apenas a capacitores de desacoplamento e portanto a implementação destes conversores costuma exigir pouco espaço. Como desvantagem está a sua estabilidade de tensão e subida não-linear de tensão, necessária para dispositivos mais complexos como é comumente exigido em projetos de alimentação de FPGAs. Os LDOs, utilizam um elemento de passagem comumente um BJT que opera na região linear podendo ser um *Negative-Positive-Negative* (NPN) ou um *Positive-Negative-Positive* (PNP). Além disso, os reguladores podem ser em *shunt*,

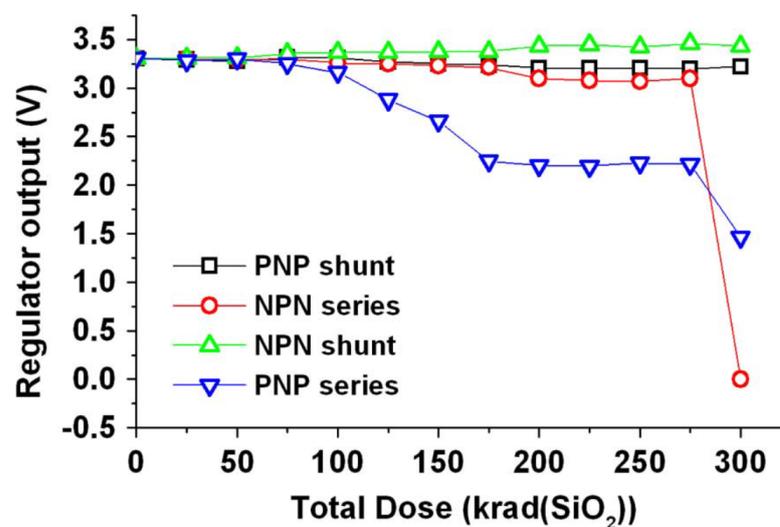
Figura 9 – Arquitetura genérica de um LDO.



Fonte: (ADELL; SCHEICK, 2013)

onde a carga e o regulador ficam em paralelo, ou em *series*, onde o regulador fica em série com a carga. A Figura 10 mostra o desempenho das diferentes topologias de LDOs em testes de TID, podemos notar a alta resistência em topologias *shunt*, isto ocorre pois topologias *shunt* operam com uma tensão de saída do amplificador de *feedback* menor do que em topologias *series* o que os tornam menos sensíveis à eventual degradação da faixa dinâmica da tensão de saída (ADELL; SCHEICK, 2013).

Figura 10 – Testes de TID para diferentes topologias de conversores lineares.



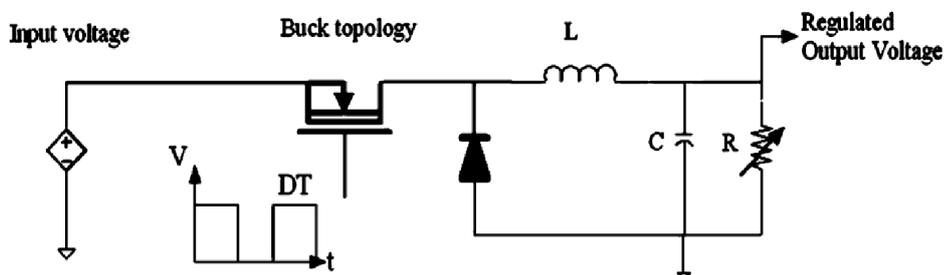
Fonte: (ADELL; SCHEICK, 2013)

2.2.2.2 Conversores Chaveados

Conversores chaveados requerem uma implementação mais complexa, exigindo mais espaço e um maior número de componentes passivos; porém, oferecem uma eficiência superior em comparação com conversores lineares.

Existem dois tipos principais de conversores chaveados: *step-down (buck)* que reduzem a tensão DC e *step-up (boost)* além de existir a combinação *buck-boost*. Em aplicações voltadas para conversão e regulação da alimentação em *Point-of-Load (PoL)* é usual precisarmos apenas reduzir a tensão ou isolar a alimentação do resto do satélite e por tanto o mais comum são conversores *buck*. A eficiência de um conversor *buck* está entre 70% até 95%. A sua arquitetura consiste em uma rede de chaveamento e um filtro passa-baixa para remover harmônicas. A frequência da rede de chaveamento costuma ser controlada por um CI dedicado que monitora a tensão de saída e ajusta o sinal *Pulse-Width Modulation (PWM)* de chaveamento no *gate* do MOSFET, em alguns casos o MOSFET também é inserido dentro do encapsulamento o que costuma reduzir o espaço ocupado (HEMMO, 2013). Na Figura 11 é possível ver a arquitetura de um *buck*, enquanto o MOSFET está ligado o indutor armazena energia em forma de campo magnético e a corrente flui para o capacitor e a carga, ao desligar o MOSFET a tensão no nó entre o diodo e indutor desce e o diodo entra na região direta fechando o circuito, o capacitor impede picos de tensão. O valor de tensão da saída depende linearmente do *duty cycle D* que chaveia o acionamento do MOSFET (Equação (5)). Uma estratégia utilizada para aumentar a eficiência energética é substituir o diodo por outro MOSFET pois tem uma resistência de condução R_{ds} e queda de tensão V_{ds} bem menor que a queda do diodo (tipicamente 0,7V) o que acarreta em menores perdas de potência, o chaveamento deste segundo MOSFET é comumente controlado pelo mesmo CI de PWM.

Figura 11 – Arquitetura simplificada de um conversor *buck* assíncrono.



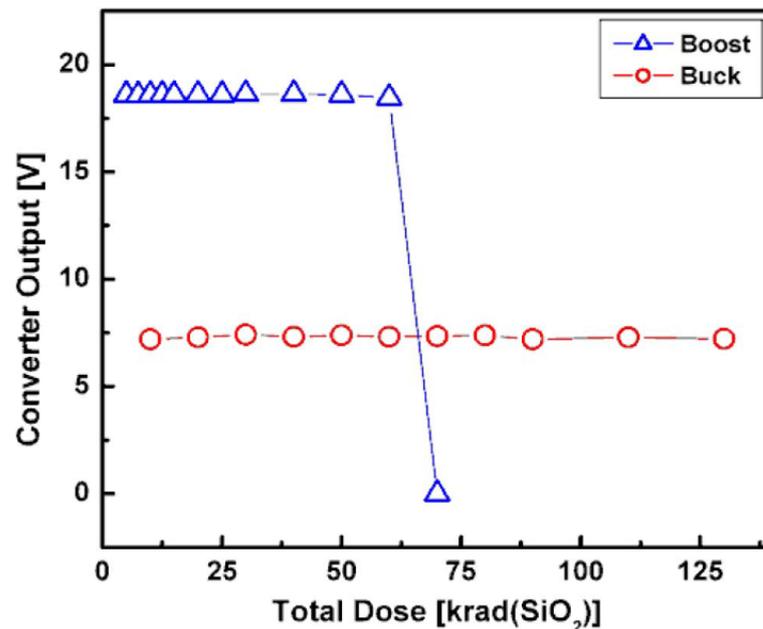
Fonte: (ADELL; SCHEICK, 2013)

$$V_{out} = D \cdot V_{in} \quad (5)$$

Conforme descrito na seção 2.1.2 os MOSFETs tendem a ter sua tensão de limiar reduzida com o acúmulo de TID resultando na impossibilidade do transistor ser chaveado,

em topologias *buck* o *source* do transistor não é conectado ao *ground* (Figura 11) o que significa que a tensão requerida para desligar o MOSFET é comumente mais alta pois equivale à tensão de limiar mais a tensão de *source* e desta forma a tensão final de limiar é mais alta e demora mais para decrescer ao ponto do transistor não poder ser mais chaveado. Podemos ver pela Figura 12 que o conversor *boost* falha muito mais cedo que o *buck* e esta falha se deve ao fato do *source* do MOSFET do *boost* estar conectado ao *ground*. Por outro lado, em topologias síncronas o diodo mostrado na Figura 11 é substituído por um segundo MOSFET que então terá seu *source* ligado ao *ground* de forma semelhante a um *boost* e terá uma falha prematura devido à impossibilidade de chaveamento.

Figura 12 – Teste de TID em conversores *buck* e *boost*.



Fonte: (ADELL; SCHEICK, 2013)

Os SEEs de SEB e SEGR são os mais relevantes em conversores chaveados. SEBs só ocorrem em MOSFETs de canal N, durante o estado desligado. Em conversores chaveados o MOSFET está desligado durante $1 - D$ e pela Equação (5) quanto maior a distância entre as tensões de conversões maior o tempo em que o MOSFET fica desligado, ou seja aumentando a chance de ocorrer SEB. A ocorrência de SEB também aumenta com a razão entre a tensão V_{DS} e a tensão de *breakdown* BV_{dss} (SCHEICK, 2008).

2.3 MEMÓRIAS

As memórias são elementos essenciais em aplicações de sistemas embarcados pois são utilizadas para armazenar dados ou código de programa. Devido a sua enorme gama de funcionalidades, diversas tecnologias de memórias foram desenvolvidas para atender

diferentes requisitos, por exemplo, memórias NAND-Flash tem uma densidade de armazenamento oito vezes maior que o de uma *Static Random Access Memory* (SRAM) e são não-voláteis, i.e. seu conteúdo continua armazenado ao desligar a alimentação. Porém memórias SRAM tem um tempo de acesso muito inferior e por isso costumam ser amplamente usadas como memória *cache* ao passo que a primeira é utilizada para armazenamento em massa.

2.3.1 Memórias Não-Voláteis

Diversos fenômenos físicos podem ser utilizados para criar uma *bit* de memória. O método mais comum é pelo armazenamento de carga, para memórias não-voláteis é preciso um poço de potencial que possa confinar a carga. Além disso, deve haver uma forma de injetar, remover e detectar as cargas.

Para comparar o tamanho do custo de espaço por *bit* de cada tecnologia utilizamos a métrica F^2 onde F representa o tamanho mínimo a ser padronizado no *chip*, comumente a distância entre *drain* e *source* do transistor MOSFET. Além disso, uma tecnologia pode ser classificada de acordo com o seu número máximo de operações de escrita/apagamento até que a célula perca as suas propriedades devido ao desgaste. A Tabela 2 traz os principais aspectos das tecnologias de memória usadas em CubeSats.

Tecnologia	FG - NAND	FG - NOR	FRAM	MRAM
Tamanho da Célula	$4F^2$	$10F^2$	$22F^2$	$45F^2$
Tolerância à radiação	Ruim	Ruim	Boa	Muito Boa
Leitura	Rápida	Rápida	Rápida	Rápida
Escrita	Lenta	Lenta	Rápida	Rápida
Ciclos	10^5	10^5	10^{14}	10^{16}

Tabela 2 – Comparação entre tecnologias de memórias não voláteis.

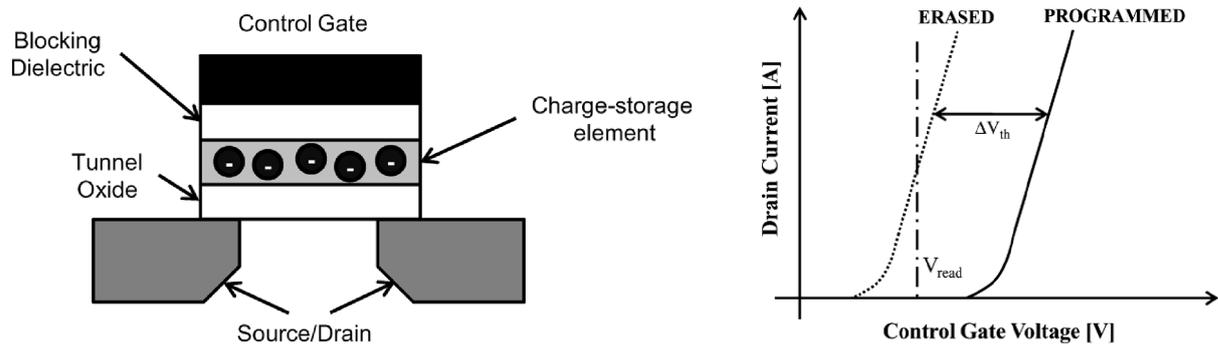
Fonte: Adaptado de (DUZELLIER, 2005)

2.3.1.1 Flash

Por conseguir respeitar a lei de Moore nos dias atuais, a tecnologia de *Floating Gate* (FG) é a mais utilizada no desenvolvimento de memórias. Essa tecnologia consiste na utilização de MOSFETs com uma camada extra de isolante e outro *gate* acima do *gate* original (Figura 13). O *gate* original é chamado de *floating gate* e o outro de *control gate*. Ao aplicarmos um potencial no *control gate* podemos armazenar carga no *floating gate* através de cargas que se deslocam do canal pela camada de isolamento. Como o *floating gate* está eletricamente isolado, sua corrente de fuga é extremamente baixa. Dependendo do valor de carga armazenado no *floating gate* a relação entre a tensão do *gate* e corrente no *drain* é alterada como demonstrado na Figura 13. O estado da célula pode ser lido

polarizando o *control gate* em uma tensão fixa, intermediária entre a tensão limite das células programadas e apagadas, e comparando a corrente consumida pela célula com uma célula de referência: a célula apagada consumirá uma quantidade significativa de corrente, enquanto programado não consumirá corrente ou será insignificante (GERARDIN; PACCAGNELLA, 2010).

Figura 13 – Na esquerda o esquemático de uma célula de FG. Na direita o deslocamento da curva de limiar conforme o estado da célula.



Fonte: Adaptado de (GERARDIN; BAGATIN *et al.*, 2013) e (GERARDIN; PACCAGNELLA, 2010)

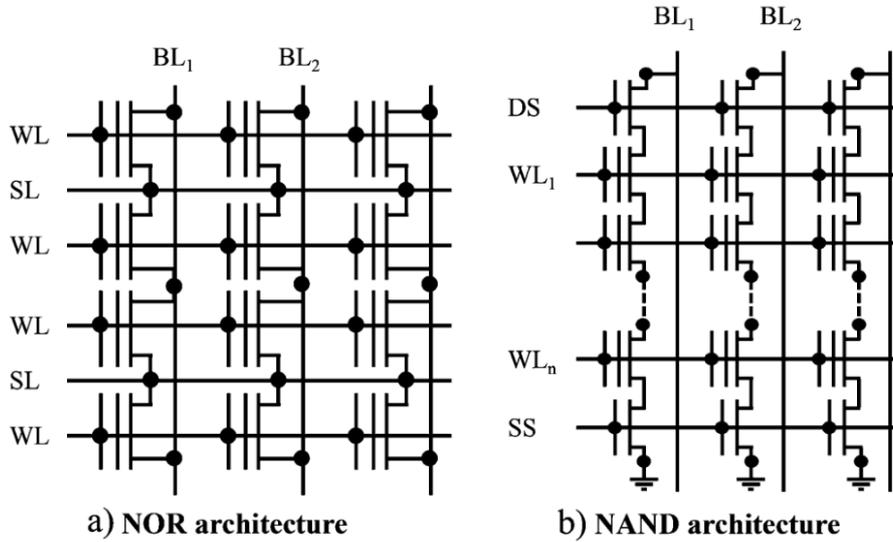
Memórias *flash* utilizam FG e através de paralelismo conseguem um ótimo desempenho. A operação de apagar a memória é feita em blocos (normalmente de alguns *Mb's*). Memórias *flash* são projetadas usando uma entre duas arquiteturas, NAND ou NOR expostas na Figura 14. Cada arquitetura tem suas funcionalidades e aplicabilidades. Abaixo está uma lista com suas comparações:

- **NOR:** tem um tempo de leitura de aproximadamente $100ns$, de programação (por palavra) de $5\mu s$ e de apagamento (por bloco) é de $200ms$. Seu tamanho de bit é de $10F^2$.
- **NAND:** Tem a maior densidade de *bits* com $4F^2$. Sua velocidade de programação (por página) é de $0.2ms$, de apagamento (por bloco) $2ms$.

Estas diferenças de funcionalidades tornam a NOR mais utilizada para armazenar código e a NAND para armazenar dados.

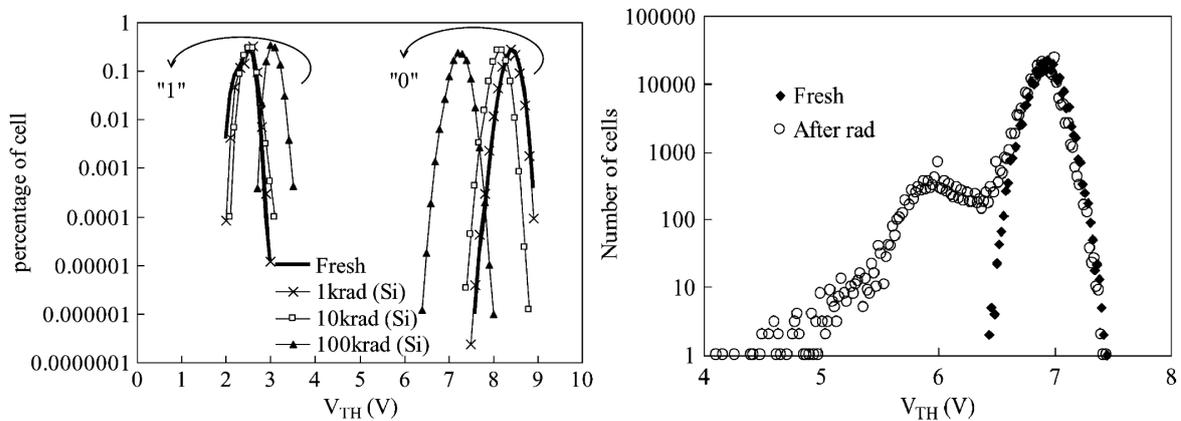
Conforme visto em 2.1.2 a radiação em MOSFETs geram um deslocamento na tensão de V_{th} , em memórias *flash* isso causa um deslocamento na distribuição de tensão para os estados da célula de memória. As tensões de estado lógico '0' e '1' movem-se na direção do estado intrínseco. O choque das distribuições costuma ocorrer após $100krad$. Além disso, SEE como SEU ou em piores casos *Multiple-Cell Upset* (MCU)s podem ocorrer. O deslocamento de V_{th} estará relacionado diretamente com o LET e o efeito se intensifica

Figura 14 – Arquiteturas NOR (a) e NAND (b).



Fonte: (GERARDIN; BAGATIN *et al.*, 2013)

Figura 15 – No gráfico à esquerda é apresentado o efeito do deslocamento da tensão V_{th} por doses ionizantes. No gráfico à direita o deslocamento causado por íons pesados.



Fonte: (GERARDIN; BAGATIN *et al.*, 2013)

com a diminuição do tamanho do *floating gate*. Na Figura 15 é possível observar este efeito: para ocorrer o SEU o V_{th} precisa ser deslocado para além da tensão de leitura.

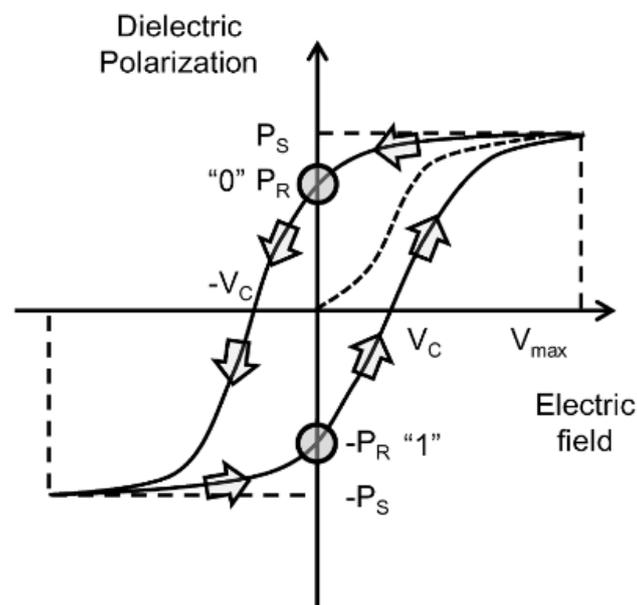
Além das células de memória, existem integrados ao *chip* circuitos externos que gerenciam as células. Por sua vez, estes circuitos também geram erros por efeitos radiativos. Ao selecionar uma página para leitura ou escrita o codificador de linhas carrega os dados no *page buffer*, comumente composto por *latches*. Os dados tornam-se mais sensíveis no *page buffer* o que acarreta em maior probabilidade de erros por SEE. O circuito externo

mais vulnerável à radiação é o *charge pump* responsável por, através do carregamento de capacitores em série, elevar as tensões para apagar e programar as células. O circuito de *charge pump* é dividido em vários estágios e devido à alta tensão e à acurácia requerida na tensão de saída para programar corretamente as células costuma ser o bloco mais crítico das memórias e o primeiro a falhar. Além disso as operações de escrita, programação e leitura das células também estão suscetíveis à SEFI mas que podem ser corrigidos com um *reset* na operação ou na alimentação.

2.3.1.2 FRAM e MRAM

Memórias FRAM usam o princípio de polarização. Ao aplicarmos um campo elétrico como em um capacitor os dipolos do seu dielétrico são orientados, porém ao removermos a polarização essa orientação some. Em materiais ferroelétricos a orientação é mantida após a remoção da polarização, essa característica é explorada para gerar um *bit* e o sentido da orientação é usado para simbolizar os valores lógicos.

Figura 16 – Curva de histerese demonstrando o efeito de polarização em materiais ferroelétricos, onde P_R é a polarização remanescente e P_S é o ponto de polarização máxima.



Fonte: (GERARDIN; BAGATIN *et al.*, 2013)

A densidade de *bits* da FRAM é de $22F^2$ seu tempo de acesso e também de escrita é menor do que $100ns$, como vantagem a FRAM não necessita de operações de apagamento, porém ao realizar uma leitura é sempre necessário subsequentemente realizar uma escrita e com o tempo a curva de histerese se desloca para o estado em que a célula foi deixada por mais tempo. O desempenho das células de memória contra TID e SEE é excelente

(GERARDIN; PACCAGNELLA, 2010), (ZHANG *et al.*, 2015). O seu ponto de falha costuma ser apenas os circuitos externos de gerenciamento que assim como em memórias Flash está suscetível à SEL, SEFI e outras falhas relacionadas a TID.

Memórias MRAM seguem um princípio muito similar a memórias FRAM, porém utilizam material ferromagnético que ao serem magnetizados podem manter o estado uma vez que a polarização é removida. A magnetização pode ser identificada pelo fenômeno de magnetorresistência, i.e. depende da polarização do material sua condutividade é alterada. A área por bit é de aproximadamente $45F^2$ e as operações de leitura e escrita demoram menos de $50ns$, assim como FRAMs não necessitam de operação de apagamento e são extremamente robustas contra radiação (KATTI *et al.*, 2009).

2.3.2 Memórias Voláteis

As memórias voláteis tem como característica o fato de só armazenarem dados enquanto estão energizadas. São divididas em duas grandes categorias *Dynamic Random Access Memory* (DRAM) e SRAM. DRAM utiliza um capacitor e um transistor por célula de *bit* e SRAM usa seis transistores. SRAM são mais caras e mais complexas e menos densas que DRAM porém fornecem um tempo de acesso inferior.

Em relação à radiação, além de TID os principais SEE em SRAMs são SEFI, SET e SEU e SEL sendo o último o único *hard error*. SEU gera *bit flips*, SEFIs causam diversos efeitos como resets globais, mudança no endereço sendo acessado, corrupção do fluxo de dados sendo baixado. SET podem ser mudanças momentâneas na tensão ou corrente que pode ser propagado a um circuito e causar um SEU (SIEGLE *et al.*, 2015).

2.4 FPGA

FPGAs são circuitos integrados que podem ser configurados para implementar circuitos digitais. O usuário, descreve a arquitetura através de uma *Hardware Description Language* (HDL) como *Verilog* ou *Very high speed integrated circuits HDL* (VHDL). O código HDL por sua vez é compilado em um *bitstream* que é carregado nas células SRAM de configuração do FPGA.

Em comparação com um ASIC, o projeto de um FPGA é muito mais rápido e possui custo reduzido. Essa agilidade se deve ao fato do projeto em FPGA poder evitar as etapas de projeto físico, leiaute e verificação do circuito integrado. Contudo, a flexibilidade dos FPGA vem com o custo de eficiência, conforme demonstrado em (KUON; ROSE, 2007) FPGAs costumam ter seus blocos lógicos de programação 35 vezes maior e 4 vezes mais lentos quando comparados com implementações correspondentes em ASIC.

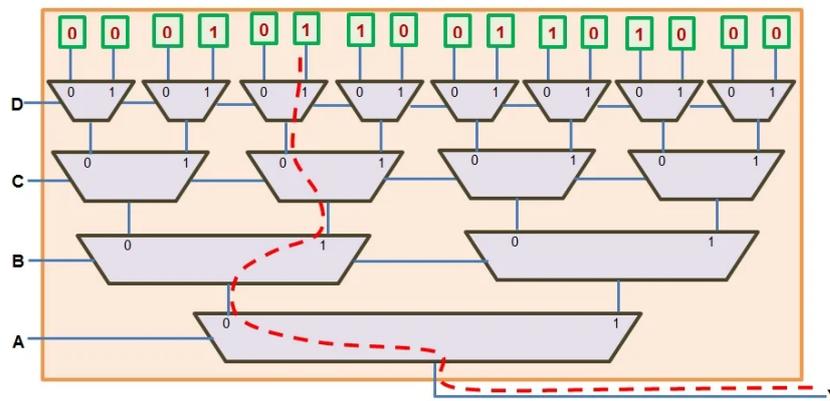
2.4.1 Arquitetura de FPGA

Os primeiros FPGAs eram baseados em *Programmable Array Logic* (PAL). PALs são *arrays* de portas lógicas *and* e *or*, que através de *switches* nas portas lógicas eram capazes de implementar qualquer expressão booleana da forma de soma de produtos. Esta abordagem tornava o atraso crítico consistente em diferentes aplicações simplificando as ferramentas de síntese porém a escalabilidade tornou-se um grande problema, uma vez que o número de *switches* crescia de forma quadrática.

2.4.1.1 Arquiteturas LUT

Uma arquitetura *Look-Up Table* (LUT) armazena a tabela-verdade da Equação booleana em memórias, comumente SRAM ou em alguns casos *flashs* e utiliza das entradas para multiplexar dentre as saídas da tabela-verdade. Um FPGA com arquitetura K -LUT suporta K entradas por bloco lógico e 2^K saídas. Na Figura 17 podemos ver uma implementação resumida de um bloco LUT.

Figura 17 – Implementação de uma função de 4 entradas usando uma 4-LUT.



Fonte: (H.L, s.d.)

Ao utilizarmos LUT podemos realizar trabalho pré-computacional onde a implementação de uma função com entradas discretas tem todas as possíveis entradas e as correspondentes saídas em blocos de memória, desta forma o custo computacional se torna apenas de *fetching* o que é mais eficiente.

2.4.2 Radiação em FPGAs

Os efeitos sofridos pela tecnologia CMOS (mudança na tensão de limiar e aumento da corrente de fuga) devido ao TID, conforme descritos nas seções anteriores, resultarão no aumento do consumo de corrente e no atraso de propagação dos circuitos sintetizados (QUINN, 2017).

Uma estratégia comum é priorizar FPGAs baseadas em *flash* em vez SRAM pois são mais robustas contra SEU como feito em (BEKKENG *et al.*, 2019) e utilizar algoritmos de *Error Detection and Correction* (EDAC).

Existem SoC FPGA RHBD como é o caso da NG-ULTRA da NanoXplore.

2.4.2.1 NG-ULTRA

Este FPGA traz diversas funcionalidades que adicionam tolerância a efeitos da radiação como: EDAC embarcado para as memórias do SoC, *scrubbing* nas memórias de configuração (ver Seção 3.6), verificação e correção automática de integridade de *bitstream* e memórias de configuração utilizando *Configuration Memory Integrity Check* (CMIC) (NANOXPLORE, 2024).

A NG-ULTRA é o primeiro FPGA *rad-hard* com litografia de *Fully Depleted - Silicon On Insulator* (FD-SOI) 28nm. Esta tecnologia insere uma camada de óxido abaixo do *drain*, canal e *source* que reduz a capacitância do *gate* e as correntes de fuga. Além disso essa tecnologia é imune a *latch-ups* e mais resistente a SEE em geral, pois o isolamento da região do dispositivo e a diminuição da região ativa diminuem o volume sensível do dispositivo e a quantidade de carga acumulada por colisões, desta forma dificultando o alcance da carga crítica (ALLES *et al.*, 2011).

2.5 BARRAMENTOS DE INTERFACE SERIAL

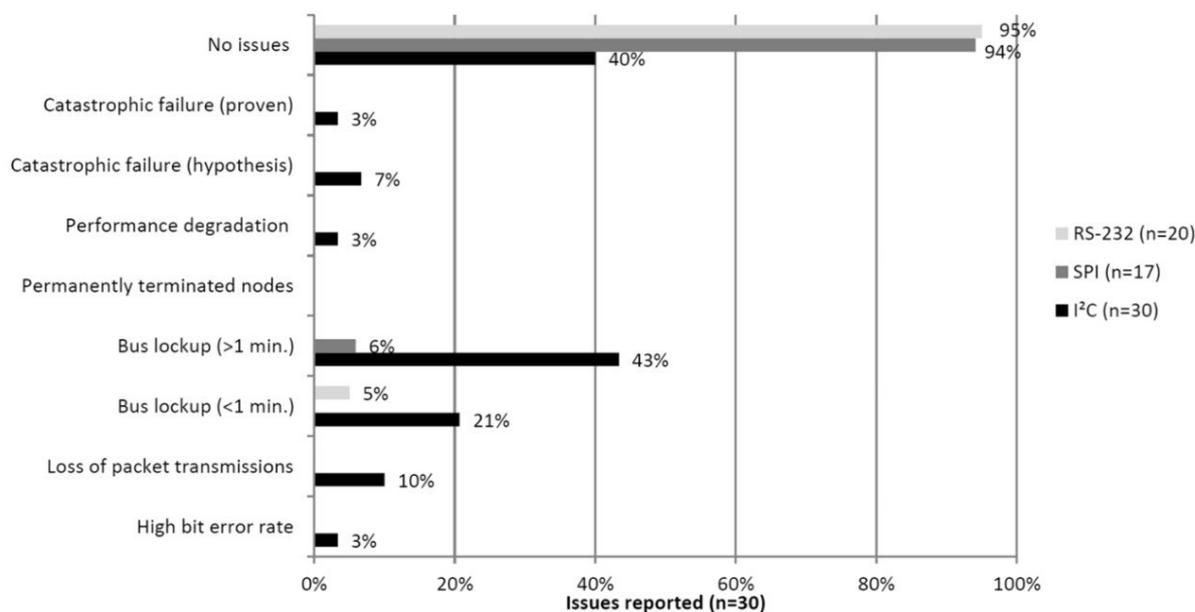
Os barramentos de interface serial são parte vital de sistemas eletrônicos. Eles são usados para comunicação entre diferentes pontos de um módulo, como um microcontrolador acessando dados de uma memória com controlador serial, até a comunicação entre diferentes módulos, como um computador de bordo dando instruções de desligamento para uma carga útil do satélite.

Conforme COTS ganham importância em missões espaciais seus protocolos são consequentemente integrados às aplicações. Os protocolos mais comuns são *Inter Integrated Circuit* (I^2C) e *Serial Peripheral Interface* (SPI), em 2014 cerca de 75% das missões lançadas ou para ser lançadas utilizavam do protocolo I^2C e cerca de 46% utilizavam SPI (JASPER BOUWMEESTER MARTIN LANGER, 2017).

O protocolo I^2C é *half-duplex* com duas linhas, uma de dados e outra de *clock* e é organizado no padrão de mestre e escravo assim como SPI. O protocolo SPI tem uma linha de *clock*, uma linha para transmissão de dados, uma de recepção de dados e uma linha de *enable* para cada um dos dispositivos escravos conectados no barramento.

A Figura 18 mostra uma pesquisa de erros reportados para os padrões SPI, I^2C e RS-232. Podemos ver uma quantidade enorme de erros ao trabalhar com o barramento de I^2C (apenas 40% dos casos avaliados não mostraram nenhum problema). Os barramentos de I^2C tendem a ter uma robustez inferior comparada com as outras comunicações seriais

Figura 18 – Falhas em órbita de barramentos de comunicação serial.



Fonte: (JASPER BOUWMEESTER MARTIN LANGER, 2017)

devido a diversos motivos como:

- Falta de uma linha separada para *handshake* e controle quando comparado com SPI.
- Comumente *I²C* é empregado para trabalhar com um maior número de nós quando comparado com SPI.
- A máquina de estados do controlador de *I²C* e de *firmware* pode ter diferenças de implementação ou sofrer algum SEFI.

Em geral deve-se preferir utilizar SPI, utilizar comunicações seriais mais robustas do que *I²C* ou aplicar técnicas de mitigação.

2.5.1 CAN e SpaceWire

Nos últimos anos o protocolo *Controller Area Network* (CAN) tem se tornado popular em projetos de CubeSats (JASPER BOUWMEESTER MARTIN LANGER, 2017). Ele utiliza um par diferencial de alta tensão e foi desenvolvido especificamente para aplicações automotivas. Além disso, está qualificado para operar em ambientes espaciais. A implementação requer apenas um *transceiver* externo. CAN conta com cinco tipos de verificação de erro, três em nível de mensagem e dois em nível de *bits*. Caso um erro seja detectado, um *error frame* é enviado, obrigando o emissor a reenviar a mensagem por um número determinado de vezes até que a transmissão seja bem-sucedida (TEXAS INSTRUMENTS, 2002).

O CAN é extremamente versátil e oferece robustez quando comparado com outros protocolos COTS. Porém seu limite está em $1Mb/s$. O SpaceWire é uma rede de comunicação desenvolvido pela ESA especificamente para aplicações espaciais e oferece uma velocidade de $2Mb/s$ até $400Mb/s$ porém ao contrário da rede de CAN que exige apenas um par diferencial, o SpaceWire é *full-duplex* e requer 8 pinos diferenciais e um pino para aterramento. A implementação de SpaceWire pode ser feita utilizando um roteador tipo *cross-bar* ou ligando os dispositivos entre si (PARKES; ARMBRUSTER, 2005).

3 TÉCNICAS DE MITIGAÇÃO DE EFEITOS DA RADIAÇÃO

Neste capítulo são abordadas técnicas de mitigação de efeitos da radiação que podem ser empregadas em projetos de módulos de CubeSats.

3.1 SISTEMA DE CONFIABILIDADE E HERANÇA DE VOO

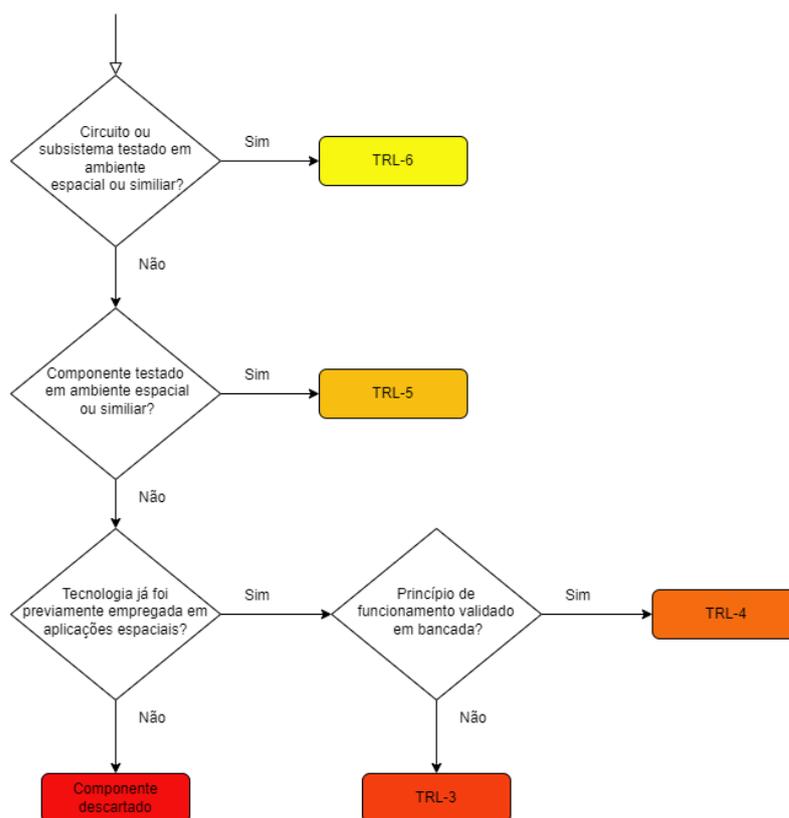
Ao lidar com COTS é comum não termos acesso a toda arquitetura do CI utilizado, processo de fabricação e afins e muitas vezes pode haver algum *design* contido que é capaz de gerar falhas catastróficas. A maneira mais simples de adicionar confiabilidade nos seus circuitos é através do uso de componentes com herança de voo de missões bem-sucedidas ou com testes que simulam o ambiente espacial. Em TECHNOLOGY... (2024) é apresentado o sistema de *Technology Readiness Levels* (TRL), uma escala entre 1 a 9 que quantifica a confiabilidade de uma tecnologia, quanto maior o nível maior a confiabilidade. Abaixo estão as descrições de todos os níveis:

- TRL-1: Princípios básicos observados e reportados.
- TRL-2: Conceito tecnológico ou aplicação formulada.
- TRL-3: Caracterização da prova de conceito e verificação da viabilidade da tecnologia.
- TRL-4: Validação do componente ou circuito eletrônico em laboratório.
- TRL-5: Validação do componente ou circuito eletrônico em ambiente relevante.
- TRL-6: Demonstração de modelo de sistema ou subsistema ou protótipo em um ambiente relevante (terrestre ou espacial) completamente funcional.
- TRL-7: Demonstração do sistema em ambiente espacial.
- TRL-8: O sistema foi qualificado para voo e está pronto para ser integrado com outra tecnologia ou sistema.
- TRL-9: Sistema com funcionalidade comprovada através de uma missão bem-sucedida.

Podemos agrupar os níveis TRL-1 até TRL-3 como provas da viabilidade do conceito da tecnologia sendo o nível TRL-3 empregado quando, pelo menos, a tecnologia já foi utilizada em uma missão de CubeSat. O TRL-4 é conferido se pelo menos o funcionamento do circuito foi testado ou reaproveitado de um projeto funcional. Já o TRL-5 é alcançado se o componente foi testado contra algum tipo de simulação de ambiente espacial ou tem herança de voo. O nível de TRL-6 é conferido se todo o circuito incluindo componente e

polarização foram testados em simulação de ambiente espacial ou contam com herança de voo. Os níveis TRL-7 a TRL-9 são usados para caracterizar um sistema em geral, desta forma o módulo inteiro contendo toda a aplicação. Portanto, para esta aplicação será possível alcançar até TRL-6 quando o circuito inteiro (componente mais polarização) foi caracterizado sob testes ou ambiente espacial ou por missões bem-sucedidas. Os níveis de TRL-7 para cima só serão garantidos quando forem realizados testes do sistema inteiro.

Figura 19 – Critério de classificação de TRL



Fonte: Autor, 2024

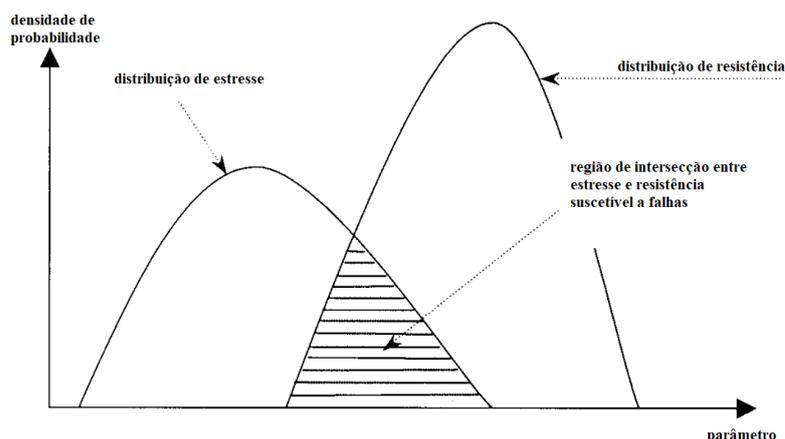
Na Figura 19 há uma sugestão de critério para classificação de TRL desenvolvida para o contexto de submódulos de CubeSats. Para este critério é considerado obrigatório que o componente tenha no mínimo TRL-3. Os testes em ambiente espacial ou similar podem ser: herança de voo, testes de efeitos da radiação ou testes em câmara de termovácuo.

3.2 DERATING

A técnica chamada de *derating*, amplamente utilizada em aplicações espaciais, refere-se à redução intencional de estresse elétrico ou térmico ou mecânico para proteger os componentes de anomalias, variações de fabricação e aumentar o seu tempo de vida.

Derating ajuda a evitar, por exemplo, tanto SEB e SEGR em MOSFETs. Tipicamente a relação de *derating* é modelada por duas distribuições estatísticas entre estresse e resistência do componente e procura-se diminuir a área da intersecção entre as curvas destas densidades probabilísticas correspondente às regiões aonde falhas ocorrem (Figura 20).

Figura 20 – Relação entre parâmetros de resistência e estresse.



Fonte: Adaptado de (SPACE... , 2011)

Existem duas formas de diminuir a região de intersecção: diminuindo o estresse aplicado (movendo a curva probabilística de estresse para a esquerda) ou aumentando a resistência do componente selecionando componentes com maior tolerância de tensão ou corrente (movendo a curva probabilística de resistência para a direita).

Em SPACE... (2011) são definidas taxas de *derating* recomendáveis para diferentes famílias de componentes, essas taxas representam um percentual entre, e.g. a tensão máxima absoluta disponível no *datasheet* e a tensão da aplicação. A Tabela 3 contém um compilado das taxas mais relevantes para projetos de módulos de CubeSat. Alternativamente o conceito de SOA pode ser aplicado para fontes chaveadas e MOSFETs (ver Seção 3.5).

3.3 REDUNDÂNCIA MODULAR TRIPLA

TMR é uma técnica que pode ser empregada em diferentes elementos da aplicação. A implementação mais clássica é em memória, onde a mesma informação é armazenada três vezes em diferentes CIs ou pelo menos em regiões distantes da memória, na ocorrência de um SEU que acarreta numa inversão de *bit* o dado incorreto pode ser detectado e corrigido através de uma votação entre as três cópias. Essa estratégia pode ser utilizada em qualquer circuito lógico porém tem como desvantagens o espaço e consumo que são praticamente triplicados. Em Boré, Proynov e Rafalskyi (2023) TMR é utilizada para proteger a memória Flash do *bootloader* de um dos microcontroladores.

Grupo de componentes	<i>Derating</i> (razão de carga ou limite)	Taxa
Capacitores (Chip cerâmico)	Tensão	60%
Resistores (Chip)	Tensão	80%
Resistores (Chip)	Potência (rms)	50%
Memórias não voláteis	Tensão de alimentação	$\pm 5\%$
Reguladores Chaveados	Corrente de saída	80%
Reguladores Chaveados	Tensão de entrada máxima	90%
MOSFET	Potência dissipada	65%
MOSFET	Tensão (VDS)	80%
MOSFET	Corrente de <i>drain</i>	75%

Tabela 3 – Técnicas de *derating* agrupados por grupos de componentes.

Fonte: Adaptado de (SPACE... , 2011)

É importante mencionar que TMR tende a proteger apenas contra anomalias causadas por SEE em um dos módulos pertencentes à redundância, porém esta técnica não é tão eficaz para lidar com efeitos de TID uma vez que SEE são de natureza probabilística e TID é acumulativo.

3.4 SHIELDS

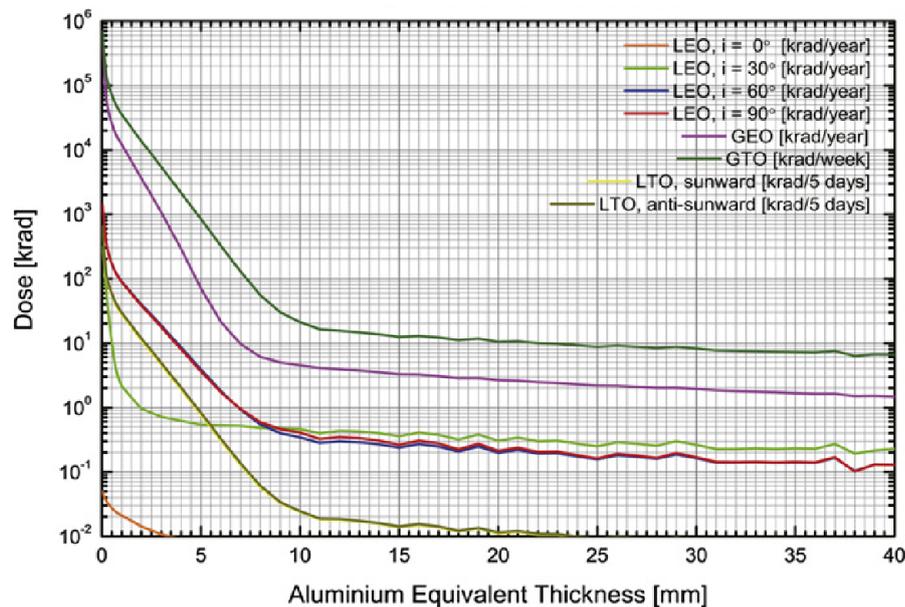
Uma técnica muito utilizada em CubeSats é a utilização de *shields* metálicos que refletem partículas energéticas. Os *shields* podem ser empregados na estrutura do CubeSat ou/e individualmente em cada um dos submódulos. Em geral são eficazes contra partículas menos energética (ver Figura 21 e tendem a proteger menos quanto mais energética for a partícula. Em Thomsen III *et al.* (2023) é simulado um *shield* de alumínio com espessura de 0.254cm , em 100MeV o *shield* conseguiu atenuar apenas 13,7% da energia da partícula. Desta forma *shields* são eficazes para efeitos de TID mas comparativamente não são tão efetivos contra SEE.

3.5 SISTEMA DE POTÊNCIA

É preferível utilizar um sistema de conversão em paralelo com múltiplas entradas o que reduz a quantidade de corrente para as fontes de tensão aumentando a probabilidade de o conversor operar em uma SOA. Além disso o sistema de potência deve ser projetado levando em consideração técnicas de *derating*.

Conforme visto na Subseção 2.2.2.2 os conversores *boost* tendem a uma morte prematura quando comparados com *buck*. Desta forma é preferível fazer redução de tensão. Semelhantemente conversores chaveados assíncronos devem ser escolhidos onde a eficiência e espaço não são limitados. Conversores lineares de topologia *shunt* também são preferíveis à topologia *series*.

Figura 21 – Simulação da quantidade de radiação recebida pela espessura do *shield* para diferentes órbitas.



Fonte: (SEO *et al.*, 2012)

Para proteger os circuitos eletrônicos de SEL são projetados circuitos de proteção que lidam com essas anomalias e protegem os componentes, desligando-os. Esses circuitos precisam ter uma resposta rápida para evitar dano permanente e podem ser projetados de duas formas: *automatic retry* onde o sistema é religado a partir de um determinado tempo após anomalia e *latch-off* onde o sistema precisa ser religado por um estímulo externo como um comando de um microcontrolador.

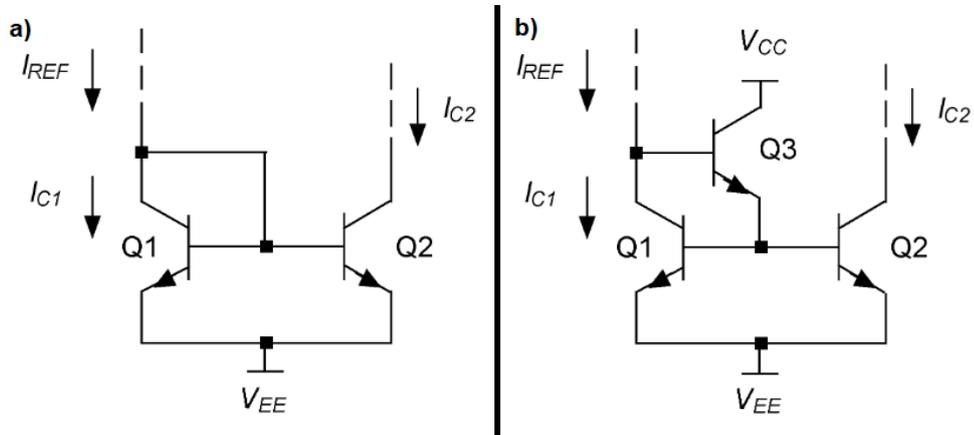
Outra estratégia relevante é adicionar a possibilidade de manter permanentemente desligado do barramento de alimentação ou externalizar em outro barramento componentes que não serão utilizados durante a missão como interfaces de gravação, evitando que tais componentes possam ser motivo de falhas.

É recomendável utilizar BJTs em vez de MOSFETs aonde desempenho não é necessário e preferivelmente usar MOSFET de canal P à canal N por não sofrerem SEB (FIGUEIREDO, 2023).

3.5.1 Uso de BJT

Em Adell, Schrimpf *et al.* (2004) é proposta a utilização de compensadores de β (*beta helper*) para enrijecer os circuitos de polarização de amplificadores baseados em BJT. A Figura 22 mostra um espelho de corrente com e sem compensação de *beta*. Através das Equações 6 e 7 é possível perceber que a sensibilidade de β é drasticamente reduzida. Esta técnica não só ajudará a compensar os efeitos de longo termo mas também aos efeitos observados no ganho devido a grande variação de temperatura no espaço.

Figura 22 – Em (a) temos um espelho de corrente comum e em (b) um espelho de corrente utilizando compensação de β .



Fonte: (ADELL; SCHRIMPF *et al.*, 2004)

$$I_{C2} = I_{REF} \frac{1}{\frac{2}{\beta} + 1} \quad (6)$$

$$I_{C2} \cong I_{REF} \frac{1}{\frac{2}{\beta^2} + 1} \quad (7)$$

3.6 MEMÓRIAS

É recomendável utilizar múltiplas tecnologias de memória e projetar uma hierarquia de memórias visando um equilíbrio entre velocidade e segurança para atender diferentes aplicações. Para proteção de dados e mitigação de SEU pode ser implementado um sistema de TMR. Outro método é utilizar codificações, em nível de software, que aumentem a quantidade de informação a ser armazenada mas que permitam, durante a decodificação a correção de certo limite de *bits*. Este processo é conhecido como *scrubbing*.

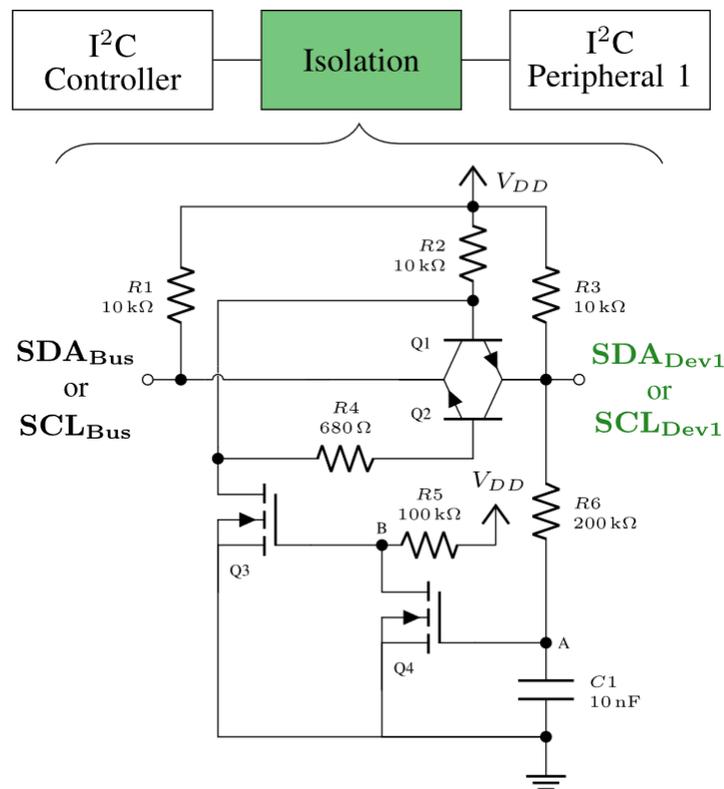
Existem também controladores de memória que já são implementados com algum tipo de codificação para correção de erro como é o caso da NG-ULTRA que conta com um controlador de codificação de Reed-Solomon nas memórias *Double Data Rate* (DDR) do SoC permitindo que o sistema possa operar até mesmo com a falha de um ou até dois dispositivos dependendo da configuração.

3.7 BARRAMENTOS DE INTERFACE SERIAL

Em Holliday, Manchester e Senesky (2022) é apresentada uma técnica de isolamento do barramento no caso de uma falha por parte de um dos escravos do barramento, o circuito não necessita de lógica adicional e utiliza componentes naturalmente mais robustos que

os elementos do barramento serial. Este circuito é capaz de detectar e automaticamente isolar um ramo defeituoso do barramento.

Figura 23 – Circuito que detecta mal funcionamento e isola o nó falho do barramento evitando a falha generalizada.



Fonte: (HOLLIDAY; MANCHESTER; SENESKY, 2022)

Uma desvantagem desta técnica é o uso de espaço já que não é uma solução integrada e os componentes discretos ocuparão muito espaço na PCB. Na plataforma de serviço FloripaSat-2 (MARCELINO *et al.*, 2024), foram utilizados buffers em cada nó do barramento de I^2C do computador de bordo. Esses buffers possuem um pino de *enable*, que é controlado pelo microcontrolador do computador de bordo e permite isolar qualquer um dos periféricos do barramento.

4 PROJETO, DESENVOLVIMENTO E ANÁLISE DO ESTUDO DE CASO

Este capítulo descreve o desenvolvimento da arquitetura de uma plataforma computacional *fault-tolerance* utilizando o SoC FPGA *rad-hard* da NanoXplore junto de COTS com técnicas de mitigação discutidas no capítulo anterior.

Por se tratar de um módulo seguindo os padrões de CubeSats (i.e. área de 10cm x 10cm e restrições de potência) foram priorizados, em alguns casos, soluções que não necessariamente eram as mais robustas mas que traziam um bom balanço entre confiabilidade e consumo de espaço e potência como é o caso do desenvolvimento das fontes na Subseção 4.3.4.

Visando paralelizar o desenvolvimento de aplicações em *firmware* enquanto o *hardware* é desenvolvido, buscou-se manter a compatibilidade com o *Development Kit* (DevKit), especialmente nas partes do SoC responsáveis pelo armazenamento e carregamento do *bitstream*. Um DevKit é um conjunto de hardware fornecido pelo fabricante que visa demonstrar as funcionalidades do SoC FPGA e fornecer uma referência para o desenvolvimento. Ao reaproveitar partes do hardware do DevKit, teremos garantia do funcionamento do circuito, elevando o nível de confiabilidade para TRL-4 e possibilitando a compatibilidade com as ferramentas de desenvolvimento e depuração fornecidas pela NanoXplore.

Como esta plataforma computacional não é desenvolvida para um missão específica isso significa que não é possível definir uma órbita e conseqüentemente, um espectro de LET e escolher componentes baseados no seu *cross-section*, desta forma será utilizada a performance do componente central do módulo, o SoC FPGA NG-ULTRA como base e serão escolhidos componentes com desempenho similar em termos de tolerância aos efeitos da radiação. Em termos de SEE o NG-ULTRA é imune a até $65 \frac{MeV \cdot cm^2}{mg}$ e em termos de TID suporta até 50krads (NANOXPLORE, 2023).

Para a seleção de COTS as taxas de *derating* de (Seção 3.2) foram utilizadas assim como o critério de TRL (Seção 3.1).

Este capítulo será dividido em três seções: *Processing System* (PS), *Programmable Logic* (PL) e Sistema de Potência. Na primeira seção focaremos no sistema de carregamento de *bitstream* do FPGA, dos recursos do SoC e por fim dos recursos de depuração. Na segunda seção serão descritos os recursos disponibilizados para o FPGA que estão ligados aos seus bancos. Por fim, a terceira seção será focada em discutir e propor um sistema de potência que seja capaz de energizar todo o módulo.

4.1 PROCESSING SYSTEM

A arquitetura do SoC está exposta na Figura 24. É disponibilizado um banco *Boundary-Scan* (BSCAN) específico para a configuração. Nele é possível definir, através de pinos exclusivos: modo de operação, configurações de carregamento do *bitstream*, pinos de *reset*, leitura de *status*, entre outros.

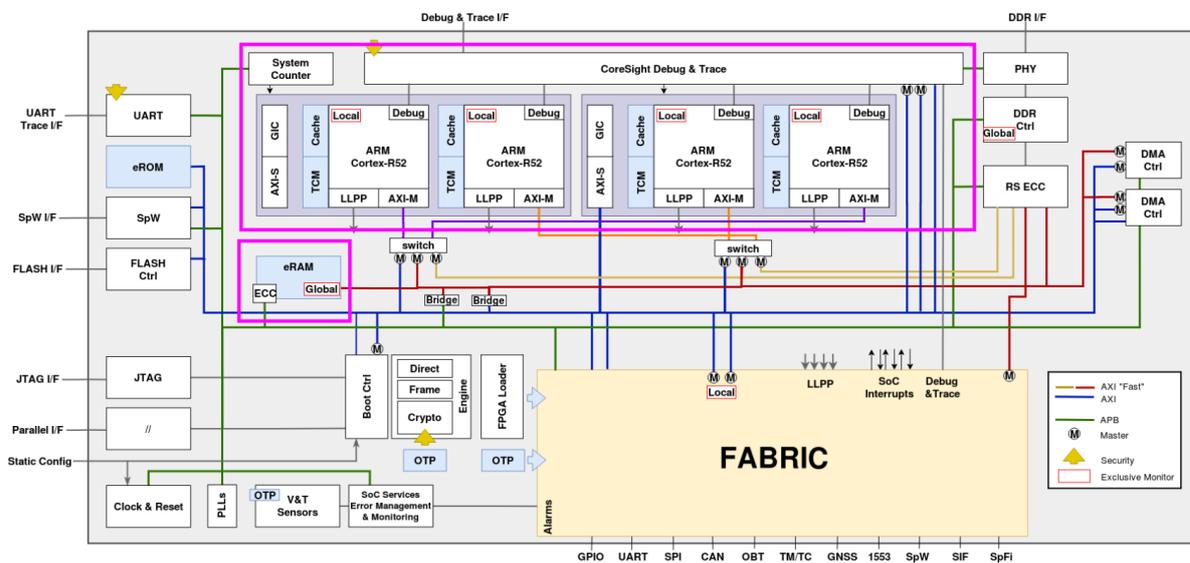
Para facilitar a configuração do SoC FPGA, foram utilizados conversores de I^2C que são capazes de interfacear os pinos de configuração do BSCAN. Além disso, existe uma interface *Joint Test Action Group* (JTAG) para configuração dos registradores internos e pinos isolados para configuração do modo do FPGA. Estes recursos estão disponibilizados num conector dedicado de forma a ser compatível com as ferramentas da NanoXplore.

O BSCAN também conta com uma interface *Universal Asynchronous Receiver / Transmitter* (UART) para depuração. Esta interface está conectada num dos canais de um conversor CP2105-F01-GM da Silicon Labs, para RS-485 e externalizada.

Para armazenar a *bitstream* destinado ao carregamento, foram selecionadas 4 memórias NOR S25FL512 da Infineon. É possível configurar as memórias para leitura sequencial ou, utilizando apenas três, em modo de TMR. Além disso é possível carregar o *bitstream* diretamente via SpaceWire que está externalizado.

Para os 4 processadores R-52 do PS são disponibilizados 6 memórias DDR2 IS43DR16640C da ISSI. As mesmas estão ligadas no controlador de DDR do SoC. Este controlador fornece proteção aos dispositivos de memória DDR2 utilizando codificação de Reed-Solomon e consegue tolerar até um dispositivo com falhas.

Figura 24 – Arquitetura completa do SoC NG-ULTRA.



Fonte: (NANOXPLORE, 2024)

Com exceção das memórias, estes circuitos são utilizados apenas para configuração e depuração e portanto não são pensados para serem utilizados em ambiente espacial, desta forma foi adicionado um conector capaz de desligá-los do barramento de alimentação. O conversor de RS-485 é alimentado diretamente pelo conector externo e desta forma não apresenta riscos para o barramento de alimentação. As memórias foram escolhidas visando a compatibilidade com o DevKit, no caso das memórias de *bitstream* a NanoX-

plore recomenda alguns *partnumbers* específicos para garantir a compatibilidade com suas ferramentas de gravação e as memórias de DDR2 foram escolhidas para que seja possível reaproveitar os circuitos validados do DevKit e por isso podemos considerar um nível de TRL-4 para ambas as memórias.

4.2 PROCESSING LOGIC

O NG-ULTRA conta com 4 bancos diretos (24 I/O por banco), 10 bancos complexos (34 I/O por banco), 8 bancos de *High Speed Serial Link* (HSSL) e 7 geradores de *clock Phase Locked Loop* (PLL).

Foram utilizados os 4 bancos diretos e 2 bancos complexos. Os bancos de HSSL e geradores de *clock* não foram utilizados por não serem considerados necessários no escopo de CubeSats. As subseções a seguir explicitam os componentes ligados à PL. Para mais detalhes das conexões e alocação de bancos é possível conferir o esquemático completo no Apêndice B.

4.2.1 Memórias

Para armazenamento de dados foram escolhidas memórias que fornecessem diferentes graus da relação entre confiabilidade, capacidade e velocidade para aumentar as possibilidades de aplicações em diferentes tipos de missões.

Foi selecionada, pensando em portes de sistemas operacionais baseados em Linux e armazenamento de dados em massa, uma memória *flash* NAND do tipo *eMbedded Multimedia Card* (eMMC) que fornece alta capacidade e velocidade. A memória EMMC128-IY29-5B111 da Kingston, de 128GB conta com interface eMMC 5.1 HS400 permitindo até 400MB/s. Essa memória não conta com testes de radiação, herança de voo ou validação em outros projetos desta forma não oferece tanta confiabilidade porém esse tipo de tecnologia de memória já foi empregada em módulos de CubeSats como em (GOMSPACE, 2024) e pode-se determinar um nível de TRL-3.

Para dados críticos, é fornecida uma memória MRAM EM064LXQADG13IS1T da Everspin de 64Mb com velocidade de 133MHz e interface SPI até Octal SPI. Esta memória específica ainda não foi testada contra efeitos radioativos ou testada em outras aplicações de CubeSats mas conforme descrito na Subseção 2.3.1 sua imunidade contra efeitos da radiação é alta, garantindo TRL-3.

Por fim, para fornecer uma alternativa que oferece uma capacidade e latência média mas com alta confiabilidade, foram selecionadas 3 memórias *flash* NAND MT29F4G08ABADAWP para operar em TMR. Esta memória foi caracterizada em (SALVY *et al.*, 2016), (VANDEVELDE, 2015) e (SALVY, 2015). Com acúmulo de TID esta memória começa a mostrar erros em blocos de memória a partir de aproximadamente 38krad porém continua funcional mesmo após 100krad. Não foram observados SEL com

LET de até $67,7 \frac{\text{MeV}\cdot\text{cm}^2}{\text{mg}}$, SEU podem ocorrer a partir de $1,1 \frac{\text{MeV}\cdot\text{cm}^2}{\text{mg}}$ que são mitigados pelo TMR. Podemos classificá-la como TRL-5.

4.2.2 Sistema de Sensoriamento

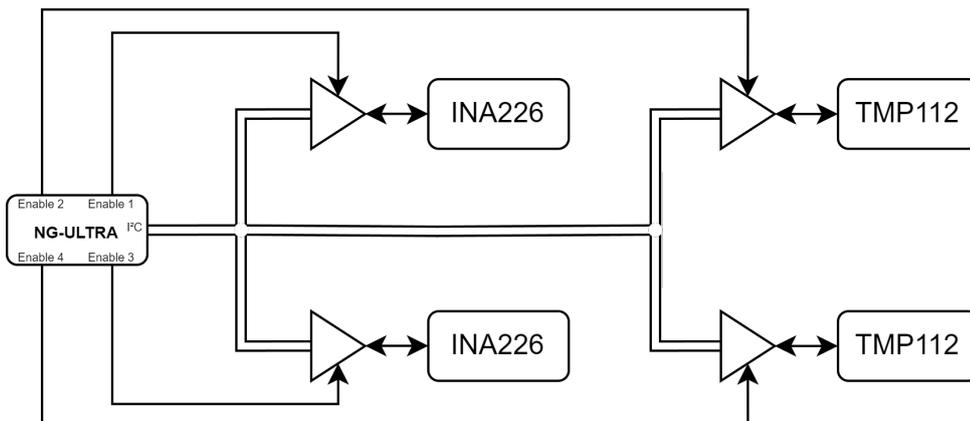
Para esta aplicação foram escolhidos alguns sensores para gerenciamento do sistema, coleta de telemetrias e gerenciamento do satélite.

Para monitoramento dos sistemas de alimentação foram escolhidos dois sensores de potência INA226AQDGSRQ1 da Texas Instruments para monitorar os barramentos de 3V3 e 5V. Este sensor não conta com herança de voo e não foi testado contra efeitos da radiação, porém é amplamente utilizados nos projetos do SpaceLab e seu funcionamento foi comprovado em câmara de termovácuo e de vibração através dos testes do CubeSat GOLDS-UFSC que utiliza o submódulo *Telemetry and TeleCommand* (TTC) 2.0 que por sua vez utiliza deste sensor (SPACELAB, 2024) buscou-se aproveitar o circuito utilizado no TTC 2.0 garantindo TRL-6 ao circuito.

Para monitoramento da temperatura foi escolhido o sensor TMP112AQDRLRQ1 que tem herança de voo do CubeSat GRIDS-2 (ZHENG *et al.*, 2022) garantindo TRL-5. Além disso, foram escolhidos dois sensores para garantir redundância em caso de falha de um dos módulos.

Os sensores de temperatura e potência compartilham o mesmo barramento serial I^2C . Conforme mencionado na Seção 2.5, este tipo de barramento costuma ser problemático e suscetível a falhas, desta forma foram utilizados *buffers* que conseguem isolar o barramento dos ramos individuais em caso de falhas conforme a Figura 25.

Figura 25 – Sistema de isolamento de nós utilizando *buffers* de I^2C .



Fonte: Autor, 2024

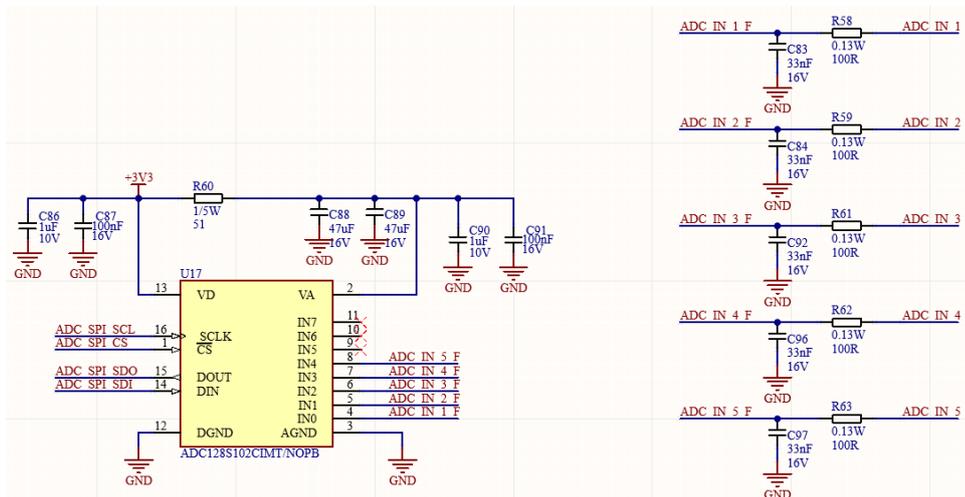
Para melhorar a capacidade do módulo de atuar como um computador de bordo foram incluídos um magnetômetro MMC5983MA da Memsic e um giroscópio IAM-20380

da TDK InvenSense para realizar o controle de atitude. Eles são configuráveis podendo escolher entre utilizar barramento I^2C ou SPI, para aumentar a confiabilidade optou-se por implementar um barramento SPI isolado apenas para estes dois sensores. O magnetômetro está sendo empregado para o CubeSat da missão CLIMB que irá monitorar a radiação dos cinturões de Van Allen e já foram realizados testes de simulação do ambiente espacial, desta forma podemos atribuir TRL-5. Até o momento não foram encontradas missões que utilizem diretamente o giroscópio, mas apenas propostas de sistemas de *Attitude Determination and Control System* (ADCS) como em (ELSANTAWY *et al.*, 2022), desta forma podemos atribuir TRL-3.

Por fim, foi implementado um *Analog-to-Digital Converter* (ADC) para permitir a leitura de pinos analógicos simples. O conversor escolhido foi o ADC128S102 da Texas Instruments. O mesmo conta com interface SPI de 12 *bits* de resolução e até 8 canais. O projeto está exposto na Figura 26. A fim de evitar a necessidade de projetar uma fonte isolada para a alimentação analógica utilizou-se um filtro RC para eliminar o *ripple* na alimentação analógica. Foram disponibilizados 5 canais com largura de banda de até $BW_{signal} = 48kHz$ e F_{sclk} de até $16MHz$ sua utilização deve atender ao critério de Nyquist da Inequação 8 onde N corresponde ao número de canais sendo amostrados.

$$F_{sclk} > 32 \cdot BW_{sinal} \cdot N \quad (8)$$

Figura 26 – Projeto do ADC para leitura de pinos analógicos externos.



Fonte: Autor, 2024

O ADC foi caracterizado em relação a TID e SEE, conforme descrito em Hu (2016). Observou-se SET a partir de $18,5 \frac{MeV \cdot cm^2}{mg}$, SEFI e alterações no *step current* a partir de $32,1 \frac{MeV \cdot cm^2}{mg}$, e SEL a partir de $60 \frac{MeV \cdot cm^2}{mg}$. O componente foi testado até $30krad$ e mostrou resultados promissores com apenas mudanças nas correntes de alimentação. O mesmo pode ser classificado como TRL-5.

4.2.3 Interfaces

Como não existe uma missão definida e exclusiva para este módulo, seu sistema de comunicação foi pensado de forma a oferecer grande flexibilidade e alternativas de barramentos de comunicação. Abaixo estão listadas as interfaces conectadas aos bancos do FPGA disponíveis para comunicação com outros módulos do satélite.

- 3 canais de SpaceWire ligados nos bancos otimizados do FPGA.
- 1 canal de CAN.
- 1 barramento de pinos *Low-voltage differential signaling* (LVDS) disponíveis para implementação.
- 1 barramento de pinos genéricos disponíveis para implementação.
- 1 barramento externalizando os 5 canais do ADC.
- 1 canal de UART para depuração conectado ao segundo canal do conversor RS-485.

Para a implementação do barramento de CAN utilizou-se um *transceiver* SN65HVD232 da Texas Instruments. Este *transceiver* é extremamente popular e foi escolhido por estar sendo amplamente testado nos projetos do SpaceLab, porém não foram encontrados trabalhos que mencionem que o mesmo conta com herança de voo, desta forma o mesmo tem nível de confiabilidade TRL-4.

O SpaceWire foi implementado sem roteadores, utilizando os pinos dos bancos complexos otimizados para SpaceWire que contam com controladores dedicados desta forma simplificando e aumentando a eficiência da aplicação.

4.3 SISTEMAS DE POTÊNCIA

4.3.1 Dimensionamento do Consumo

A estimativa de consumo seguiu o procedimento descrito na Subseção 2.2.1. A potência dos CIs externos está exposto na Tabela 4, nele são estimados um consumo médio sem nenhum tipo de *burst* de leituras das memórias ou sensores e a estimativa da potência máxima considera o modo de operação mais custosa para o CI (desconsiderando estado de *latch-ups*). A potência total estimada é de 1,366W e 5,408W, respectivamente. Todos estes componentes foram selecionados com uma tensão de alimentação de 3V3 com exceção das memórias DDR2 que utilizam 1V8.

Para estimar o consumo do SoC FPGA, foi utilizado a ferramenta NXPowerEstimator. Como o projeto ainda não tem uma missão ainda não existem aplicações planejadas para serem executadas no SoC FPGA, desta forma para ser possível estimar um consumo,

Quantidade	Partnumber	Potência Nominal (mW)	Potência Máxima (mW)
1	ASE-100.000MHZ-LC-T	24,42	82,5
2	PCA9554AD,118	1,98	7,92
4	S25FL512S	0,924	1320
2	DS90LV011AQMF	35,64	59,4
2	DS90LT012AQMF	35,64	59,4
6	IS43DR16640C-25DBLI	1242	2808
1	ADC128S102CIMT	2,31	10,23
2	INA226AQDGSRQ1	2,178	2,772
2	TMP112AQDRLRQ1	0,0066	0,066
1	SN65HVD232QDRQ1	1,221	56,1
1	MMC5983MA	0,0033	1,485
1	IAM-20380	8,58	9,9
1	EMMC128-IY29-5B111	0,495	503,58
3	MT29F4G08ABADAWP	9,9	346,5
1	EM064LXQADG13IS1T	0,54	140,4

Tabela 4 – Estimativas de potência nominal e potência máxima consumidas pelos CIs externos ao SoC.

Fonte: Autor, 2024

pensou-se numa aplicação custosa que usa cerca de 75% a 80% dos recursos, os detalhes da aplicação estão disponíveis no Apêndice A.

O consumo esperado para o SoC FPGA está na Tabela 5, especificado para cada trilha de alimentação. A potência total ficou em 4,62W.

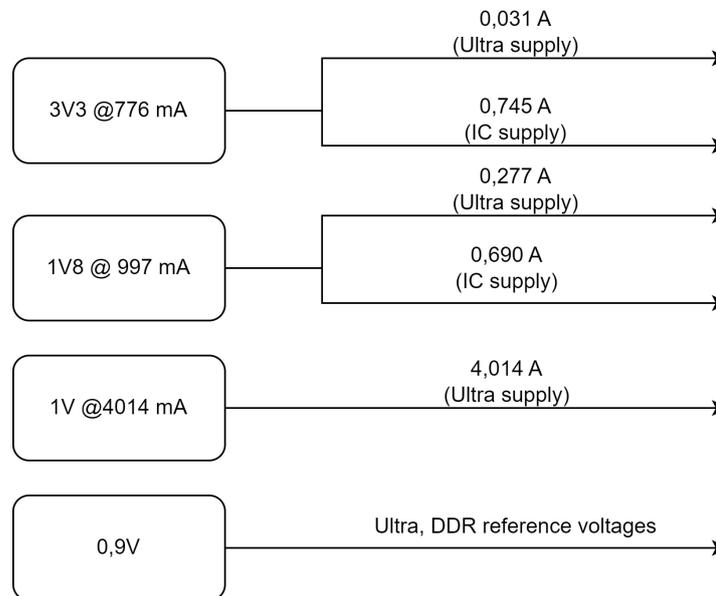
Trilha	Tensão (V)	Corrente (mA)	Potência (mW)
VDDCORE	1,00	2254,80	2254,80
VDD1V8A	1,80	0,78	1,40
VDDIO 1.2	1,20	0,00	0,00
VDDIO 1.5	1,50	0,00	0,00
VDDIO 1.8	1,80	0,00	0,00
VDDIO 2.5	2,50	0,00	0,00
VDDIO 3.3	3,30	27,97	92,29
HSSL_TXVDDA	1,00	0,00	0,00
HSSL_VDDCORE	1,00	0,00	0,00
HSSL_VDD1V8A	1,80	0,00	0,00
SOC_VDDCORE	1,00	1760,00	1760,00
SOC_BSCAN_VDDIO	3,30	3,45	11,40
SOC_DDR_VDDIO 1.2V	1,20	0,00	0,00
SOC_DDR_VDDIO 1.5V	1,50	0,00	0,00
SOC_DDR_VDDIO 1.8V	1,80	276,20	497,16
CKGEN_PLL_VDDA	1,00	0,00	0,00
CKGEN_PLL_VDD1V8A	1,80	0,00	0,00

Tabela 5 – Tensões de alimentação e consumo para o SoC FPGA.

Fonte: Autor, 2024

Por fim na Figura 27 é mostrado os barramentos de tensão necessários para o SoC FPGA e os componentes externos assim como sua corrente máxima esperada.

Figura 27 – Tensões de alimentação e corrente máxima esperadas para o módulo.



Fonte: Autor, 2024

4.3.2 Cascata de potência

Com a estimativa de consumo podemos desenvolver a cascata de alimentação. Devido ao espaço limitado para o módulo de CubeSat, este *design* priorizará a área.

A tensão de 3V3 servirá apenas de alimentação para os bancos simples do FPGA e para os CIs externos. Devido a limitações físicas, podemos economizar área na PCB recebendo diretamente esta tensão do barramento do EPS, porém fica estipulado uma tolerância máxima de no máximo 5% para respeitar as taxas de *derating*.

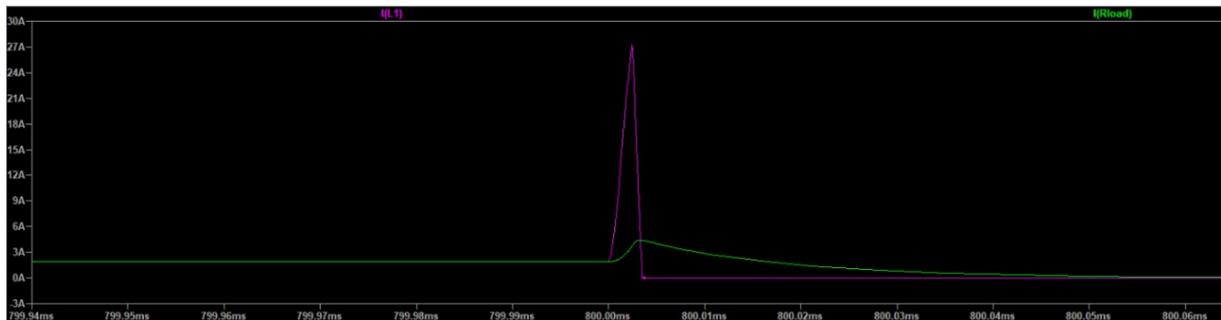
As tensões de 1V8, 1V e 0V9 serão convertidas diretamente no módulo por serem mais sensíveis e por alimentarem a lógica do FPGA, o SoC e as memórias DDR2 além de não serem barramentos comumente disponibilizados em EPS. Para minimizar a alta corrente escolheu-se adicionar mais uma tensão de entrada de 5V para serem realizadas as conversões.

4.3.3 Proteção de latch-up

Apesar do NG-ULTRA suportar até 2000V em seus pinos os CIs externos são COTS e portanto devem ser protegidos no caso da ocorrência de SEL. Para isso podemos adicionar *surge stoppers* em série com os conversores em específico o LTC4361-2 da Analog Devices é uma ótima opção e amplamente utilizado em missões de CubeSats ((LIM

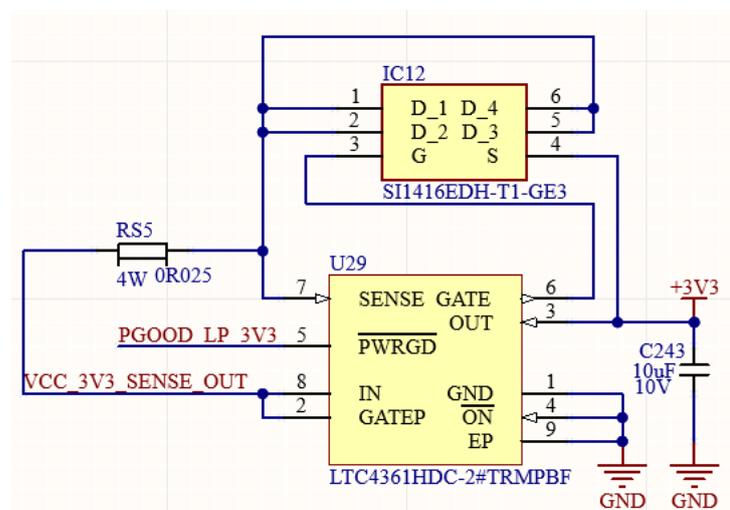
et al., 2018) (OKTAVIANI et al., 2022), (FAJARDO et al., 2019), (KUROIWA et al., 2016), entre outros), seu circuito é simples e semelhante nas diferentes implementações garantindo TRL-6. Seu funcionamento ocorre através do monitoramento do barramento pelos terminais de um resistor *shunt* o dispositivo então controla o chaveamento de um MOSFET de canal N que consegue abrir o circuito de alimentação prevenindo danos, após 130ms o barramento é ligado novamente. Na Figura 28 é possível ver o LTC4361 sendo ativado e desligando o barramento perante um pico de corrente de 28A protegendo o barramento. Desta forma serão adicionados nas alimentações de 3V3 e 1V8 dos CIs COTS. Na Figura 29 é possível visualizar a implementação do circuito de proteção no barramento de alimentação de 3V3.

Figura 28 – Simulação do funcionamento do *surge stopper* LTC4361-2 contra surtos de corrente.



Fonte: Autor, 2024

Figura 29 – Circuito de proteção do barramento de 3V3 utilizando o LTC4361-2



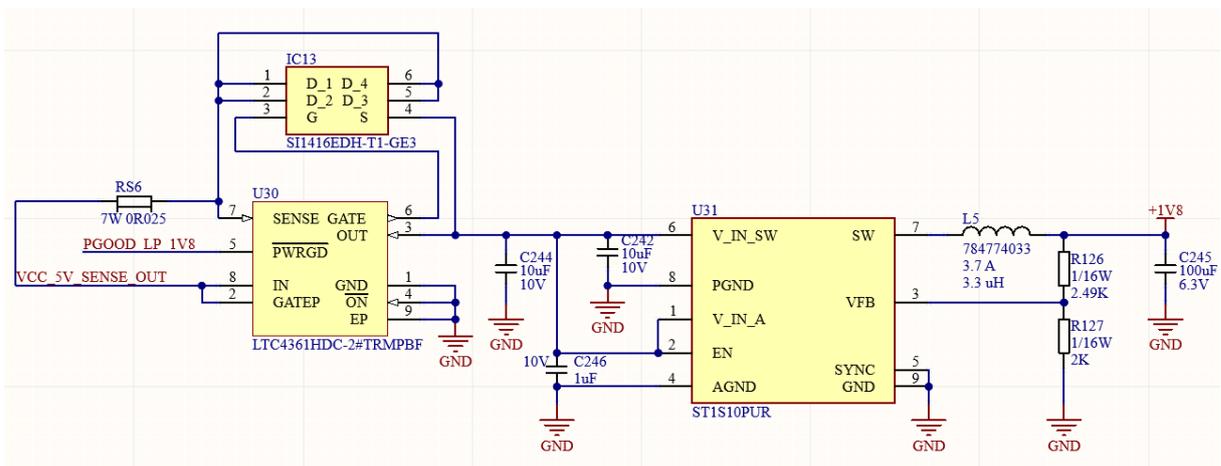
Fonte: Autor, 2024

4.3.4 Conversores de Potência

Para a implementação da cascata de alimentação é preciso realizar a conversão de 5V para 1V, 1V8 e gerar as tensões de referência para as memórias e o SoC.

O conversor escolhido para a conversão de 1V8 foi o ST1S10 da STMicroelectronics, o mesmo tem a vantagem de ter seus MOSFETs integrados ao *chip* o que economiza espaço. Este conversor *buck* suporta até 2A de corrente e é síncrono o que aumenta a eficiência de conversão porém conforme discutido na Subseção 2.2.2.2 o segundo MOSFET tende a diminuir a vida do conversor por efeitos cumulativos de TID, apesar disso, em (DHAWANA *et al.*, 2009) esse conversor foi caracterizado e suporta até 125krads sem danos. Em (PILIA *et al.*, 2017) o ST1S10 foi caracterizado em SEE apresentando resistência a SEL e SEFI para LETs de mais de $67,7 \frac{MeV \cdot cm^2}{mg}$ porém SETs podem ocorrer a partir de $1 \frac{MeV \cdot cm^2}{mg}$. Outro ponto positivo para a escolha deste conversor é a sua herança de voo da missão KySat-2 (LIM *et al.*, 2018) o que o garante nível de confiabilidade TRL-5. O projeto do conversor foi feito utilizando a ferramenta disponível pela fabricante para projeto de fontes DC-DC. Considerou-se uma variação na tensão de entrada de no máximo 10%. Na Figura 30 podemos ver o circuito projetado, na Figura 31 a eficiência do conversor, no consumo máximo de 1,92A previsto o conversor atinge a eficiência de 83,7% e um *ripple* de 0,14%.

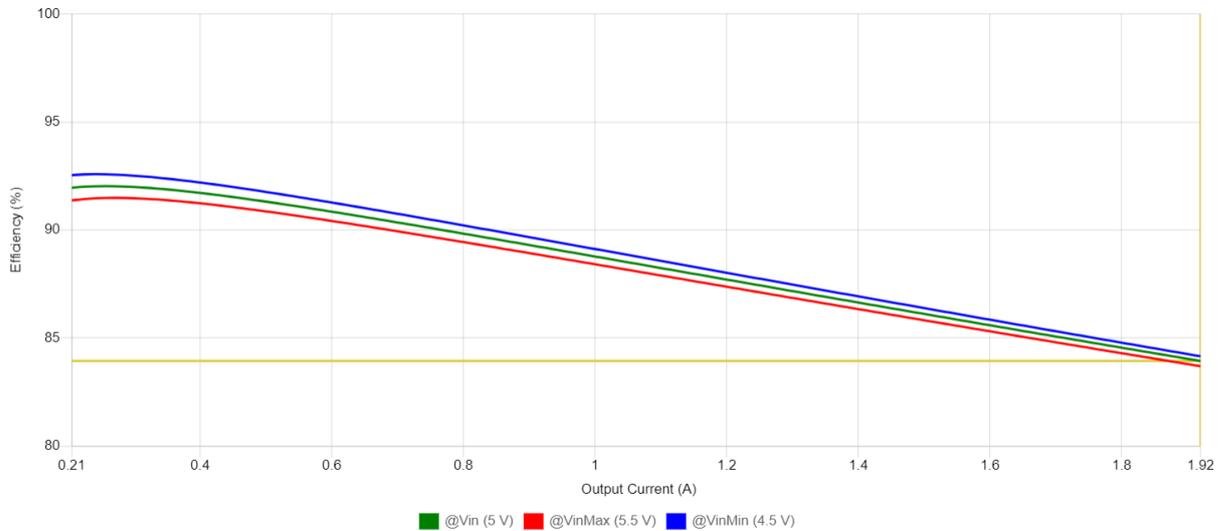
Figura 30 – Circuito de conversão de tensão de 1V8 com proteção de *latch-up*.



Fonte: Autor, 2024

A tensão de 1V tem o propósito de alimentar os *cores* do SoC e do FPGA e é recomendado pelo fabricante dedicar dois barramentos isolados. Desta forma foi escolhido o conversor *buck* LTM4619 da Analog Devices, o mesmo fornece duas saídas de até 4A cada, e contam com recursos como *power good* e *soft start*. O mesmo foi caracterizado contra radiação em (AMEEL *et al.*, 2015) e sobreviveu até aproximadamente 200krad, neste mesmo trabalho ele foi testado contra SEEs de $200 \frac{MeV \cdot cm^2}{mg}$ porém não sobreviveu

Figura 31 – Eficiência da fonte de alimentação de 1V8.



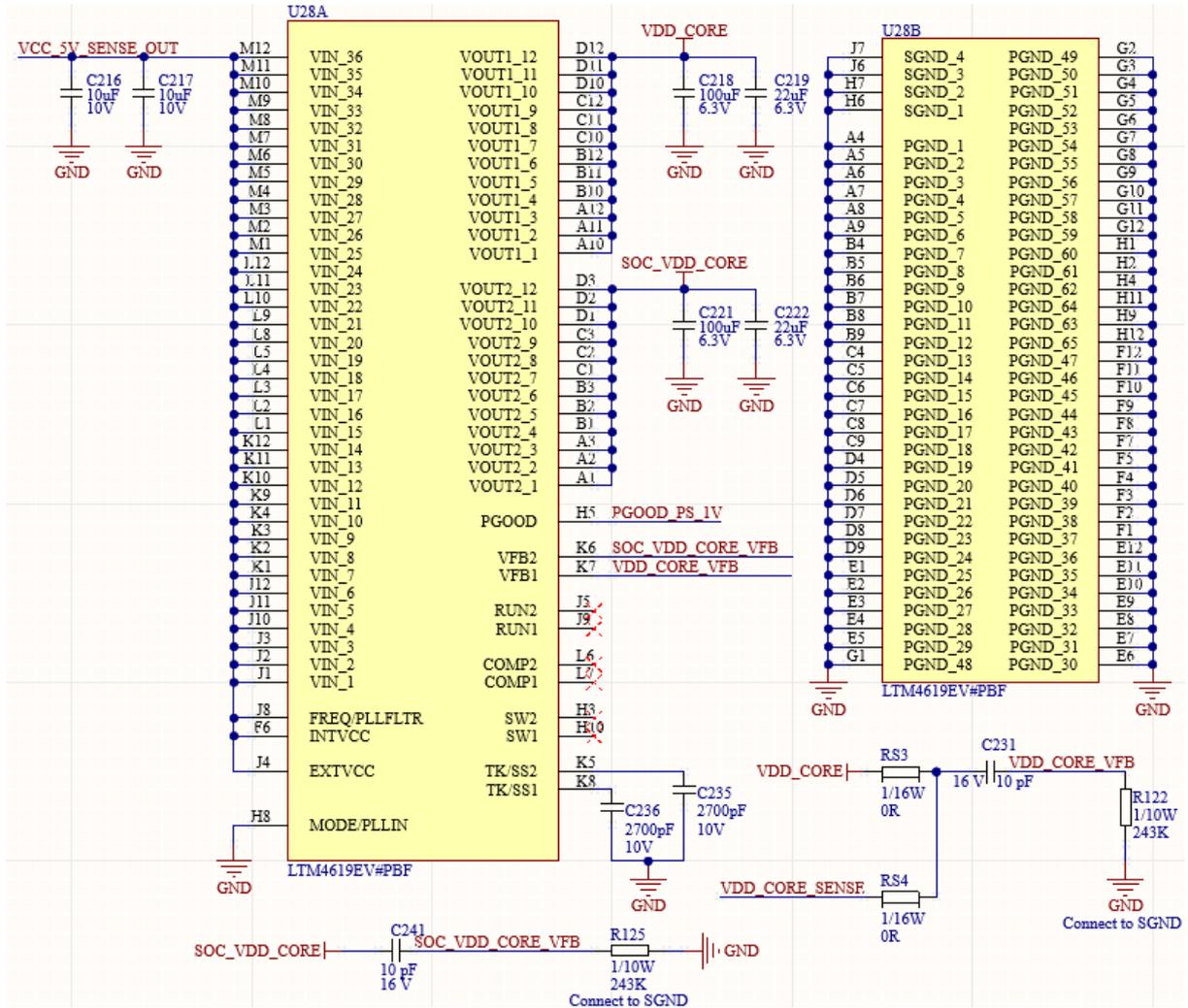
Fonte: Autor, 2024

e não foi testado próximo aos valores de resistência do NG-ULTRA ($>65 \frac{MeV \cdot cm^2}{mg}$), desta forma este resultado não é relevante para essa aplicação e um novo teste com um valor de LET mais próximo deve ser proposto. O projeto deste conversor (Figura 32) foi feito utilizando o *datasheet* do componente como referência e o seu *design* foi validado utilizando o modelo SPICE fornecido pela fabricante, ambos os canais foram projetados para ter um *soft start* de 1,4ms e um ripple de aproximadamente 0,2%, a eficiência está exposta na Figura 33 durante o consumo máximo previsto a eficiência é de aproximadamente 81,9%. Este conversor tem herança de voo do CubeSat de 12U da missão Aoxiang-Sat1 (PENG; JUN; XIAOZHOU, 2018) e para a carga útil COVE payload para alimentação do FPGA rad-hard Xilinx Virtex-5QV (BEKKER *et al.*, 2011) garantindo TRL-5.

Por fim, é necessário utilizar LDOs para obter as tensões de referência para as memórias e o banco de DDR do SoC. Em específico foi escolhido o TPS51200 que é pensado para esta funcionalidade. Em (IROM; ALLEN; VARTANIAN, 2017) foram conduzidos testes de SEE e estipulado um LET de limiar entre $11 \frac{MeV \cdot cm^2}{mg}$ e $18 \frac{MeV \cdot cm^2}{mg}$ para a ocorrência de SEL, para contornar o problema a alimentação destes LDOs também estará protegida pelos *surge stoppers* LTC4361-2. O TPS51200 é utilizado no DevKit do NG-Ultra e na Payload-XL (JÚNIOR, 2021) desta forma podemos classificá-lo como TRL-5.

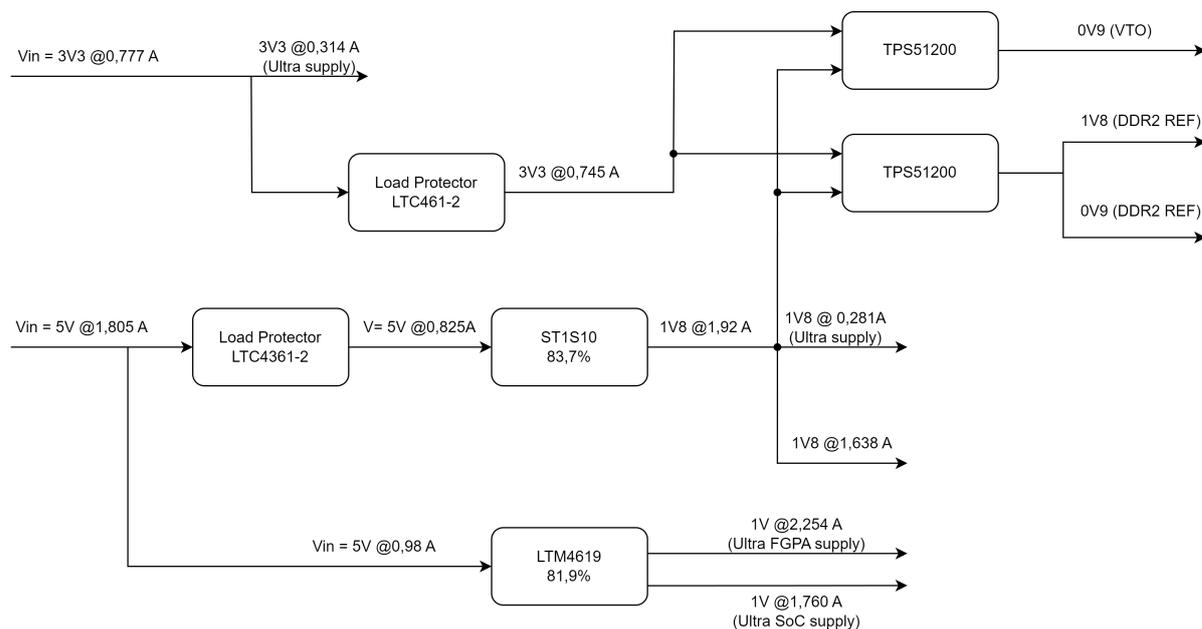
Por fim a cascata de potência resultante está explicitada na Figura 35.

Figura 32 – Fonte de tensão de 1V para os cores do FPGA e do SoC.



Fonte: Autor, 2024

Figura 35 – Cascata de potência resultante



Fonte: Autor, 2024

5 CONCLUSÃO

Neste trabalho foi conduzido um estudo visando a melhoria da confiabilidade de sistemas desenvolvidos para uso em aplicações espaciais. É apresentado um estudo de fundamentação da origem das partículas ionizantes, uma análise do evento físico da colisão de partícula e formas de quantizar e prever estes efeitos em semicondutores. Foram estudados os efeitos ionizantes em diferentes tecnologias de memórias, sistemas de potência, barramentos de comunicação serial e semicondutores em geral.

Foram apresentadas algumas técnicas e boas práticas que visam mitigar efeitos causados por ambientes radioativos. Estas técnicas não são exclusivas para este projeto, podendo ser empregadas em diferentes módulos de CubeSats ou aplicações espaciais que necessitam de maior confiabilidade.

Por fim, utilizando os conhecimentos fundamentados é então realizado o projeto da arquitetura de uma plataforma computacional, sendo este projeto implementado no nível de esquemático. A Figura 36 mostra a arquitetura desenvolvida, em alto nível, é possível ver a alocação dos bancos do FPGA e de memórias, assim como os barramentos de sensores, os conectores que externalizam os barramentos seriais. Na Figura 37 é apresentado um estudo da confiabilidade de cada submódulo, de acordo com os níveis de TRL.

5.1 TRABALHOS FUTUROS E EXPECTATIVAS DE MISSÕES

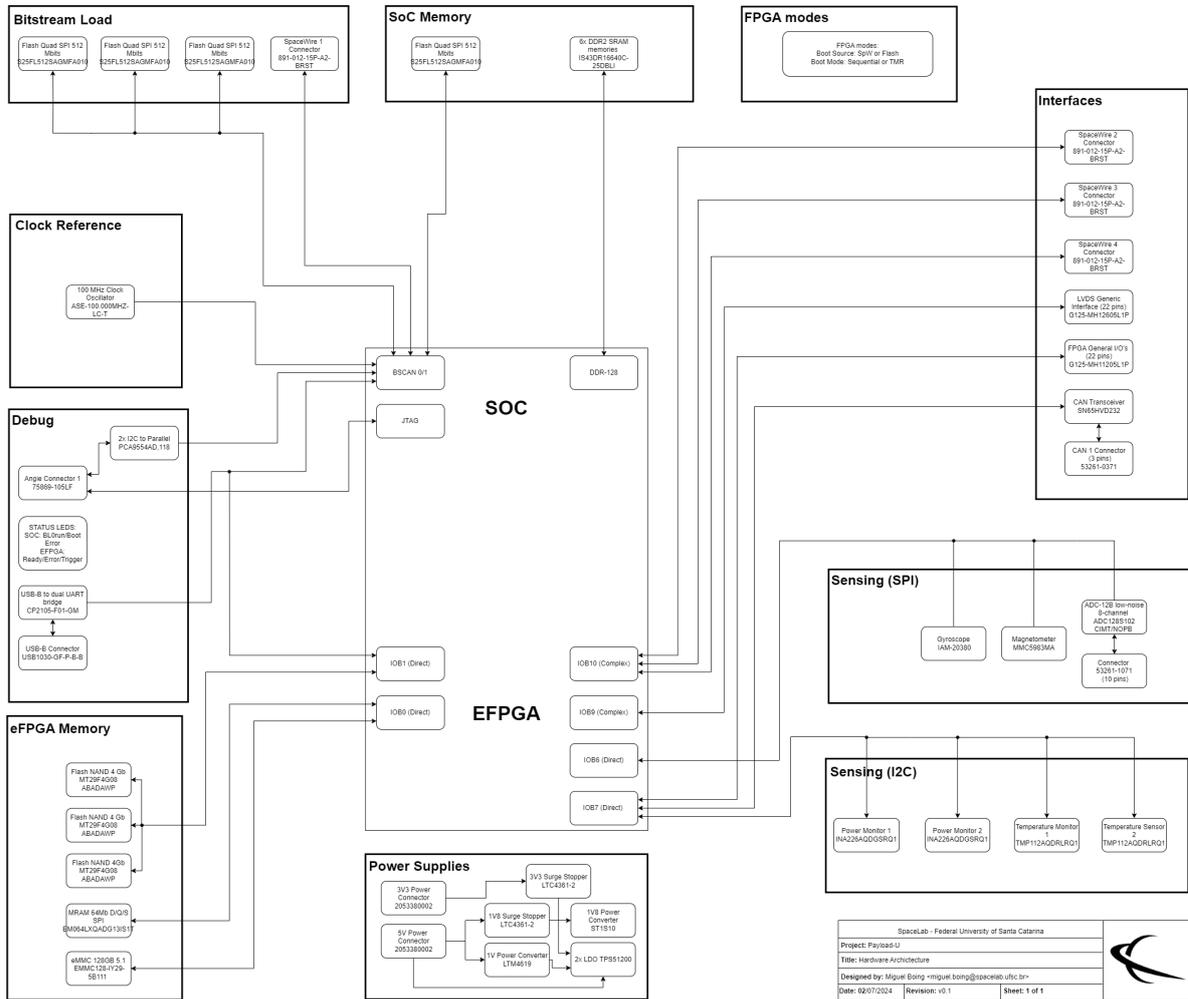
A próxima etapa de desenvolvimento do módulo consiste na concepção do *layout* físico da PCB da plataforma computacional e testes de *Power Delivery Network* (PDN). Para isso serão utilizados os trabalhos de (JÚNIOR, 2021) e (RIGO, 2019) como base que descrevem técnicas de mitigação de radiação voltadas para *layout* utilizando as normas ECSS desenvolvidas pela ESA. Devido à compatibilidade planejada com o DevKit espera-se que os trabalhos de *firmware* possam ser realizados com certo paralelismo através do mesmo.

Ainda não existem missões confirmadas para o módulo desenvolvido. Porém espera-se que o mesmo seja integrado nas missões Persistent-1 e ROCUS-1 do SpaceLab.

A missão Persistent-1 tem como objetivo validar módulos mais robustos contra efeitos da radiação em órbita, o tamanho do satélite dessa missão ainda não está definido mas provavelmente será 2U ou 3U. O módulo NG-ULTRA servirá como o computador de bordo desta plataforma mais resiliente.

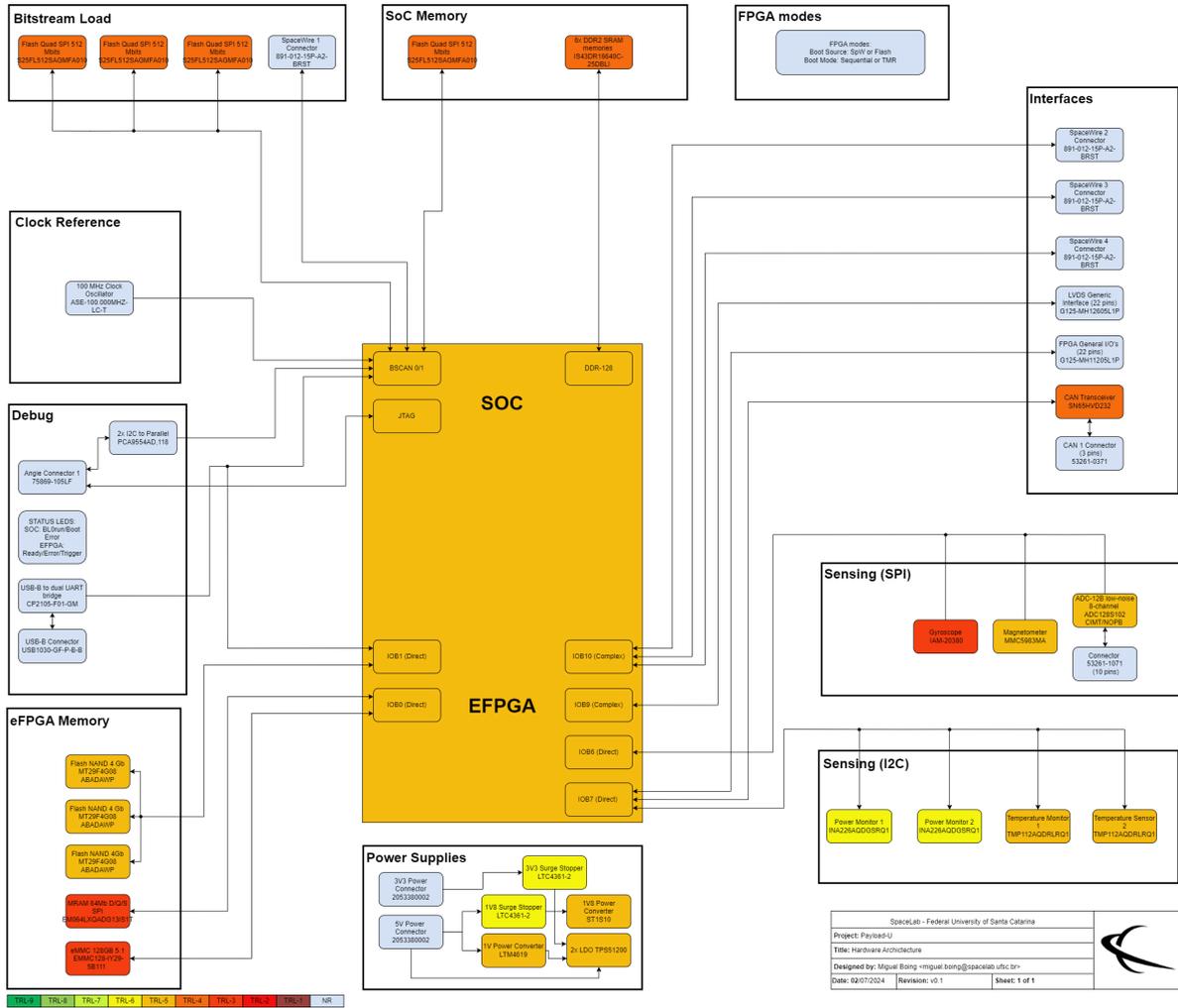
A missão ROCUS-1 consistirá numa aplicação de rádio ocultação de um ou mais CubeSats de tamanho 3U. O módulo NG-ULTRA será utilizado como computador de bordo e carga útil para o processamento dos sinais de *Global Navigation Satellite System* (GNSS).

Figura 36 – Arquitetura final do sistema computacional.



Fonte: Autor, 2024

Figura 37 – Arquitetura final do sistema computacional com os níveis TRL.



Fonte: Autor, 2024

REFERÊNCIAS

- ADELL, P. C.; SCHEICK, L. Z. Radiation Effects in Power Systems: A Review. **IEEE Transactions on Nuclear Science**, v. 60, n. 3, p. 1929–1952, 2013. DOI: 10.1109/TNS.2013.2262235.
- ADELL, P.C.; SCHRIMPF, R.D. *et al.* Total dose effects in a linear Voltage regulator. **IEEE Transactions on Nuclear Science**, v. 51, n. 6, p. 3816–3821, 2004. DOI: 10.1109/TNS.2004.839194.
- ALLES, M. L. *et al.* Radiation hardness of FDSOI and FinFET technologies. *In: IEEE 2011 International SOI Conference*. [S.l.: s.n.], 2011. P. 1–2. DOI: 10.1109/SOI.2011.6081714.
- AMEEL, J *et al.* Radiation-hard power electronics for the ATLAS New Small Wheel. **Journal of Instrumentation**, v. 10, n. 01, p. c01009, jan. 2015. DOI: 10.1088/1748-0221/10/01/C01009. Disponível em: <https://dx.doi.org/10.1088/1748-0221/10/01/C01009>.
- BEKKENG, Tore André *et al.* Multi-Needle Langmuir Probe System for Electron Density Measurements and Active Spacecraft Potential Control on CubeSats. **IEEE Transactions on Aerospace and Electronic Systems**, v. 55, n. 6, p. 2951–2964, 2019. DOI: 10.1109/TAES.2019.2900132.
- BEKKER, Dmitriy *et al.* The COVE payload—a reconfigurable FPGA-Based processor for CubeSats. *In: SMALL Satellite Conference*. [S.l.: s.n.], 2011.
- BORÉ, A; PROYNOV, P; RAFALSKYI, D. Improved control architecture and strategy for iodine ion thruster following in-orbit demonstration and system-level radiation testing. *en. J. Elect. Propuls.*, Springer Science e Business Media LLC, v. 2, n. 1, fev. 2023.
- CÉSAR BOATELLA POLO. **SEE Single Event Effects**: Radiation Environment and its Effects in EEE Components and Hardness Assurance for Space Applications. [S.l.: s.n.], mai. 2017. URL: https://indico.cern.ch/event/635099/contributions/2570672/attachments/1456364/2249943/Single_Event_Effecs_Radiation_Course_May_2017_SEE_CBP.pdf.
- COOK, Kendra L. B. The ITAR and you - what you need to know about the International Traffic in Arms Regulations. *In: 2010 IEEE Aerospace Conference*. [S.l.: s.n.], 2010. P. 1–12. DOI: 10.1109/AERO.2010.5446878.
- CUBESAT Design Specification. [S.l.: s.n.], 2022. Available at <<https://www.cubesat.org/cubesatinfo>>.

D, Juliano; BENFICA, Ornelas; VARGAS, Fabian. **Plataforma para Testes e Qualifica (Thesis, Benfica, 2015)**. Nov. 2015. Tese (Doutorado) – Universidade Federal de Santa Catarina.

DEVICES, Analog. **The Fundamentals of LDO Design and Applications**. [S.l.], 2009. Disponível em: <https://www.analog.com/en/lp/001/fundamentals-of-ldo-design-and-applications.html>.

DHAWANA, S. *et al.* Commercial-Off-the-Shelf DC-DC converters for high energy physics detectors for the sLHC upgrade. *In: 2009 16th IEEE-NPSS Real Time Conference*. [S.l.: s.n.], 2009. P. 129–136. DOI: 10.1109/RTC.2009.5322122.

DUZELLIER, Sophie. Radiation effects on electronic devices in space. **Aerospace Science and Technology**, v. 9, n. 1, p. 93–99, 2005. ISSN 1270-9638. DOI: <https://doi.org/10.1016/j.ast.2004.08.006>. Disponível em: <https://www.sciencedirect.com/science/article/pii/S1270963804001129>.

ECSS. **Space product assurance**. The Netherlands: [s.n.], 2011. Standard ECSS-Q-ST-30-11C Rev.1.

ECSS. **Space Environment**. The Netherlands: [s.n.], 2008. Standard ECSS-E-ST-10-04C.

ELSANTAWY, Ahmed Ehab *et al.* Design and Implementation of Attitude Determination and Control Subsystem for Cube Satellites. *In: THE MILITARY TECHNICAL COLLEGE*, 6. THE International Undergraduate Research Conference. [S.l.: s.n.], 2022. P. 1–7.

ESA. **ESA Radiation Test Database**. [S.l.: s.n.]. <https://esarad.esa.int/>. Acessado em: Abril 17, 2024.

FAJARDO, Isai *et al.* Design, Implementation, and Operation of a Small Satellite Mission to Explore the Space Weather Effects in LEO. **Aerospace**, v. 6, n. 10, 2019. ISSN 2226-4310. DOI: 10.3390/aerospace6100108. Disponível em: <https://www.mdpi.com/2226-4310/6/10/108>.

FIGUEIREDO, Davi Luciano. **Reliability enhanced electrical power system for nanosatellites**. 2023. Diss. (Mestrado) – UNIVERSIDADE FEDERAL DE SANTA CATARINA.

FLEETWOOD, Daniel M. Radiation Effects in a Post-Moore World. **IEEE Transactions on Nuclear Science**, v. 68, n. 5, p. 509–545, 2021. DOI: 10.1109/TNS.2021.3053424.

GAILLARD, Rémi. Single Event Effects: Mechanisms and Classification. *In: Soft Errors in Modern Electronic Systems*. Edição: Michael Nicolaidis. Boston, MA: Springer

US, 2011. P. 27–54. ISBN 978-1-4419-6993-4. DOI: 10.1007/978-1-4419-6993-4_2. Disponível em: https://doi.org/10.1007/978-1-4419-6993-4_2.

GEORGE, Alan D.; WILSON, Christopher M. Onboard Processing With Hybrid and Reconfigurable Computing on Small Satellites. **Proceedings of the IEEE**, v. 106, n. 3, p. 458–470, 2018. DOI: 10.1109/JPROC.2018.2802438.

GERARDIN, S.; BAGATIN, M. *et al.* Radiation Effects in Flash Memories. **IEEE Transactions on Nuclear Science**, v. 60, n. 3, p. 1953–1969, 2013. DOI: 10.1109/TNS.2013.2254497.

GERARDIN, Simone; PACCAGNELLA, Alessandro. Present and Future Non-Volatile Memories for Space. **IEEE Transactions on Nuclear Science**, v. 57, n. 6, p. 3016–3039, 2010. DOI: 10.1109/TNS.2010.2084101.

GOMSPACE. **NanoMind HP MK3**. [*S.l.: s.n.*], 2024. Accessed: 2024-07-04. Disponível em: [https://gomspace.com/shop/subsystems/command-and-data-handling/nanomind-hp-mk3-\(1\).aspx](https://gomspace.com/shop/subsystems/command-and-data-handling/nanomind-hp-mk3-(1).aspx).

H.L, Sneha. **Purpose and Internal Functionality of FPGA Look-Up Tables**. [*S.l.: s.n.*]. <https://www.allaboutcircuits.com/technical-articles/purpose-and-internal-functionality-of-fpga-look-up-tables/>. Acessado: Maio 05, 2024.

HELVAJIAN, Henry.; JANSON, Siegfried W. **Small satellites : past, present, and future**. eng. El Segundo, Calif: Aerospace Press, 2008. ISBN 9781884989223.

HEMMO, Jussi. **Electrical Power Systems for Finnish Nanosatellites**. 2013. Diss. (Mestrado) – Aalto University, School of Engineering.

HOLLIDAY, Maximillian; MANCHESTER, Zachary; SENESKY, Debbie G. On-Orbit Implementation of Discrete Isolation Schemes for Improved Reliability of Serial Communication Buses. **IEEE Transactions on Aerospace and Electronic Systems**, v. 58, n. 4, p. 2973–2982, 2022. DOI: 10.1109/TAES.2022.3142713.

HU, Daohua. COTS Components Radiation Test Activity and Results at MSSSL. *In*: 2016 IEEE Radiation Effects Data Workshop (REDW). [*S.l.: s.n.*], 2016. P. 1–7. DOI: 10.1109/NSREC.2016.7891708.

IROM, Farokh; ALLEN, Gregory R.; VARTANIAN, Sergeh. Single-Event Latchup Measurements on COTS Electronic Devices for Use in ISS Payloads. *In*: 2017 IEEE Radiation Effects Data Workshop (REDW). [*S.l.: s.n.*], 2017. P. 1–6. DOI: 10.1109/NSREC.2017.8115428.

JASPER BOUWMEESTER MARTIN LANGER, Eberhard Gill. Survey on the implementation and reliability of CubeSat electrical bus interfaces. **CEAS Space Journal**, v. 9, n. 2, p. 163–173, 2017. DOI: 10.1007/s12567-016-0138-0.

JÚNIOR, Kleber Reis Gouveia. **Fluxo de apoio à concepção de hardware para o segmento espacial visando melhoria de confiabilidade de missões cubesat**. 2021. Diss. (Mestrado) – Universidade Federal de Santa Catarina.

KATTI, Romney R. *et al.* Heavy-Ion and Total Ionizing Dose (TID) Performance of a 1 Mbit Magnetoresistive Random Access Memory (MRAM). *In: 2009 IEEE Radiation Effects Data Workshop*. [S.l.: s.n.], 2009. P. 103–105. DOI: 10.1109/REDW.2009.5336307.

KULU, Erik. **Nanosats Database**. [S.l.: s.n.], 2024. Accessed: 2024-07-07. Disponível em: <https://www.nanosats.eu/#figures>.

KUON, Ian; ROSE, Jonathan. Measuring the Gap Between FPGAs and ASICs. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 26, n. 2, p. 203–215, 2007. DOI: 10.1109/TCAD.2006.884574.

KUROIWA, Fumito *et al.* A redundancy and operation of power control system for a deep-space small probe. **Journal of Automation and Control Engineering Vol.**, v. 4, n. 5, 2016.

LEE, Minwoong *et al.* Modeling and Simulation-Based Layout Optimization for Tolerance to TID Effect on n-MOSFET. **Electronics**, v. 10, n. 8, 2021. ISSN 2079-9292. DOI: 10.3390/electronics10080887. Disponível em: <https://www.mdpi.com/2079-9292/10/8/887>.

LHO, Y.-H. Radiation Effects on PWM Controller of DC/DC Power Buck Converter. **Journal of the Korean Society for Railway**, Korean Society for Railway, v. 15, n. 2, p. 116–121, abr. 2012.

LIM, Timothy M. *et al.* A Modular Electrical Power System Architecture for Small Spacecraft. **IEEE Transactions on Aerospace and Electronic Systems**, v. 54, n. 4, p. 1832–1849, 2018. DOI: 10.1109/TAES.2018.2803598.

MAND, Philipp *et al.* Single Event Effects in Modern COTS DC-DC Buck Converter ICs and Their Influence on the Safe Operating Area. *In: 2023 13th European Space Power Conference (ESPC)*. [S.l.: s.n.], 2023. P. 1–7. DOI: 10.1109/ESPC59009.2023.10298171.

MARCELINO, Gabriel Mariano *et al.* FloripaSat-2: An Open-Source Platform for CubeSats. **IEEE Embedded Systems Letters**, v. 16, n. 1, p. 77–80, 2024. DOI: 10.1109/LES.2023.3260066.

NANOXPLORE. **NG-ULTRA FAMILY/NX2H540ATSC Datasheet**. [S.l.: s.n.], 2024. <https://nanoxplore-wiki.atlassian.net/wiki/spaces/NAN/pages/9961482/NG-ULTRA>. Acessado: 2024-06-22.

NANOXPLORE. **NG-Ultra Heavy Ion Radiation Test Report**. [S.l.], nov. 2023. Disponível em: <https://nanoxplore-wiki.atlassian.net/wiki/spaces/NAN/pages/9961482/NG-ULTRA>.

NASA. **Technology Readiness Levels**. [S.l.: s.n.], 2024. <https://www.nasa.gov/directorates/somd/space-communications-navigation-program/technology-readiness-levels/>. Acessado em Junho 22, 2024.

NASA. **CubeSat101: Basic Concepts and Processes for First-Time CubeSat Developers**. [S.l.: s.n.], 2017. Available at <https://www.nasa.gov/sites/default/files/atoms/files/nasa_csli_cubesat_101_508.pdf>.

NASA. **GSFC Radiation Data Base**. [S.l.: s.n.]. <https://radhome.gsfc.nasa.gov/radhome/RadDataBase/RadDataBase.html>. Acessado em Abril 17, 2024.

NWANKWO, Victor; JIBIRI, N.; KIO, Michael. The Impact of Space Radiation Environment on Satellites Operation in Near-Earth Space. *In*: [S.l.]: IntechOpen, jun. 2020. ISBN 978-1-78985-996-6. DOI: 10.5772/intechopen.90115.

OKTAVIANI, Shindi M *et al.* Development of a commercial-off-the-shelf imaging payload with onboard image classification and processing. *In*: IEEE. IGARSS 2022-2022 IEEE International Geoscience and Remote Sensing Symposium. [S.l.: s.n.], 2022. P. 7260–7263.

ORBIT.ING-NOW. **Orbit.ing-now**. [S.l.: s.n.], 2024. Accessed: 2024-08-05. Disponível em: <https://orbit.ing-now.com/>.

PARKES, S.M.; ARMBRUSTER, P. SpaceWire: a spacecraft onboard network for real-time communications. *In*: 14TH IEEE-NPSS Real Time Conference, 2005. [S.l.: s.n.], 2005. P. 6–10. DOI: 10.1109/RTC.2005.1547397.

PENG, Li; JUN, Zhou; XIAOZHOU, Yu. Design and on-orbit verification of EPS for the world's first 12U polarized light detection CubeSat. **International Journal of Aeronautical and Space Sciences**, Springer, v. 19, p. 718–729, 2018.

PETERSEN, E.L. *et al.* Rate prediction for single event effects-a critique. **IEEE Transactions on Nuclear Science**, v. 39, n. 6, p. 1577–1599, 1992. DOI: 10.1109/23.211340.

PILIA, Roberta *et al.* Compendium of Recent SEE, and TID Test Results conducted by CNES from 2011-2016. *In*: 2017 17th European Conference on Radiation and Its Effects on Components and Systems (RADECS). [S.l.: s.n.], 2017. P. 1–8. DOI: 10.1109/RADECS.2017.8696134.

QUINN, Heather. Radiation effects in reconfigurable FPGAs. **Semiconductor Science and Technology**, IOP Publishing, v. 32, n. 4, p. 044001, mar. 2017. DOI:

10.1088/1361-6641/aa57f6. Disponível em:
<https://dx.doi.org/10.1088/1361-6641/aa57f6>.

RIGO, Cezar Antônio. **Projeto de Placas de Circuito Impresso com FPGAs para uso em ambiente espacial**. 2019. Diss. (Mestrado) – Universidade Federal de Santa Catarina.

SALVY, L. **Total Ionizing Dose Test Report - MT29F4G08ABADAWP (DC1350) 4Gb, x8 NAND Flash Memory From Micron**. [S.l.], jul. 2015.

SALVY, L. *et al.* Total ionizing dose influence on the single event effect sensitivity of active EEE components. *In: 2016 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS)*. [S.l.: s.n.], 2016. P. 1–8. DOI: 10.1109/RADECS.2016.8093123.

SCHEICK, Leif. **Testing guideline for single event gate rupture (SEGR) of power MOSFETs**. [S.l.]: Pasadena, CA: Jet Propulsion Laboratory, National Aeronautics e Space . . . , 2008. v. 2008.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. *In: Radiation Effects on Embedded Systems*. Edição: RAOUL VELAZCO, PASCAL FOUILLAT e RICARDO REIS. Dordrecht: Springer Netherlands, 2007. P. 11–29. ISBN 978-1-4020-5646-8. DOI: 10.1007/978-1-4020-5646-8_2. Disponível em: https://doi.org/10.1007/978-1-4020-5646-8_2.

SEO, Y.M. *et al.* Cumulative ionizing effect from solar-terrestrial charged particles and cosmic rays for CubeSats as simulated with GEANT4. **Current Applied Physics**, v. 12, n. 6, p. 1541–1547, 2012. ISSN 1567-1739. DOI: <https://doi.org/10.1016/j.cap.2012.04.033>. Disponível em: <https://www.sciencedirect.com/science/article/pii/S1567173912001721>.

SHKOLNIK, Evgenya L. On the Verge of an Astronomy CubeSat Revolution. **Nature Astronomy**, Arizona State University, set. 2018.

SIEGLE, Felix *et al.* Mitigation of Radiation Effects in SRAM-Based FPGAs for Space Applications. **ACM Comput. Surv.**, Association for Computing Machinery, New York, NY, USA, v. 47, n. 2, jan. 2015. ISSN 0360-0300. DOI: 10.1145/2671181. Disponível em: <https://doi.org/10.1145/2671181>.

SPACELAB. **TTC2**. [S.l.: s.n.], 2024. <https://github.com/spacelab-ufsc/ttc2>. Accessed: 2024-05-27.

STASSINOPOULOS, E.G. *et al.* Charge generation by heavy ions in power MOSFETs, burnout space predictions and dynamic SEB sensitivity. **IEEE Transactions on Nuclear Science**, v. 39, n. 6, p. 1704–1711, 1992. DOI: 10.1109/23.211357.

TEXAS INSTRUMENTS. **Introduction to the Controller Area Network (CAN)**. [S.l.], mar. 2002. Disponível em:
<https://www.ti.com/lit/an/sloa101b/sloa101b.pdf>.

THOMSEN III, D Laurence *et al.* Shielding Considerations for CubeSat Structures During Solar Maximum. *In: 37TH Annual Small Satellite Conference*. [S.l.: s.n.], 2023.

TRAD. **OMERE Software**. [S.l.: s.n.], 2014. Retrieved December 9, 2014, from
<http://www.trad.fr/OMERE-Software.html>.

TRAMONTIN, Elder Dominghini. **Estratégia para atualização remota de sistemas computacionais embarcados em satélites: um estudo de caso com o nanossatélite FloripaSat-I**. 2018. Diss. (Mestrado) – Universidade Federal de Santa Catarina.

VANDEVELDE, B. **Heavy Ions Report - Report Single Event Effects MT29F4G08ABADAWP (DC1350) 4Gb, x8 NAND Flash Memory From Micron**. [S.l.], set. 2015.

ZHANG, Zhangang *et al.* Single Event Effects in COTS Ferroelectric RAM Technologies. *In: 2015 IEEE Radiation Effects Data Workshop (REDW)*. [S.l.: s.n.], 2015. P. 1–5. DOI: 10.1109/REDW.2015.7336734.

ZHENG, Xutao *et al.* In-orbit radiation damage characterization of SiPMs in the GRID-02 CubeSat detector. **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, v. 1044, p. 167510, 2022. ISSN 0168-9002. DOI:
<https://doi.org/10.1016/j.nima.2022.167510>. Disponível em:
<https://www.sciencedirect.com/science/article/pii/S0168900222008026>.

Apêndices

APÊNDICE A – ESTIMATIVA DE CONSUMO DO SOC FPGA



NanoXplore Power Estimator (NXPE) - NG-ULTRA v2.2b

Reset

Initialize

Design

payload-u

Chip Name

NG-ULTRA

Date

5/27/2024

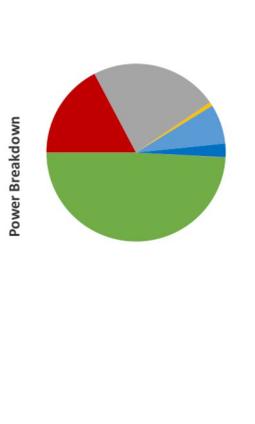
Environment

Temperature

25 °C

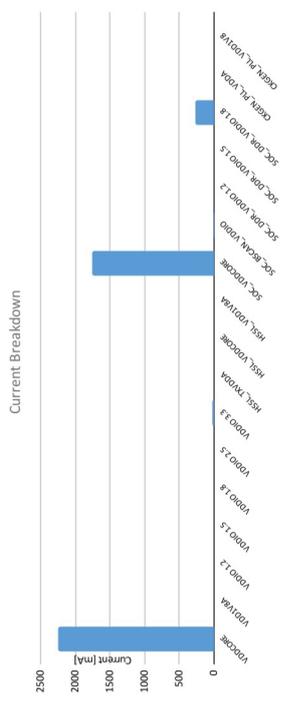
Power Summary

Category	Power [mW]	%
Overall	4620.08	100.0%
VDDCORE Static	800.00	17.3%
RF	0.00	0.0%
Logic	1069.90	23.2%
Ram	31.44	0.7%
DSP	332.99	7.2%
IO	114.24	2.5%
CKG	0.00	0.0%
HSSL	2.96	0.1%
SoC	2268.56	49.1%



Rail Breakdown

Rail	Voltage (V)	Current (mA)	Power (mW)	Status
VDDCORE	1.00	2254.80	2254.80	
VDD1V8A	1.80	0.78	1.40	
VDDIO 1.2	1.20	0.00	0.00	
VDDIO 1.5	1.50	0.00	0.00	
VDDIO 1.8	1.80	0.00	0.00	
VDDIO 2.5	2.50	0.00	0.00	
VDDIO 3.3	3.30	27.97	92.29	
HSSL_TXVDDA	1.00	0.00	0.00	
HSSL_VDDCORE	1.00	0.00	0.00	0 HSSL powered. See HSSL Sheet.
HSSL_VDD1V8A	1.80	0.00	0.00	
SOC_VDDCORE	1.00	1760.00	1760.00	
SOC_BSCAN_VDDIO	3.30	3.45	11.40	
SOC_DDR_VDDIO 1.2V	1.20	0.00	0.00	
SOC_DDR_VDDIO 1.5V	1.50	0.00	0.00	
SOC_DDR_VDDIO 1.8V	1.80	276.20	497.16	
CKGEN_PLL_VDDA	1.00	0.00	0.00	0 CKG powered. See CKG Sheet.
CKGEN_PLL_VDD1V8A	1.80	0.00	0.00	



User Comments:

SoC

Rail	Voltage	Overall Power (mW)
SOC_VDDCORE	1,00	1760,00
SOC_BSCAN_VDDIO	3,30	11,40
SOC_DDR_VDDIO 1.2V	1,20	0,00
SOC_DDR_VDDIO 1.5V	1,50	0,00
SOC_DDR_VDDIO 1.8V	1,80	497,16
TOTAL		2268,56

SoC	CLKCPU	CLKFAST
ON	100	400

Dynamic Power (mW) SOC_VDDCORE	1730,00
--------------------------------	---------

BANK DDR	CLKDDR	Write Rate	Command Rate	Toggle Rate	Mode	Dynamic Power (mW) SOC_DDR_VDDIO 1.2V	Dynamic Power (mW) SOC_DDR_VDDIO 1.3V	Dynamic Power (mW) SOC_DDR_VDDIO 1.8V
DDR2	400	20,00%	20,00%	50,00%	8x16	0,00	0,00	497,16

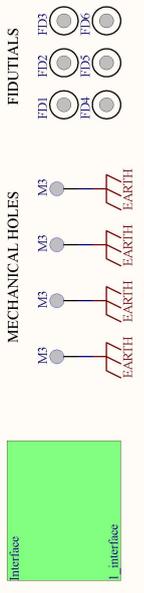
BSCAN Bank Frequency	BSCAN Write Rate	Read Rate	Toggle Rate
	20,00%	20,00%	20,00%

Dynamic Power (mW) SOC_BSCAN_VDDIO	0,00
------------------------------------	------

APÊNDICE B – ESQUEMÁTICO COMPLETO

Rev	Description	Date	Author
0.1	- Initial release	TBD	Miguel Boing

Revision History



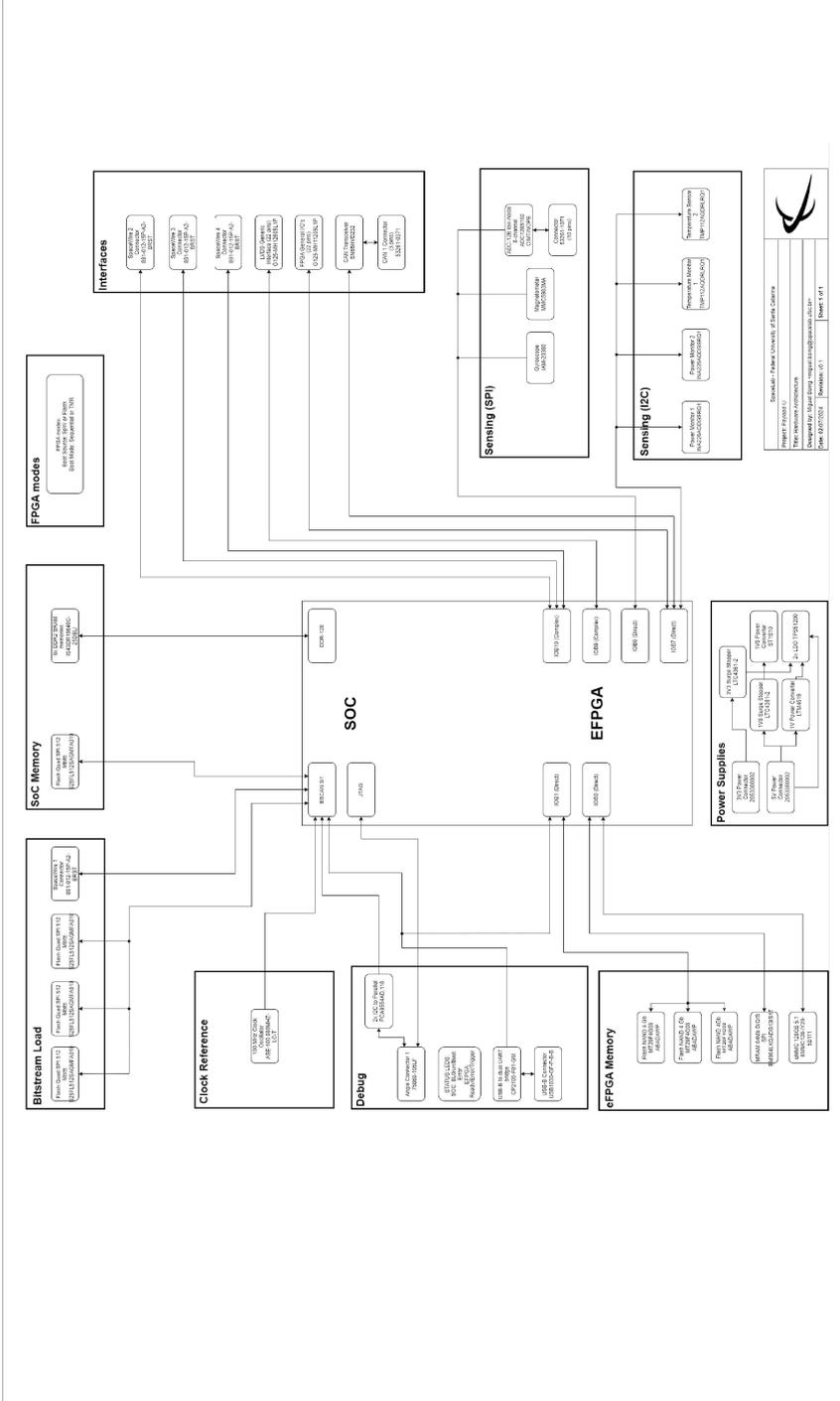
PCB Elements

Copyright © 2023
 by Universidade Federal de Santa Catarina.
 Payload-U Hardware

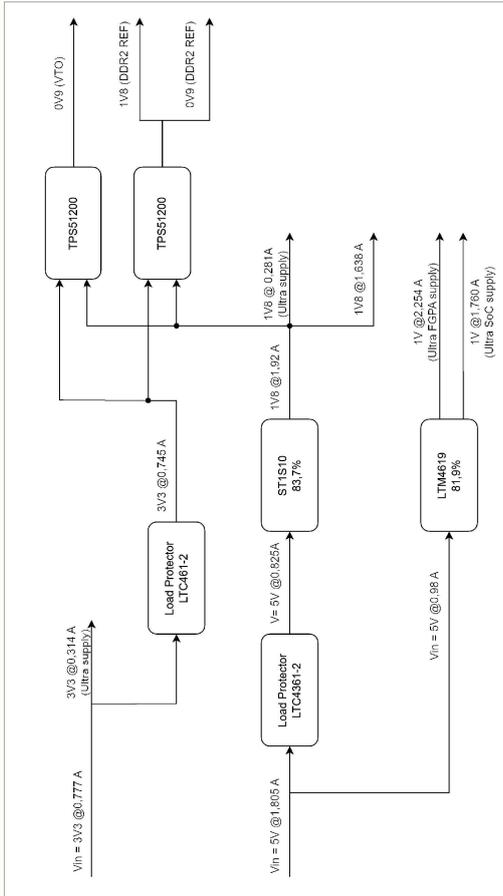
This work is licensed under CERN Open Hardware License, version 2.
 To view a copy of this license, visit
<https://github.com/spacelab-ufsc/payload-u/blob/master/hardware/LICENSE>

Github repository: <https://github.com/spacelab-ufsc/payload-u>
 More info about Spacelab: <https://spacelab-ufsc.br/>

Project Contributions



Block Diagram



Power Diagram

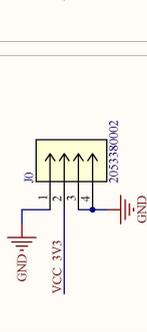
Contributions

Spacelab - Federal University of Santa Catarina
 Project: [payload-u](https://github.com/spacelab-ufsc/payload-u), project: [Payload-U](https://github.com/spacelab-ufsc/payload-u) (No Variations)
 Title: Hardware Architecture
 Engineer: Miguel Boing
 Date: 07/08/2024 | Revision: v0.1 | Sheet 1 of 15

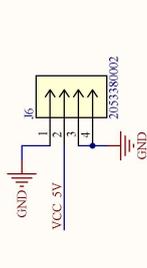


Project Code: [Payload-U](https://github.com/spacelab-ufsc/payload-u)
 Size: A3

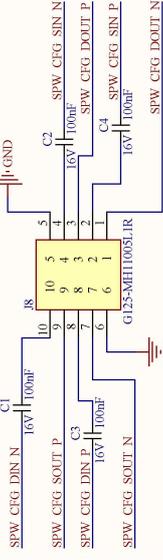
Power Supply Connector 3V3



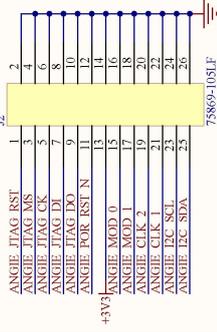
Power Supply Connector 5V



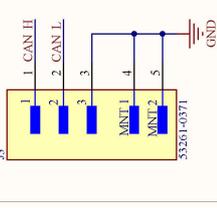
SPW Configuration Interface



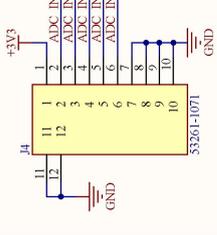
Angie Interface



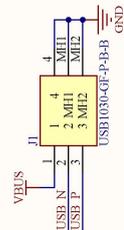
CAN Interface



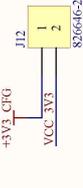
ADC Interface



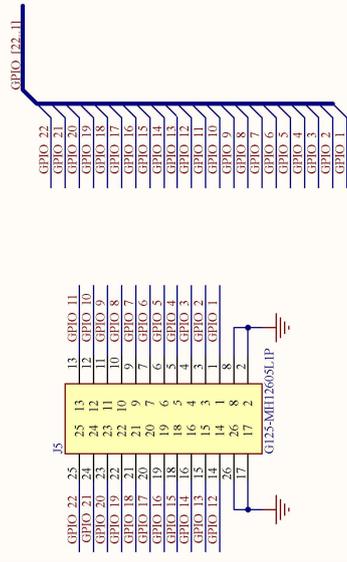
USB Interface



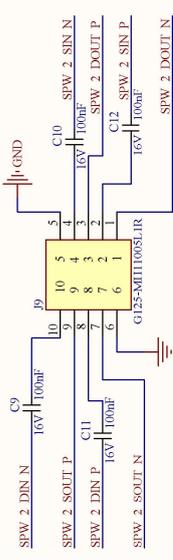
Debug Supply



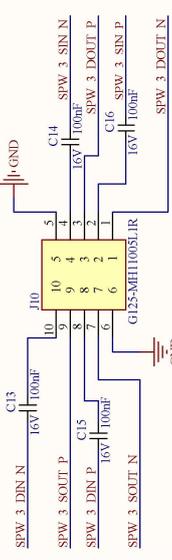
GPIO Generic Interface



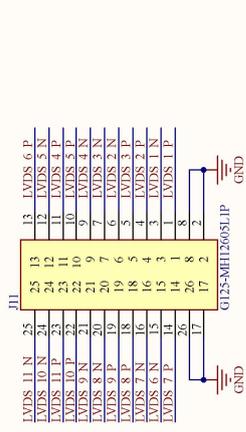
SPW 2 Interface



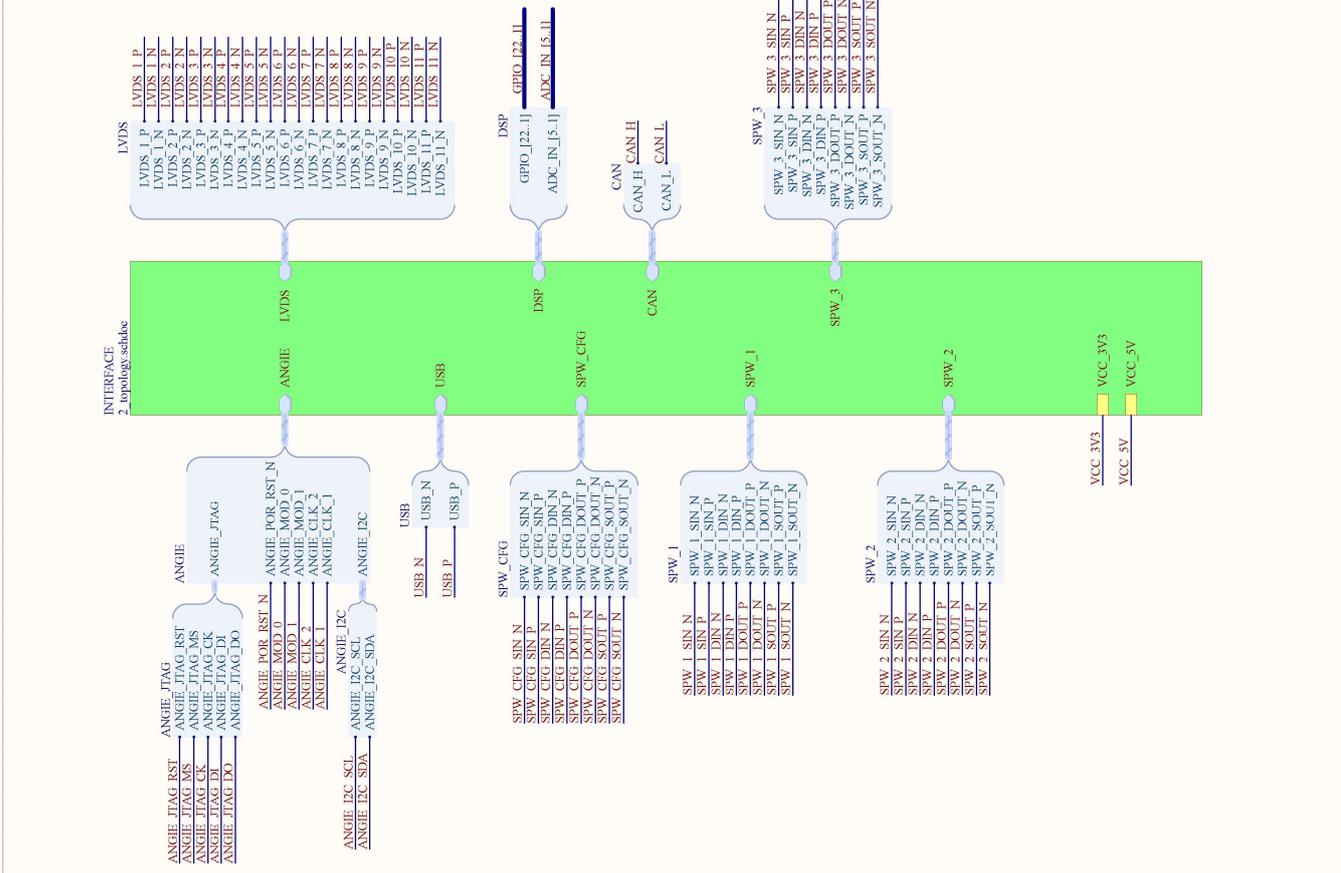
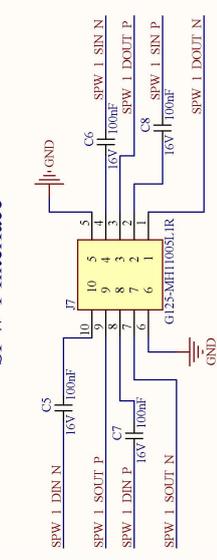
SPW 3 Interface



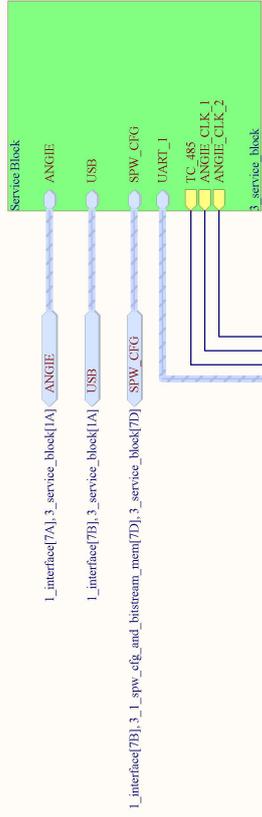
LVDS Generic Interface



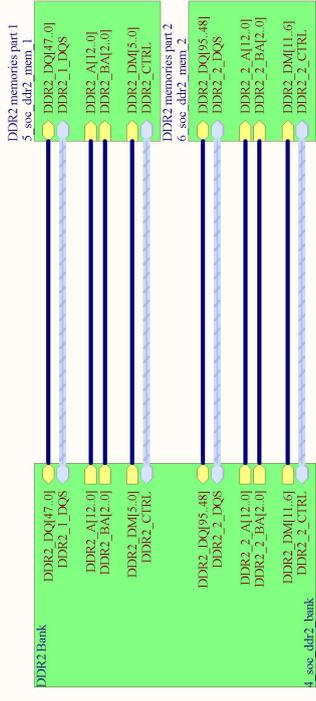
SPW 1 Interface



Service Block



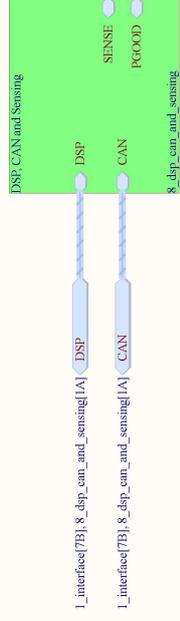
SoC DDR2



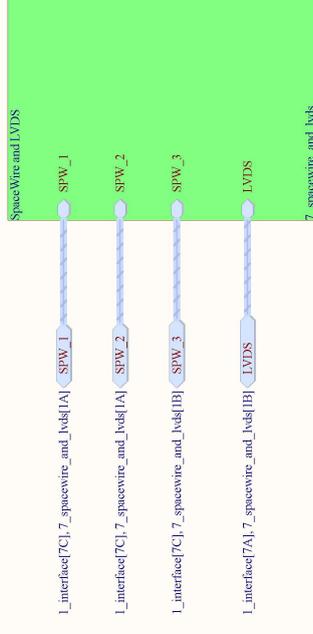
PL Memory



DSP, CAN and Sensing



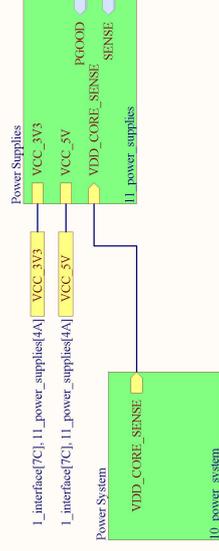
SPW and Generic LVDS



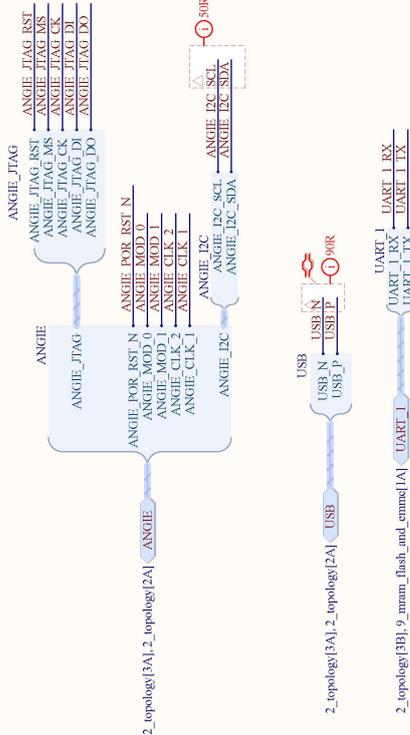
Unused Banks



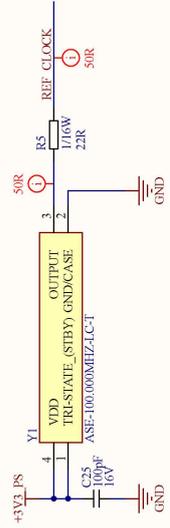
Power Supply System



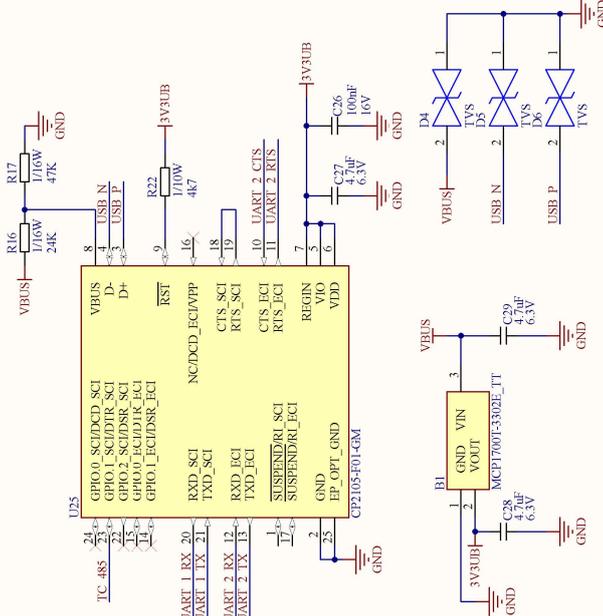
3 - Service Block



Clock Oscillator



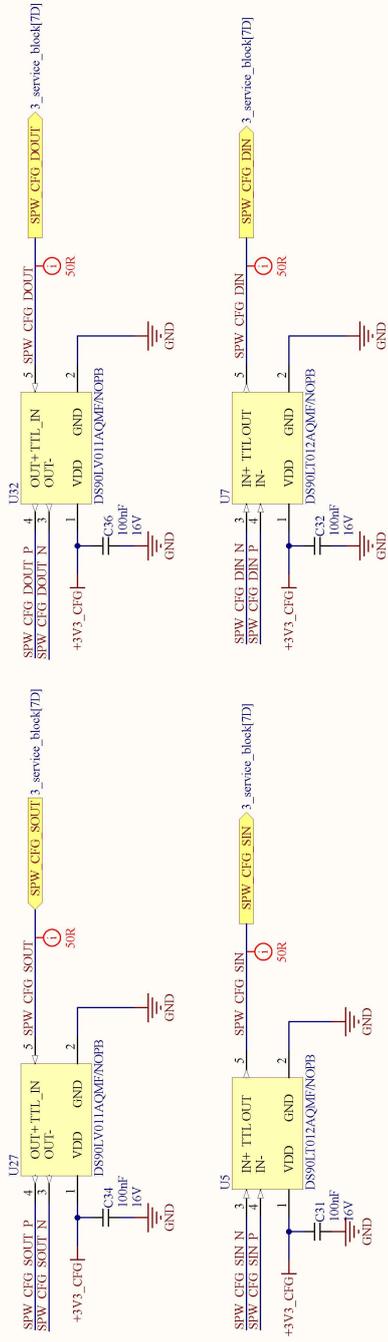
USB Transceiver



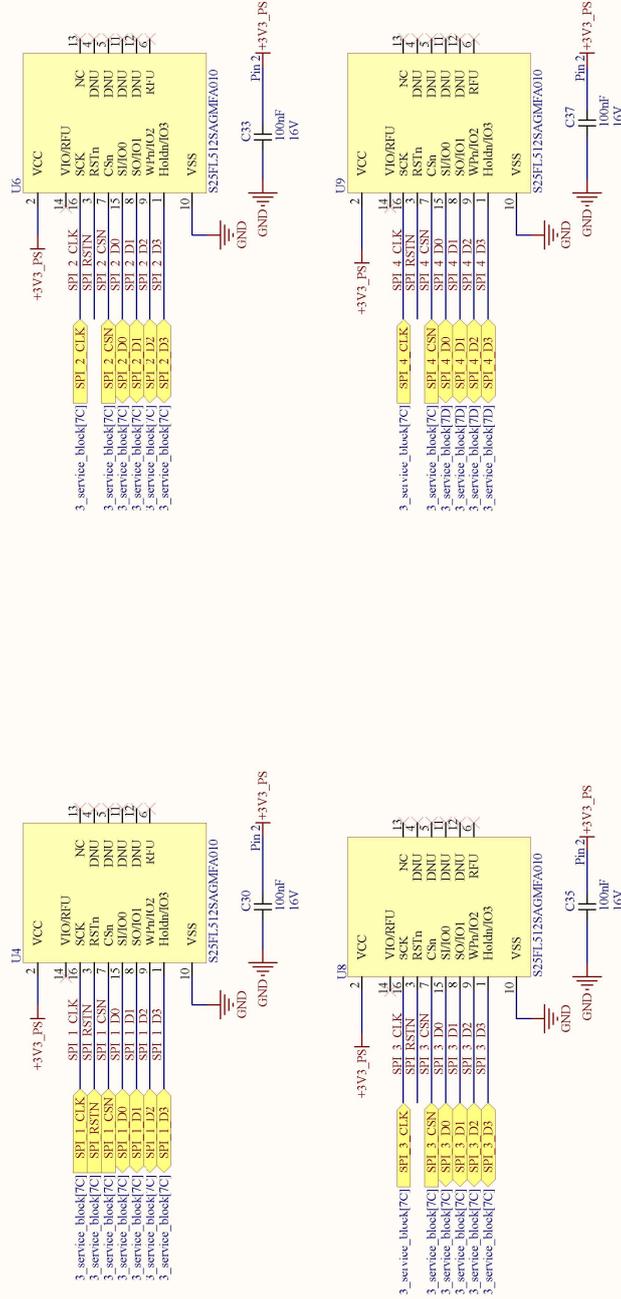
U1A	AP33	50R	U29	BLO_RUN
U1B	AP33	50R	U30	BOOT_ERROR
U1C	AP33	50R	K32	SPW_CFG_DIN
U1D	AP33	50R	K33	SPW_CFG_SIN
U1E	AP33	50R	J32	SPW_CFG_SOUT
U1F	AP33	50R	J33	SPW_CFG_SOUT
U1G	AP33	50R	T29	UART_2_CTS
U1H	AP33	50R	L30	UART_2_RTS
U1I	AP33	50R	R31	UART_2_RX
U1J	AP33	50R	R32	UART_2_TX
U1K	AP33	50R	R33	UART_2_TX
U1L	AP33	50R	R34	UART_2_TX
U1M	AP33	50R	R35	UART_2_TX
U1N	AP33	50R	R36	UART_2_TX
U1O	AP33	50R	R37	UART_2_TX
U1P	AP33	50R	R38	UART_2_TX
U1Q	AP33	50R	R39	UART_2_TX
U1R	AP33	50R	R40	UART_2_TX
U1S	AP33	50R	R41	UART_2_TX
U1T	AP33	50R	R42	UART_2_TX
U1U	AP33	50R	R43	UART_2_TX
U1V	AP33	50R	R44	UART_2_TX
U1W	AP33	50R	R45	UART_2_TX
U1X	AP33	50R	R46	UART_2_TX
U1Y	AP33	50R	R47	UART_2_TX
U1Z	AP33	50R	R48	UART_2_TX
U20	AP33	50R	R49	UART_2_TX
U21	AP33	50R	R50	UART_2_TX
U22	AP33	50R	R51	UART_2_TX
U23	AP33	50R	R52	UART_2_TX
U24	AP33	50R	R53	UART_2_TX
U25	AP33	50R	R54	UART_2_TX
U26	AP33	50R	R55	UART_2_TX
U27	AP33	50R	R56	UART_2_TX
U28	AP33	50R	R57	UART_2_TX
U29	AP33	50R	R58	UART_2_TX
U30	AP33	50R	R59	UART_2_TX
U31	AP33	50R	R60	UART_2_TX
U32	AP33	50R	R61	UART_2_TX
U33	AP33	50R	R62	UART_2_TX
U34	AP33	50R	R63	UART_2_TX
U35	AP33	50R	R64	UART_2_TX
U36	AP33	50R	R65	UART_2_TX
U37	AP33	50R	R66	UART_2_TX
U38	AP33	50R	R67	UART_2_TX
U39	AP33	50R	R68	UART_2_TX
U40	AP33	50R	R69	UART_2_TX
U41	AP33	50R	R70	UART_2_TX
U42	AP33	50R	R71	UART_2_TX
U43	AP33	50R	R72	UART_2_TX
U44	AP33	50R	R73	UART_2_TX
U45	AP33	50R	R74	UART_2_TX
U46	AP33	50R	R75	UART_2_TX
U47	AP33	50R	R76	UART_2_TX
U48	AP33	50R	R77	UART_2_TX
U49	AP33	50R	R78	UART_2_TX
U50	AP33	50R	R79	UART_2_TX
U51	AP33	50R	R80	UART_2_TX
U52	AP33	50R	R81	UART_2_TX
U53	AP33	50R	R82	UART_2_TX
U54	AP33	50R	R83	UART_2_TX
U55	AP33	50R	R84	UART_2_TX
U56	AP33	50R	R85	UART_2_TX
U57	AP33	50R	R86	UART_2_TX
U58	AP33	50R	R87	UART_2_TX
U59	AP33	50R	R88	UART_2_TX
U60	AP33	50R	R89	UART_2_TX
U61	AP33	50R	R90	UART_2_TX
U62	AP33	50R	R91	UART_2_TX
U63	AP33	50R	R92	UART_2_TX
U64	AP33	50R	R93	UART_2_TX
U65	AP33	50R	R94	UART_2_TX
U66	AP33	50R	R95	UART_2_TX
U67	AP33	50R	R96	UART_2_TX
U68	AP33	50R	R97	UART_2_TX
U69	AP33	50R	R98	UART_2_TX
U70	AP33	50R	R99	UART_2_TX
U71	AP33	50R	R100	UART_2_TX
U72	AP33	50R	R101	UART_2_TX
U73	AP33	50R	R102	UART_2_TX
U74	AP33	50R	R103	UART_2_TX
U75	AP33	50R	R104	UART_2_TX
U76	AP33	50R	R105	UART_2_TX
U77	AP33	50R	R106	UART_2_TX
U78	AP33	50R	R107	UART_2_TX
U79	AP33	50R	R108	UART_2_TX
U80	AP33	50R	R109	UART_2_TX
U81	AP33	50R	R110	UART_2_TX
U82	AP33	50R	R111	UART_2_TX
U83	AP33	50R	R112	UART_2_TX
U84	AP33	50R	R113	UART_2_TX
U85	AP33	50R	R114	UART_2_TX
U86	AP33	50R	R115	UART_2_TX
U87	AP33	50R	R116	UART_2_TX
U88	AP33	50R	R117	UART_2_TX
U89	AP33	50R	R118	UART_2_TX
U90	AP33	50R	R119	UART_2_TX
U91	AP33	50R	R120	UART_2_TX
U92	AP33	50R	R121	UART_2_TX
U93	AP33	50R	R122	UART_2_TX
U94	AP33	50R	R123	UART_2_TX
U95	AP33	50R	R124	UART_2_TX
U96	AP33	50R	R125	UART_2_TX
U97	AP33	50R	R126	UART_2_TX
U98	AP33	50R	R127	UART_2_TX
U99	AP33	50R	R128	UART_2_TX
U100	AP33	50R	R129	UART_2_TX
U101	AP33	50R	R130	UART_2_TX
U102	AP33	50R	R131	UART_2_TX
U103	AP33	50R	R132	UART_2_TX
U104	AP33	50R	R133	UART_2_TX
U105	AP33	50R	R134	UART_2_TX
U106	AP33	50R	R135	UART_2_TX
U107	AP33	50R	R136	UART_2_TX
U108	AP33	50R	R137	UART_2_TX
U109	AP33	50R	R138	UART_2_TX
U110	AP33	50R	R139	UART_2_TX
U111	AP33	50R	R140	UART_2_TX
U112	AP33	50R	R141	UART_2_TX
U113	AP33	50R	R142	UART_2_TX
U114	AP33	50R	R143	UART_2_TX
U115	AP33	50R	R144	UART_2_TX
U116	AP33	50R	R145	UART_2_TX
U117	AP33	50R	R146	UART_2_TX
U118	AP33	50R	R147	UART_2_TX
U119	AP33	50R	R148	UART_2_TX
U120	AP33	50R	R149	UART_2_TX
U121	AP33	50R	R150	UART_2_TX
U122	AP33	50R	R151	UART_2_TX
U123	AP33	50R	R152	UART_2_TX
U124	AP33	50R	R153	UART_2_TX
U125	AP33	50R	R154	UART_2_TX
U126	AP33	50R	R155	UART_2_TX
U127	AP33	50R	R156	UART_2_TX
U128	AP33	50R	R157	UART_2_TX
U129	AP33	50R	R158	UART_2_TX
U130	AP33	50R	R159	UART_2_TX
U131	AP33	50R	R160	UART_2_TX
U132	AP33	50R	R161	UART_2_TX
U133	AP33	50R	R162	UART_2_TX
U134	AP33	50R	R163	UART_2_TX
U135	AP33	50R	R164	UART_2_TX
U136	AP33	50R	R165	UART_2_TX
U137	AP33	50R	R166	UART_2_TX
U138	AP33	50R	R167	UART_2_TX
U139	AP33	50R	R168	UART_2_TX
U140	AP33	50R	R169	UART_2_TX
U141	AP33	50R	R170	UART_2_TX
U142	AP33	50R	R171	UART_2_TX
U143	AP33	50R	R172	UART_2_TX
U144	AP33	50R	R173	UART_2_TX
U145	AP33	50R	R174	UART_2_TX
U146	AP33	50R	R175	UART_2_TX
U147	AP33	50R	R176	UART_2_TX
U148	AP33	50R	R177	UART_2_TX
U149	AP33	50R	R178	UART_2_TX
U150	AP33	50R	R179	UART_2_TX
U151	AP33	50R	R180	UART_2_TX
U152	AP33	50R	R181	UART_2_TX
U153	AP33	50R	R182	UART_2_TX
U154	AP33	50R	R183	UART_2_TX
U155	AP33	50R	R184	UART_2_TX
U156	AP33	50R	R185	UART_2_TX
U157	AP33	50R	R186	UART_2_TX
U158	AP33	50R	R187	UART_2_TX
U159	AP33	50R	R188	UART_2_TX
U160	AP33	50R	R189	UART_2_TX
U161	AP33	50R	R190	UART_2_TX
U162	AP33	50R	R191	UART_2_TX
U163	AP33	50R	R192	UART_2_TX
U164	AP33	50R	R193	UART_2_TX
U165	AP33	50R	R194	UART_2_TX
U166	AP33	50R	R195	UART_2_TX
U167	AP33	50R	R196	UART_2_TX
U168	AP33	50R	R197	UART_2_TX
U169	AP33	50R	R198	UART_2_TX
U170	AP33	50R	R199	UART_2_TX
U171	AP33	50R	R200	UART_2_TX
U172	AP33	50R	R201	UART_2_TX
U173	AP33	50R	R202	UART_2_TX
U174	AP33	50R	R203	UART_2_TX
U175	AP33	50R	R204	UART_2_TX
U176	AP33	50R	R205	UART_2_TX
U177	AP33	50R	R206	UART_2_TX
U178	AP33	50R	R207	UART_2_TX
U179	AP33	50R	R208	UART_2_TX
U180	AP33	50R	R209	UART_2_TX
U181	AP33	50R	R210	UART_2_TX
U182	AP33	50R	R211	UART_2_TX
U183	AP33	50R	R212	UART_2_TX
U184	AP33	50R	R213	UART_2_TX
U185	AP33	50R	R214	UART_2_TX
U186	AP33	50R	R215	UART_2_TX
U187	AP33	50R	R216	UART_2_TX
U188	AP33	50R	R217	UART_2_TX
U189	AP33	50R	R218	UART_2_TX
U190	AP33	50R	R219	UART_2_TX
U191	AP33	50R	R220	UART_2_TX
U192	AP33	50R	R221	UART_2_TX
U193	AP33	50R	R222	UART_2_TX
U194	AP33	50R	R223	UART_2_TX
U195	AP33	50R	R224	UART_2_TX
U196	AP33	50R	R225	UART_2_TX
U197	AP33	50R	R226	UART_2_TX
U198	AP33	50R	R227	UART_2_TX
U199	AP33	50R	R228	UART_2_TX
U200	AP33	50R	R229	UART_2_TX
U201	AP33	50R	R230	UART_2_TX
U202	AP33	50R	R231	UART_2_TX
U203	AP33	50R	R232	UART_2_TX
U204	AP33	50R	R233	UART_2_TX
U205	AP33	50R	R234	UART_2_TX
U206	AP33	50R	R235	UART_2_TX
U207	AP33	50R	R236	UART_2_TX
U208	AP33	50R	R237	UART_2_TX
U209	AP33	50R	R238	UART_2_TX
U210	AP33	50R	R239	UART_2_TX

3_1 - SPW CFG and Bitstream Memories

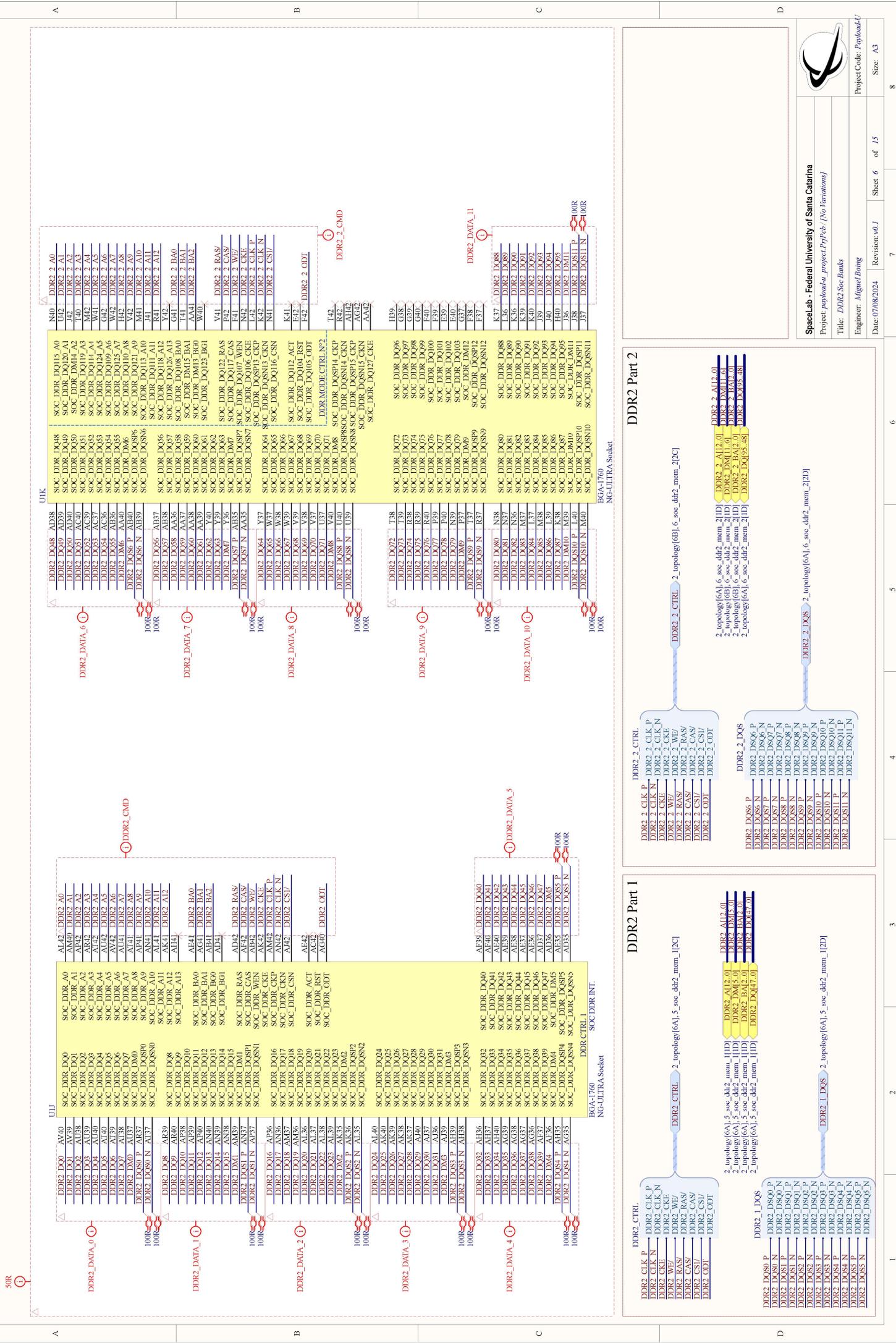
SPW CONFIG



BISTREAM MEMORY



4 - DDR2 SoC Banks

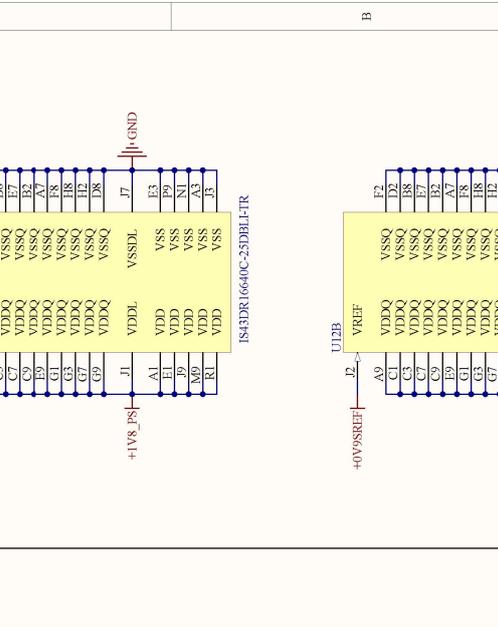


5 - DDR2 SoC Memories - Part 1

DDR2_A0_M8	DDR2_A1_M7	DDR2_A2_M6	DDR2_A3_M5	DDR2_A4_M4	DDR2_A5_M3	DDR2_A6_M2	DDR2_A7_P2	DDR2_A8_P8	DDR2_A9_P3	DDR2_A10_M2	DDR2_A11_P7	DDR2_A12_P2	DDR2_BA0_L2	DDR2_BA1_L3	DDR2_BA2_L1	DDR2_CLK_P_R8	DDR2_CLK_N_K8	DDR2_CKE_K2	DDR2_WE#_K3	DDR2_RAS#_K7	DDR2_CAS#_L7	DDR2_CS#_L8	DDR2_ODT_K9
DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7	DQ8	DQ9	DQ10	DQ11	DQ12	DQ13	DQ14	DQ15	LDQS	LDQS#NU	CK#	UDQS	UDQS#NU	LDM	UDM	NC
G8	G2	H7	H1	H9	F1	F9	C8	C2	D7	B3	B9	B1	B9	F7	F8	B7	A8	F3	E2	A2	R3	R8	

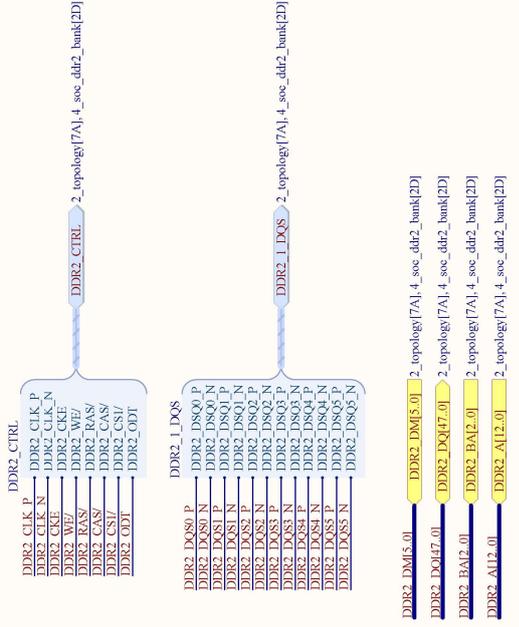
DDR2_A0_M8	DDR2_A1_M7	DDR2_A2_M6	DDR2_A3_M5	DDR2_A4_M4	DDR2_A5_M3	DDR2_A6_M2	DDR2_A7_P2	DDR2_A8_P8	DDR2_A9_P3	DDR2_A10_M2	DDR2_A11_P7	DDR2_A12_P2	DDR2_BA0_L2	DDR2_BA1_L3	DDR2_BA2_L1	DDR2_CLK_P_R8	DDR2_CLK_N_K8	DDR2_CKE_K2	DDR2_WE#_K3	DDR2_RAS#_K7	DDR2_CAS#_L7	DDR2_CS#_L8	DDR2_ODT_K9
DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7	DQ8	DQ9	DQ10	DQ11	DQ12	DQ13	DQ14	DQ15	LDQS	LDQS#NU	CK#	UDQS	UDQS#NU	LDM	UDM	NC
G8	H7	H1	H9	F1	F9	C8	C2	D7	B3	B9	B1	B9	F7	F8	B7	A8	F3	E2	A2	R3	R8	R2	

DDR2_A0_M8	DDR2_A1_M7	DDR2_A2_M6	DDR2_A3_M5	DDR2_A4_M4	DDR2_A5_M3	DDR2_A6_M2	DDR2_A7_P2	DDR2_A8_P8	DDR2_A9_P3	DDR2_A10_M2	DDR2_A11_P7	DDR2_A12_P2	DDR2_BA0_L2	DDR2_BA1_L3	DDR2_BA2_L1	DDR2_CLK_P_R8	DDR2_CLK_N_K8	DDR2_CKE_K2	DDR2_WE#_K3	DDR2_RAS#_K7	DDR2_CAS#_L7	DDR2_CS#_L8	DDR2_ODT_K9
DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7	DQ8	DQ9	DQ10	DQ11	DQ12	DQ13	DQ14	DQ15	LDQS	LDQS#NU	CK#	UDQS	UDQS#NU	LDM	UDM	NC
G8	H7	H1	H9	F1	F9	C8	C2	D7	B3	B9	B1	B9	F7	F8	B7	A8	F3	E2	A2	R3	R8	R2	

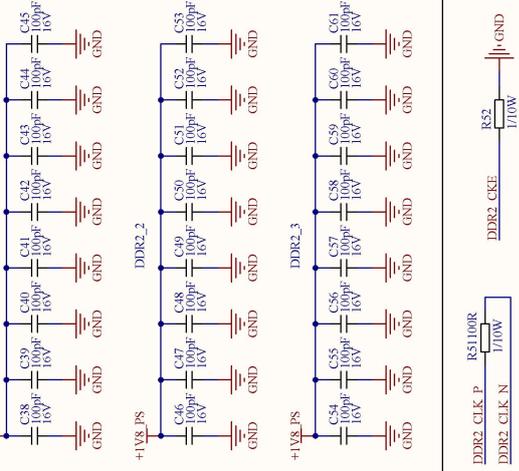


DDR2 Supply Pins

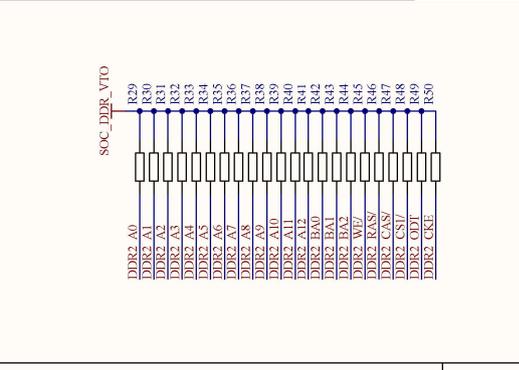
DDR2 Signals



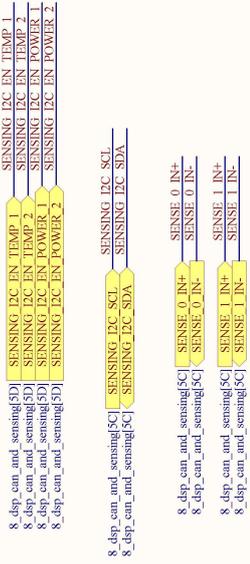
DDR2 Decoupling Capacitors



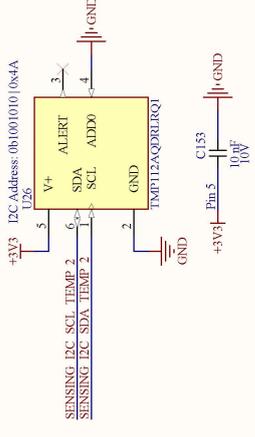
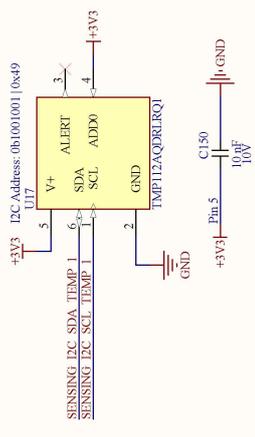
DDR2 Pull-Up Resistors



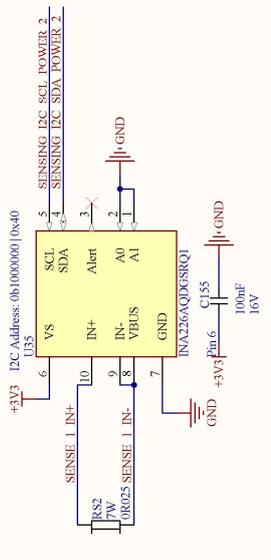
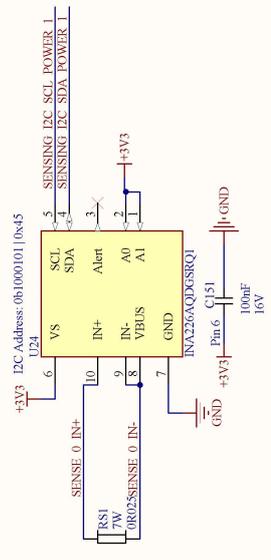
8_1 - I2C Sensing



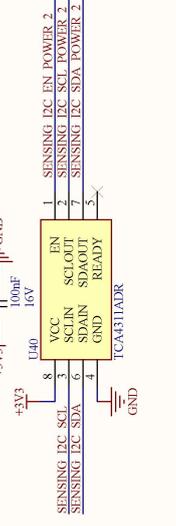
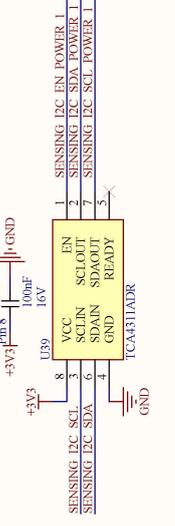
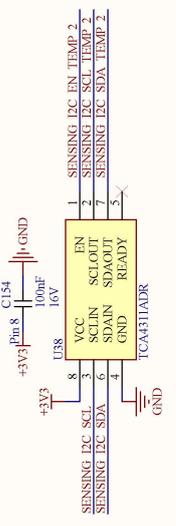
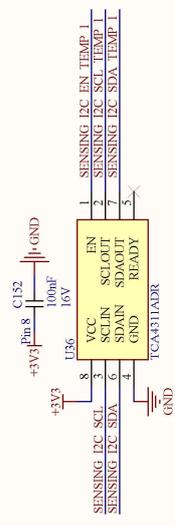
Temperature Sensors



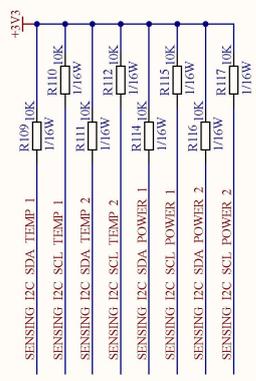
Power Sensors



I2C Buffers

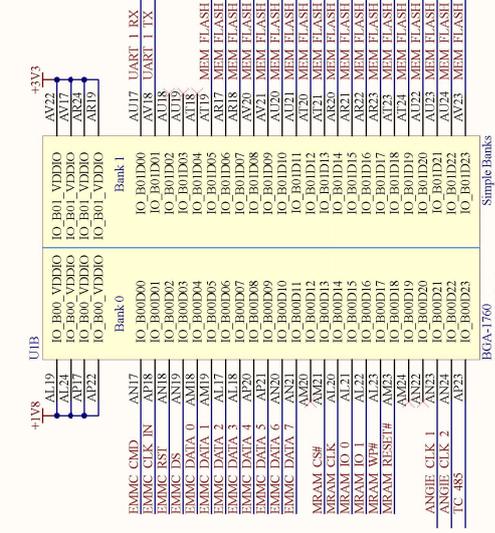


Pull-Up Resistors

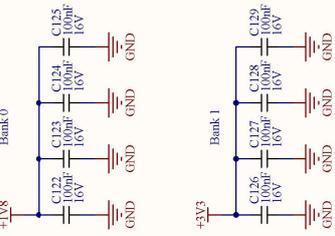
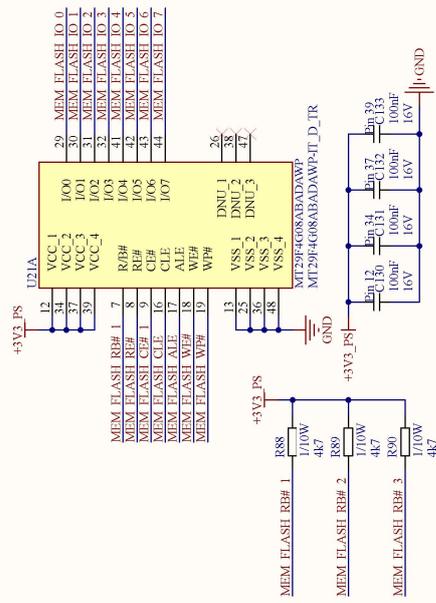


9 - MRAM, Nand Flash and eMMC

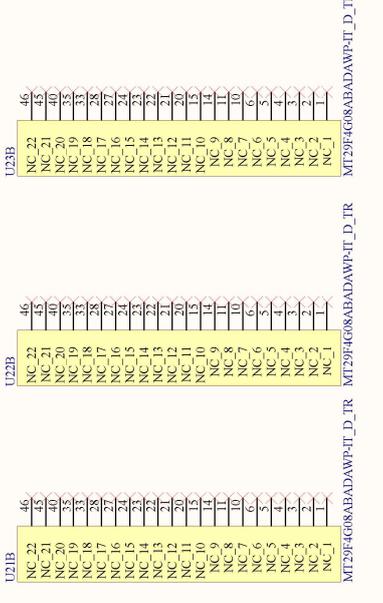
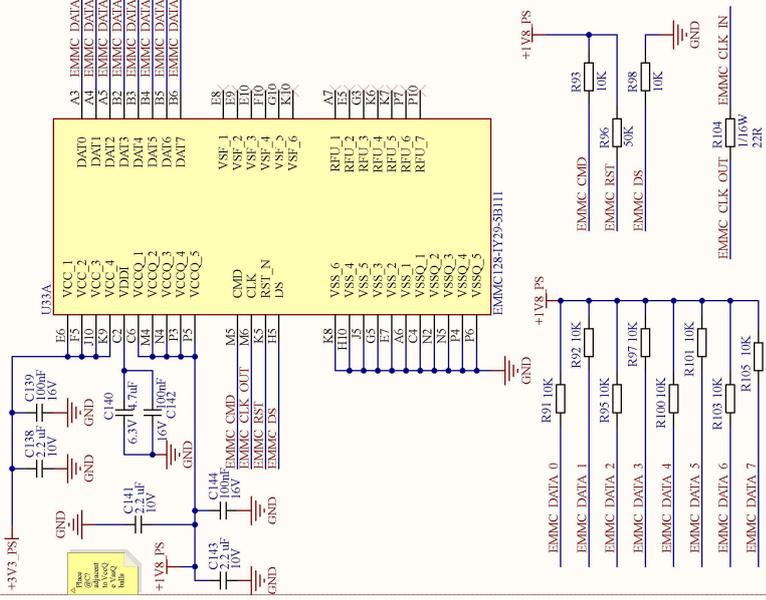
2_topology[2C]_3_service_block[2B] UART1_RX UART1_TX



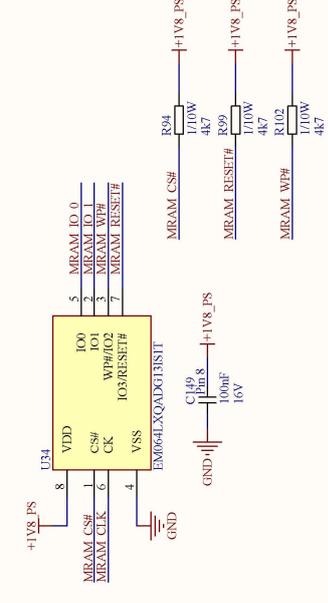
Nand Memories



eMMC Memory



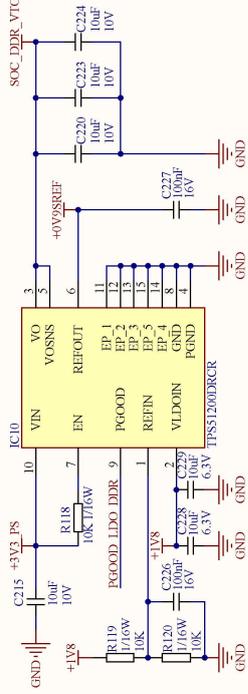
MRAM Memory



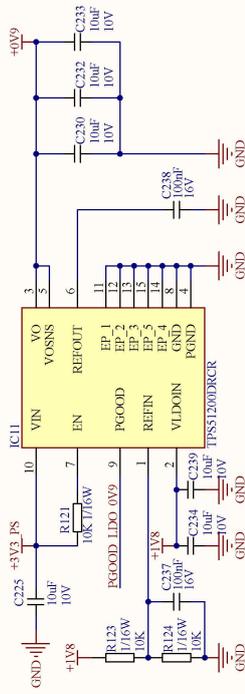
11 - Power Supplies



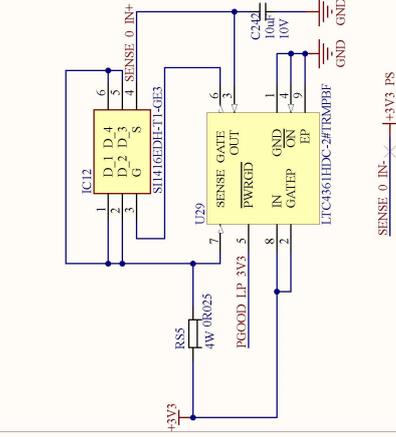
SoC DDR Reference Voltage



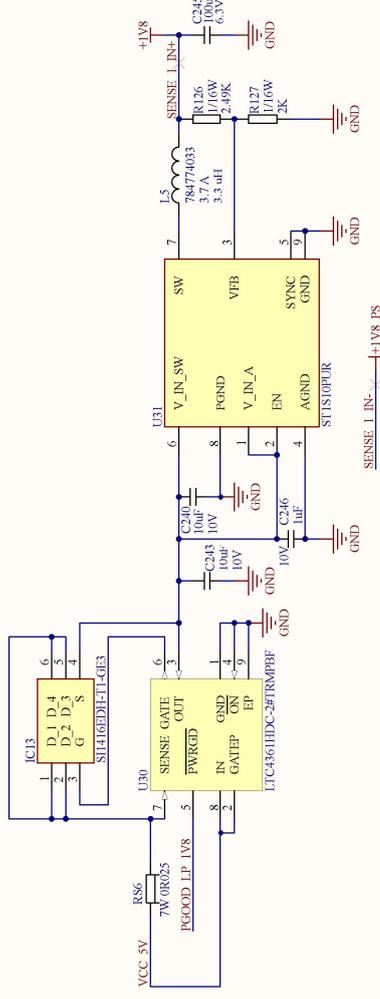
+0V9 Reference Voltage



+3V3 Surge Stopper



+1V8 Power Supply with Surge Stopper



VDD_CORE Power Supply

