

Universidade Federal de Santa Catarina  
Campus Reitor João David Ferreira Lima  
Departamento de Engenharia Elétrica e Eletrônica



Augusto de Paulo Franco

Técnicas de Leitura de Circuitos Integrados Analógicos  
Aplicadas em Filtro Ativo RC

Florianópolis

2024

**Augusto de Paulo Franco**

**Técnicas de Leiaute de Circuitos Integrados  
Analógicos Aplicadas em Filtro Ativo RC**

Trabalho de Conclusão de Curso apresentado à Universidade Federal de Santa Catarina como parte dos requisitos necessários para a obtenção do título de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Marcio Cherem Schneider

Coorientador: MSc. Deni Germano Alves Neto

Universidade Federal de Santa Catarina  
Campus Reitor João David Ferreira Lima  
Departamento de Engenharia Elétrica e Eletrônica

Florianópolis  
2024

Ficha catalográfica gerada por meio de sistema automatizado gerenciado pela BU/UFSC.  
Dados inseridos pelo próprio autor.

Franco, Augusto de Paulo  
Técnicas de Leiaute de Circuitos Integrados Analógicos  
Aplicadas em Filtro Ativo RC / Augusto de Paulo Franco ;  
orientador, Marcio Cherem Schneider, coorientador, Deni  
Germano Alves Neto, 2024.  
68 p.

Trabalho de Conclusão de Curso (graduação) -  
Universidade Federal de Santa Catarina, Centro Tecnológico,  
Graduação em Engenharia Elétrica, Florianópolis, 2024.

Inclui referências.

1. Engenharia Elétrica. 2. Técnicas de Leiaute. 3.  
Filtro Ativo RC. 4. Circuitos Integrados. I. Schneider,  
Marcio Cherem . II. Alves Neto, Deni Germano. III.  
Universidade Federal de Santa Catarina. Graduação em  
Engenharia Elétrica. IV. Título.

Augusto de Paulo Franco

# Técnicas de Leiaute de Circuitos Integrados Analógicos Aplicadas em Filtro Ativo RC

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de “Bacharel em Engenharia Elétrica” e aprovado em sua forma final pelo Curso de Graduação em Engenharia Elétrica.

Florianópolis, 19 de agosto de 2024

---

Prof. Dr. Miguel Moreto, Coordenador do  
Curso

## **Banca Examinadora:**

---

Prof. Dr. Marcio Cherem Schneider  
Universidade Federal de Santa Catarina  
Orientador

---

Prof. Dr. Cesar Ramos Rodrigues  
Universidade Federal de Santa Catarina

---

MSc. Gabriel Maranhão Soares  
Universidade Federal de Santa Catarina

Aos meus pais que batalharam muito pela minha educaão,  
dedico com carinho este trabalho.

# Agradecimentos

Primeiro eu gostaria de agradecer a minha família, em especial aos meus pais, que mesmo com todas as adversidades da vida conseguiram garantir a minha educação e saúde. Meu irmão Leandro por ser um amigo próximo por toda a minha vida e aos meus padrinhos e tios, Rosa e Valdeci por sempre me tratarem como seu segundo filho.

Agradeço aos meus amigos que estiveram comigo por toda a jornada acadêmica e da vida: Amanda Boell, Anderson Hermman, Bruno Cabral, Davi Seemann, Émillyn Caon, Felipe Pflieger, Gabriel Sant'Anna, Giovanni Sonaglio, Guilherme Beck, Hugo Raffi, Ivan Rodrigues, José Mateus, Leonardo Guevara, Lucas Lobo, Luis Demeneck, Matheus Lenzi, Mathias Nichele, Mariana Ramos, Miguel Jasper, Rafael Vieira, Ricardo Pereira, Ricardo Thisted, Samuel Abrel e Samuel Argenton.

Agradeço a Universidade Federal de Santa Catarina (UFSC) pelo ambiente de aprendizado proporcionado, aos professores que me proporcionaram uma educação de qualidade e em especial ao Laboratório de Circuitos Integrados (LCI) que me introduziu ao mundo da microeletrônica. Aos professores do laboratório que me ajudaram muito na minha jornada na microeletrônica e aos meus amigos e colegas do laboratório por sempre me ajudarem quando preciso.

Por fim, gostaria de expressar minha profunda gratidão a toda a equipe da Chipus Microeletrônica, especialmente ao time de layout analógico. Os conhecimentos que adquiri durante meu tempo lá foram inestimáveis. Sem a colaboração, o apoio e as valiosas dicas que recebi, este trabalho certamente não teria alcançado o mesmo nível de qualidade.

"It is no measure of health to be well adjusted to a profoundly sick society."

-Jiddu Krishnamurti

# Resumo

Este trabalho aborda diversos fenômenos que podem afetar negativamente o circuito integrado de um filtro ativo, como capacitâncias e resistências parasitas, efeito antena, corrosão excessiva e latch-up. Também são apresentadas técnicas de leiaute para mitigar efeitos de descasamento ou efeitos que podem acarretar no não funcionamento do chip, incluindo a adição de dummies para melhor casamento, práticas de bom roteamento, centroide comum e quiralidade. Por fim, um leiaute exemplo de um filtro é desenvolvido aplicando essas técnicas.

**Palavras-Chave:** 1. Técnicas de Leiaute, 2. Filtro Ativo RC, 3. Fenômenos, 4. Circuitos Integrados, 5. Formação



# Abstract

This work addresses various phenomena that can negatively affect the integrated circuit of an active filter, such as parasitic capacitances and resistances, antenna effect, excessive corrosion, and latch-up. Layout techniques are also presented to mitigate mismatch effects or effects that could lead to chip malfunction, including the addition of dummies for better matching, good routing practices, common centroid, and chirality. Finally, an example layout of a filter is developed by applying these techniques.

**Keywords:** 1. Layout Techniques, 2. Active RC Filter, 3. Phenomena, 4. Integrated Circuits, 5. Training

# Lista de figuras

Figura 1 – Conceito de fabricação clássica dividida, separação de um leiaute físico em FEOL e BEOL. . . . .	18
Figura 2 – Exemplo de capacitâncias entre diferentes superfícies de um CI. . . .	19
Figura 3 – Corte transversal de um CI ligado F2F com as capacitâncias parasitas.	19
Figura 4 – Seção transversal demarcando as resistências em série do Metal 2 em contato com dreno ou fonte. . . . .	21
Figura 5 – Esquema da formação de vazios em Cu por EM limitada por (A) e (B) nucleação de vazios e (C) e (D) crescimento e migração de vazios.	22
Figura 6 – Colinas e vazios induzidos por EM com alta densidade de corrente em uma interconexão de Cu. . . . .	22
Figura 7 – Ilustração do efeito antena. . . . .	23
Figura 8 – Deslocamento diagonal nas regiões fonte/dreno de um transistor implantado devido ao uso de um implante inclinado. O ângulo de implantação foi exagerado para maior clareza. . . . .	24
Figura 9 – Matriz simples de transistores. . . . .	25
Figura 10 – Matriz simples de transistores. . . . .	26
Figura 11 – (a) Seção transversal do poço de uma estrutura CMOS mostrando a junção PNP parasita. (b) Circuito equivalente da junção PNP. . .	27
Figura 12 – Diferentes falhas decorrentes de problemas tecnológicos durante a fabricação de vias: a) Via com a interconexão desejada, b) via sem interconexão, c) via com metal insuficiente, d) implantação incompleta de metal na conexão superior . . . . .	28
Figura 13 – Comparativo da densidade de corrente em uma via e em vias redundantes. . . . .	29
Figura 14 – Conexão entre via e metal com o metal usando a largura mínima. . .	29
Figura 15 – Mesma conexão com destaque para o ponto de afinamento citado. .	29
Figura 16 – Conexão entre via e metal com o metal usando a largura da via com <i>enclosure</i> mínimo. . . . .	30
Figura 17 – Visualização da densidade de corrente para diferentes ângulos de curvatura de uma trilha, esquerda 90°, meio 135° e direita 150°. Ele mostra que curvas de 90° possuem uma densidade de corrente na curva significativamente maior do que em ângulos oblíquos como 135°. . .	31

Figura 18 – Otimização da densidade de corrente em uma matriz de vias. . . . .	31
Figura 19 – Pinos ou terminais que precisam ser conectados em metal três. . . . .	32
Figura 20 – Exemplo de trilhas com $0,38 \mu\text{m}$ de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo). . . . .	33
Figura 21 – Exemplo de trilhas usando a regra de direção de metais. Com $0,38 \mu\text{m}$ de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo). . . . .	34
Figura 22 – Exemplo do melhor aproveitamento do espaço quando usando a regra de direção de metais. Com $0,38 \mu\text{m}$ de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo). . . . .	35
Figura 23 – Exemplo de trilhas usando curvas de $135^\circ$ . Com $0,38 \mu\text{m}$ de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo). . . . .	36
Figura 24 – Exemplo de um par diferencial CC. Tanto $M_1$ quanto $M_2$ estão divididos em quatro sub-transistores. . . . .	39
Figura 25 – Exemplo de casamento CC de um espelho de corrente com 4 transistores. $M_2$ é o transistor em diodo, $M_3$ , $M_{15}$ e $M_{42}$ são os demais transistores do espelho. X são <i>dummies</i> . . . . .	39
Figura 26 – Exemplo de casamento CC de um espelho de corrente com 3 transistores. A é o transistor em diodo, B e C são os demais transistores do espelho. X são <i>dummies</i> . . . . .	40
Figura 27 – Exemplo de trilha coaxial com três trilhas de sinal. . . . .	41
Figura 28 – Exemplo de matriz de casamento com transistores NMOS usando <i>guard ring</i> P como contato de substrato. . . . .	42
Figura 29 – Exemplo de matriz de casamento com transistores PMOS usando <i>guard ring</i> N como contato de substrato. . . . .	43
Figura 30 – Camadas usadas nos exemplos de <i>guard ring</i> . . . . .	44
Figura 31 – Filtro ativo RC com ganho em alta frequência controlado. . . . .	45
Figura 32 – <i>folded cascode</i> usado no filtro. . . . .	46
Figura 33 – Camadas usadas no leiaute. . . . .	48
Figura 34 – Primeiro <i>floorplan</i> . Priorizando um formato mais quadrado. . . . .	49
Figura 35 – Segundo <i>floorplan</i> . Priorizando fluxo de sinal. . . . .	50
Figura 36 – Primeiro <i>floorplan</i> . Colocando <i>dummies</i> dos capacitores . . . . .	50
Figura 37 – Casamento escolhido para o par diferencial. A é o transistor $M_3$ , B é o $M_4$ e X são <i>dummies</i> . . . . .	51

Figura 38 – Casamento descartado do par diferencial por ter muito cruzamentos entre as entradas. A é o transistor $M_3$ , B é o $M_4$ e X são <i>dummies</i> . . . . .	51
Figura 39 – Roteamento de entrada do par diferencial. Entrada não inversora em vermelho e inversora em branco. . . . .	52
Figura 40 – Roteamento de dreno e fonte do par diferencial. . . . .	53
Figura 41 – Casamento escolhido para as matrizes com 16 transistores. As letras X representam <i>dummies</i> . . . . .	54
Figura 42 – Casamento escolhido para as matrizes com 32 transistores. As letras X representam <i>dummies</i> . . . . .	54
Figura 43 – Roteamento de dreno e fonte das matrizes que constituem os demais estágios do <i>folded cascode</i> , Os roteamentos seguem linhas retas na vertical e se juntam na horizontal na parte inferior. . . . .	54
Figura 44 – Leiaute final do <i>folded cascode</i> . . . . .	55
Figura 45 – Casamento do banco de resistores. A, B e X representam $R_2$ , $R_1$ e <i>dummies</i> , respectivamente. . . . .	56
Figura 46 – Casamento do banco de capacitores. A1, A2, A3 e X representam $C_{1a}$ , $C_{1b}$ , $C_{1c}$ , $C_2$ e <i>dummies</i> , respectivamente. . . . .	56
Figura 47 – Leiaute final do filtro. . . . .	57
Figura 48 – Blindagem do sinal de saída. . . . .	58
Figura 49 – Resposta em frequência do AmpOp em malha aberta. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a resposta em nível de leiaute. . . . .	59
Figura 50 – Simulação de Monte Carlo do Folded Cascode. . . . .	60
Figura 51 – Resposta em frequência do filtro com ambas as chaves abertas. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a obtida do leiaute. . . . .	61
Figura 52 – Resposta em frequência do filtro com a primeira chave fechada. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a obtida do leiaute. . . . .	62
Figura 53 – Resposta em frequência do filtro com as duas chaves fechadas. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a obtida do leiaute. . . . .	62
Figura 54 – Ponto de maior ganho das extraídas dos leiautes dos três <i>floorplans</i> ..	63
Figura 55 – Zoom do ganho em baixa frequência em nível de esquemático e leiaute para os três <i>floorplans</i> . . . . .	64

# Lista de tabelas

Tabela 1	– Direções recomendadas para o roteamentos de metais. . . . .	36
Tabela 2	– Casamento de transistores em que ambos possuem quiralidade -1. . .	37
Tabela 3	– Casamento de transistores em que ambos possuem quiralidade 0. . .	37
Tabela 4	– Exemplo de CC de resistores. O +/- representa a direção da corrente e X são <i>dummies</i> . . . . .	40
Tabela 5	– Dimensões unitárias de cada componente e número de componentes em série ou paralelo do filtro. . . . .	46
Tabela 6	– Parâmetros de comparação entre o AmpOp em nível de esquemático e de pós leiaute. . . . .	60

# Lista de Siglas e Abreviaturas

AMPOP	<i>Amplificador Operacional</i>
BEOL	<i>Back-end-of-line</i>
CC	<i>Centroide Comum</i>
CI	<i>Circuito Integrado</i>
EM	<i>Eletromigração</i>
FEOL	<i>Front-end-of-line</i>
LUP	<i>Latch-Up</i>
MOS	<i>Metal Oxide Semiconductor</i>
WPE	<i>Well Proximity Effect</i>

# Lista de Símbolos

$\square$	<i>Razão comprimento por largura</i>
$\rho$	<i>Resistividade elétrica</i>
$A$	<i>Área de uma geometria</i>
$I$	<i>Corrente elétrica</i>
$J$	<i>Densidade de Corrente</i>
$L$	<i>Comprimento</i>
$N_v$	<i>Número de vias</i>
$R$	<i>Resistência</i>
$V$	<i>Diferença de potencial elétrico</i>
$W$	<i>Largura</i>
$t$	<i>Altura</i>

# Sumário

1	INTRODUÇÃO . . . . .	17
2	ESTRUTURA DO CHIP, PARASITAS E FALHAS MECÂNICAS . . . . .	18
2.1	Capacitâncias Parasitas . . . . .	19
2.2	Resistências Parasitas e Resistência de Folha . . . . .	20
2.3	Eletromigração . . . . .	21
2.4	Efeito Antena . . . . .	22
2.5	Descasamento . . . . .	24
2.6	Ruído . . . . .	26
2.7	<i>Latch-Up</i> . . . . .	27
3	TÉCNICAS E BOAS PRÁTICAS DE LEIAUTE . . . . .	28
3.1	Vias . . . . .	28
3.2	Conexão com Vias . . . . .	29
3.3	Ângulo e Vias de Trilhas . . . . .	30
3.4	Roteamento . . . . .	31
3.5	Quiralidade . . . . .	36
3.6	<i>Dummies</i> . . . . .	37
3.7	Centroide Comum . . . . .	38
3.8	Resolvendo Problemas com Interferência . . . . .	40
4	LEIAUTE . . . . .	45
4.1	<i>Floorplan</i> . . . . .	47
4.2	Leiaute AmpOp . . . . .	51
4.3	Leiaute Filtro . . . . .	55
5	RESULTADOS . . . . .	59
5.1	Simulação AmpOp . . . . .	59
5.2	Simulação Filtro . . . . .	60
6	CONCLUSÃO . . . . .	65



---

REFERÊNCIAS BIBLIOGRÁFICAS . . . . .	66
--------------------------------------	----

# 1 Introdução

Antes da fabricação de um circuito integrado, o projeto passa por várias etapas. Inicialmente, durante a concepção do produto, são definidas especificações como tensão de funcionamento, tecnologia, frequência de operação, entre outras. Com essas especificações em mãos, elabora-se um projeto preliminar do circuito. Os projetistas então realizam simulações esquemáticas para verificar a viabilidade da arquitetura escolhida.

A próxima etapa é o leiaute, que trata da representação física do circuito. Para garantir o bom funcionamento do projeto, o leiautista deve entender as características únicas de cada tecnologia utilizada, aplicar técnicas adequadas para assegurar um bom casamento entre os componentes e compreender os diferentes fenômenos físicos que podem ocorrer no circuito, tanto durante a fabricação quanto durante o funcionamento, sabendo como evitá-los. (SAINT; SAINT, 2002)

Caso o leiautista não possua um bom conhecimento de casamentos entre dispositivos, como no caso de casamentos de espelhos de corrente ou um pares diferenciais, variações no processo de fabricação, como corrosão excessiva, podem criar um descasamento maior entre as correntes espelhadas ou uma tensão de offset maior no par diferencial. Além disso, sem conhecimento sobre fenômenos como eletromigração ou efeito antena, o chip pode ter um tempo de vida útil reduzido ou até mesmo não funcionar corretamente. (HASTINGS, 2006)

Dada a importância da etapa de leiaute, este trabalho, por meio de revisão bibliográfica e do projeto de um filtro ativo-RC, contextualizará alguns dos problemas que podem acometer o circuito do filtro e as técnicas usadas para mitigá-los, servindo como um documento introdutório para futuros leiautistas.

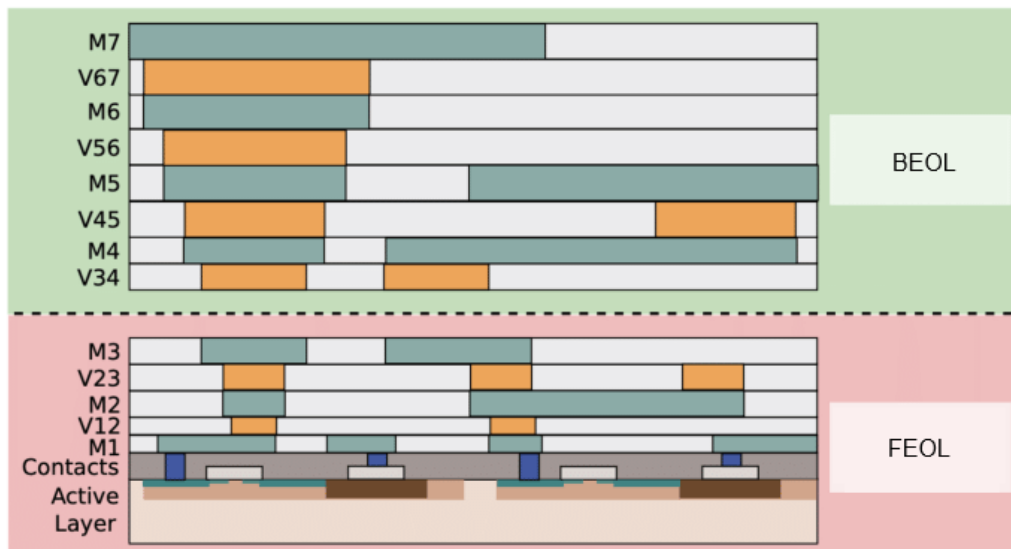
No segundo capítulo, será apresentada uma breve descrição sobre o processo de fabricação do chip e sua estrutura, junto com explicações sobre diferentes fenômenos que podem afetá-lo tanto na fabricação, como o efeito antena, quanto no funcionamento, como a eletromigração. O terceiro capítulo discutirá técnicas e boas práticas de leiaute para mitigar os problemas mencionados no segundo capítulo. O quarto capítulo trará o projeto de um filtro para leiaute, onde o leiaute será desenvolvido utilizando as técnicas e boas práticas apresentadas no capítulo três. No quinto capítulo, será feita uma comparação, por meio de simulação, entre o projeto esquemático inicial do filtro e o leiaute finalizado. As conclusões deste trabalho serão apresentadas no capítulo seis.

## 2 Estrutura do Chip, Parasitas e Falhas Mecânicas

A produção de um CI passa por várias etapas como a fotolitografia, crescimento de óxido, remoção de óxido, difusão e implantação iônica, deposição de silício, corrosão e metalização. Após todas estas etapas, a estrutura do CI vista de lado ficará parecida com a estrutura da Figura 1. Neste exemplo na região do FEOL ficam as camadas que formam os dispositivos ativos, como a camada de poli-silício (poly), os óxidos de silício e os metais baixos. A região FEOL passará por todas as etapas de fabricação. Já a região do BEOL terá os metais altos e a camada de proteção sobre todo o CI; essa região passa somente pelo processo de metalização. Dependendo da tecnologia o que vai em cada região pode variar, por exemplo a região do FEOL pode não conter os metais baixos, tendo somente as camadas que forma os dispositivos ativos. (HASTINGS, 2006) (RAI et al., 2020)

Além dos dispositivos ativos o CI também terá dispositivos passivos como resistores e capacitores, que podem ser feitos de metal ou de poly com diferentes combinações de poços (P ou N) e/ou óxidos. (HASTINGS, 2006)

Figura 1 – Conceito de fabricação clássica dividida, separação de um leiaute físico em FEOL e BEOL.



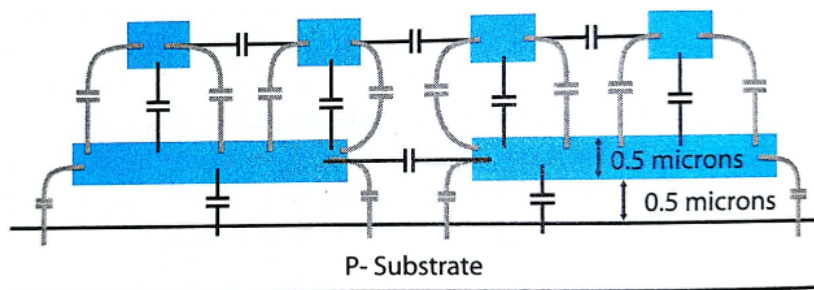
Fonte: (RAI et al., 2020)

## 2.1 Capacitâncias Parasitas

Capacitâncias parasitas estão presentes por todo o CI, sempre que uma nova célula é colocada ou um novo metal é roteado, duas superfícies em paralelo carregadas e separadas por um dielétrico são criadas. (SAINT; SAINT, 2002)

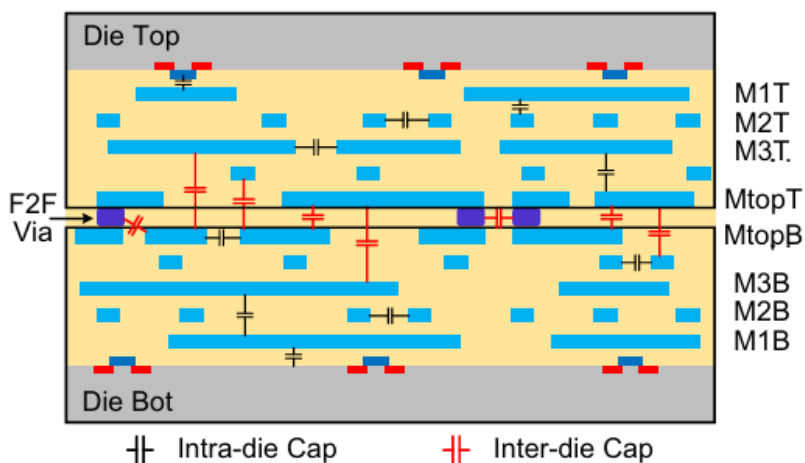
As Figuras 2 e 3 exemplificam essas capacitâncias parasitas, mostrando as capacitâncias tanto entre as mesmas camadas quanto entre camadas diferentes. Chama-se a atenção para a Figura 3, que se trata do corte transversal de um CI de três dimensões (3D) ligado *Face-to-Face* (F2F), que é uma técnica de fabricação onde dois chips que juntos formam um só circuito, são acoplados por vias. Essa técnica aproveita melhor o espaço, mas, em contra partida, aumenta em muito as capacitâncias parasitas. (PENG et al., 2015)

Figura 2 – Exemplo de capacitâncias entre diferentes superfícies de um CI.



Fonte: (SAINT; SAINT, 2002)

Figura 3 – Corte transversal de um CI ligado F2F com as capacitâncias parasitas.



Fonte: (PENG et al., 2015)

Os valores desses parasitas são um tanto pequenos devido às dimensões envolvidas. Por exemplo, na Figura 2, tem um metal de 0,5 mm de espessura, com um isolador também de 0,5 mm para o substrato P. Essa capacitância entre essas duas superfícies pode ser de aproximadamente 10 fF. (SAINT; SAINT, 2002)

Se o circuito em questão não é muito sensível, como um regulador de tensão ou um espelho de corrente, não é necessário se preocupar, mas em casos como geradores de clock ou células de Gilbert, essas capacitâncias extras passam a ser um problema. (SAINT; SAINT, 2002)

## 2.2 Resistências Parasitas e Resistência de Folha

Corrente fluindo por um condutor causa uma queda de tensão que segue a lei de *Ohm*, equação 2.1.

$$V = RI \quad (2.1)$$

Todo metal roteado, via, contato, difusão, etc, possui uma resistência intrínseca, que pode ser um problema quanto se tem circuitos muito sensíveis a quedas de tensão ou corrente muito altas. A Figura 4 mostra um exemplo de resistências parasitas. (HASTINGS, 2006) (SAINT; SAINT, 2002)

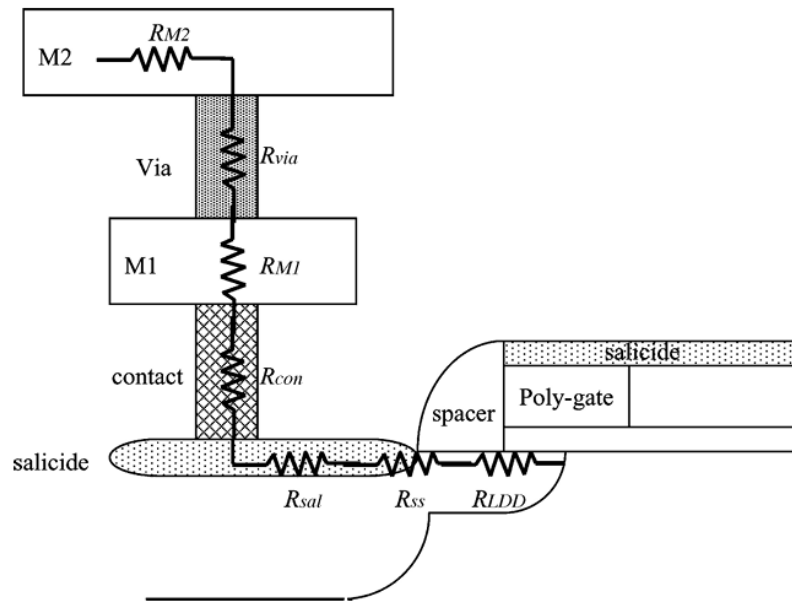
Nos metais, vias e polissilício essas resistências podem ser calculadas, as fabricantes geralmente fornecem as resistências de folha  $R_s$  (fórmula 2.2) e a resistência por via  $R_{v1}$ . (SAINT; SAINT, 2002). O primeiro já contém a informação de resistividade  $\rho$  e altura  $t$  do condutor, só sendo necessário ter a razão entre o comprimento  $L$  e a largura  $W$  para calcular a resistência do condutor  $R_c$ , como mostrado na fórmula 2.3, por vezes a resistência de folha é chamada de resistência por quadrado e a razão entre  $W$  e  $L$  é chamada de número de quadrados  $\square$ . Já a segunda contém a resistência de uma via e como todas as vias ficam em paralelo, é só necessário dividir pelo número total de via  $N_v$  para se ter a resistência do conjunto  $R_v$  como mostrado na fórmula 2.4. (HASTINGS, 2006) (YEH et al., 2005)

$$R_s = \frac{\rho}{t} \quad (2.2)$$

$$R_c = R_s \cdot \frac{L}{W} = R_s \cdot \square \quad (2.3)$$

$$R_v = \frac{R_{v1}}{N_v} \quad (2.4)$$

Figura 4 – Seção transversal demarcando as resistências em série do Metal 2 em contato com dreno ou fonte.



Fonte: (YEH et al., 2005)

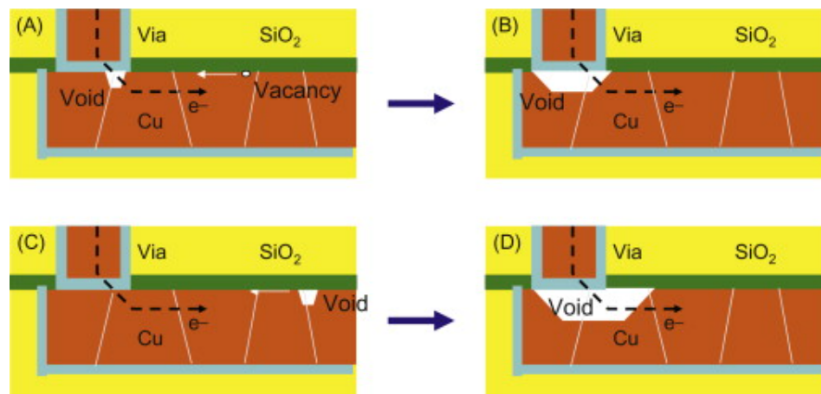
## 2.3 Eletromigração

Eletromigração (EM) é o transporte de matéria em metais quando o mesmo sofre estresse de elevadas densidades de corrente. A EM é causada pelo movimento gradual dos íons em um condutor, devido à transferência de momento entre os elétrons condutores e os átomos metálicos em difusão. (BLACK, 1969)

A Figura 5 mostra a formação de vazios abaixo de vias de cobre, as figuras A e B mostram a nucleação de vazio, quando já existe uma falha no metal e ela vai aumentando com a EM, as figuras C e D mostram crescimento de vazio, quando vazios de outras regiões migram para um ponto. Já a Figura 6 traz as protuberâncias e vazios induzidos pela EM, onde o material da trilha retirado do *void* se acumulou em outra região até gerar um curto circuito entre duas trilhas, inutilizando o circuito. O núcleo de *void* também pode se expandir até abrir a trilha.

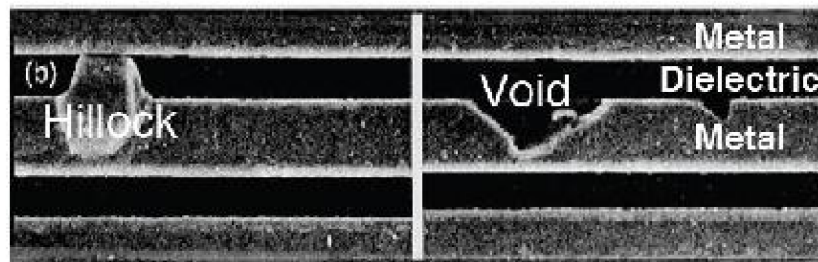
Para reduzir os efeitos causados pela EM, utiliza-se como limite a densidade de corrente máxima recomendada para o metal  $J_{metal}$ , valor geralmente calculado visando um tempo médio até à falha de pelo menos 10 anos da trilha e dependente da espessura do material, composição e temperatura de operação (MÚCIO, 2023). Com esse valor, geralmente disponibilizado pelas fabricantes, é possível calcular a corrente máxima da

Figura 5 – Esquema da formação de vazios em Cu por EM limitada por (A) e (B) nucleação de vazios e (C) e (D) crescimento e migração de vazios.



Fonte: (SESHAN, 2012)

Figura 6 – Colinas e vazios induzidos por EM com alta densidade de corrente em uma interconexão de Cu.



Fonte: (SAMANDARI-RAD; GUTHAUS; HUGHEY, 2014)

trilha  $I_{max}$  usando a fórmula 2.5, onde  $W_{metal}$  é a largura da trilha. (LIENIG; THIELE, 2018) A corrente máxima das vias também pode ser calculada da mesma forma, basta ter a densidade de corrente máxima recomendada das vias e trocar o  $W_{metal}$  pelo número total de vias  $N_{vias}$ . (LIENIG; THIELE, 2018)

$$J_{metal} = I_{max} \cdot W_{metal} \quad (2.5)$$

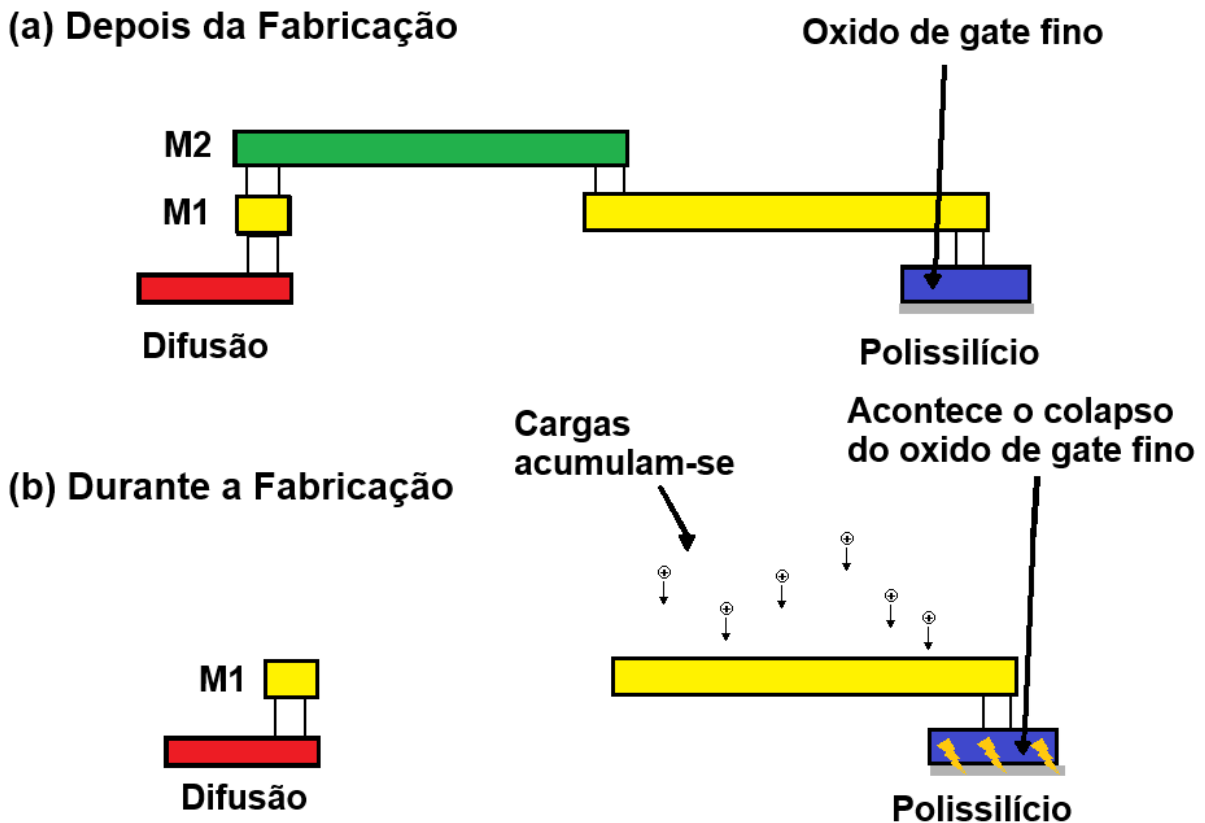
## 2.4 Efeito Antena

O processo de corrosão a seco é conhecido por depositar cargas na superfície do wafer. Condutores expostos durante a gravura podem coletar essa carga e o acúmulo delas pode danificar os dielétricos finos do gate. Essa falha é chamada de efeito antena.

O efeito antena gera correntes de fuga induzidas por estresse que podem acarretar em falha posterior ou imediata de dielétricos sobrecarregados. (HASTINGS, 2006)

A Figura 7 ilustra o efeito antena durante a fabricação. Na parte (a) temos o trecho do chip completo, aparentemente normal, mas, durante a fabricação, por conta do acúmulo de cargas no metal 1, houve o colapso do óxido de gate do transistor, inutilizando o mesmo.

Figura 7 – Ilustração do efeito antena.



Fonte: Autor.

Embora essas cargas representem um perigo, principalmente durante a fabricação, uma vez que o chip esteja pronto essas cargas podem descarregar sozinhas, já que esses condutores de metal podem estar ligados a difusões que descarregam essas cargas antes que elas possam danificar o óxido de *gate*. Por exemplo, em processos que empregam óxidos de *gate* com cerca de 400 Å, as junções dreno/fonte de transistores MOS irão tipicamente entrar em avalanche antes que o óxido de *gate* seja danificado. (HASTINGS, 2006)



A vulnerabilidade para o efeito antena de um gate conectado a uma dada geometria depende da razão entre a área total da geometria e a área ativa do gate conectada a ela. (HASTINGS, 2006)

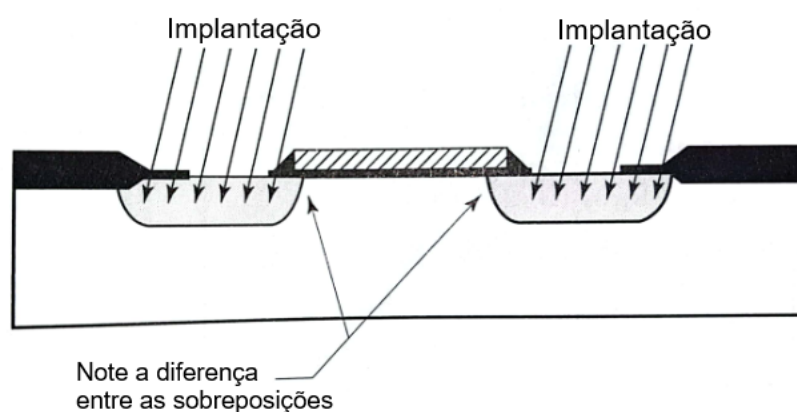
## 2.5 Descasamento

Variações de fabricação resultam em variações de parâmetros dos dispositivos de lote para lote, de *wafer* para *wafer*, de matriz para matriz, e dispositivo para dispositivo. (KINGET, 2005)

Variações lote para lote e *wafer* para *wafer* são comuns para todos os dispositivos do circuito. Por exemplo, devido à corrosão excessiva, que é um erro de processo, todos os transistores têm um comprimento menor que o nominal, que introduzem uma mudança sistemática nas características do dispositivo e no desempenho do circuito (KINGET, 2005). Já erros de matriz e dispositivos, que são erros que ocorrem somente entre dispositivos de um mesmo grupo como um par diferencial ou um espelho de corrente, podem ser mitigados usando as técnicas apropriadas durante a elaboração do leiaute como, por exemplo, todos os transistores terem a mesma orientação.

Como exemplo de erros de matriz temos o de sobreposição de dreno e fonte durante a implantação de íons, que é feita com um certo ângulo para prevenir que os íons penetrem muito no silício. Essa inclinação na implantação faz com que as regiões de dreno e fonte não sejam homogêneas como ilustrado na Figura 8.

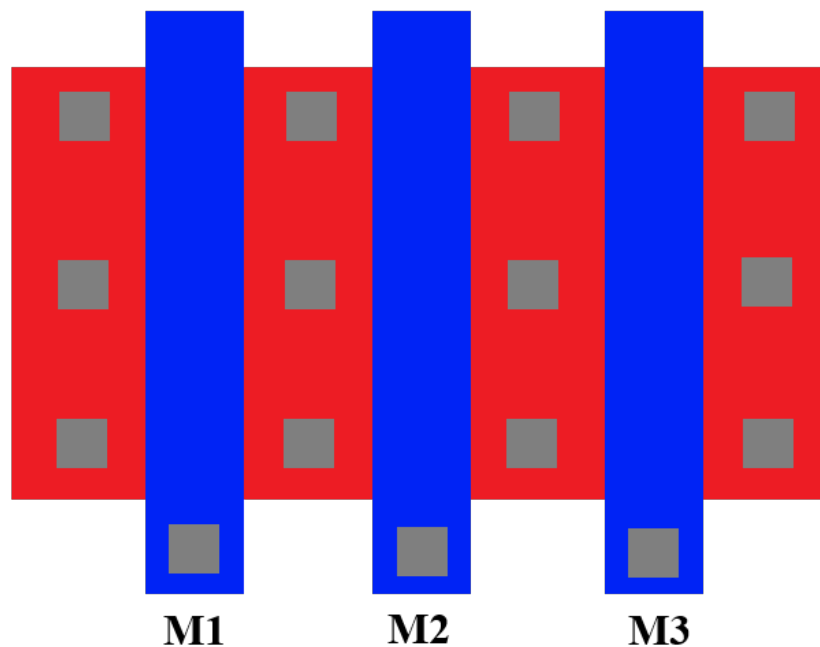
Figura 8 – Deslocamento diagonal nas regiões fonte/dreno de um transistor implantado devido ao uso de um implante inclinado. O ângulo de implantação foi exagerado para maior clareza.



Fonte: (HASTINGS, 2006)

Outra grande fonte de descasamento durante a fabricação é a variação da taxa de gravação do polissilício. Grandes aberturas de polissilício são gravadas mais rápido que pequenas, porque os íons têm acesso livre às laterais e ao fundo da abertura. As arestas das grandes aberturas, portanto, exibem uma corrosão excessiva no momento em que as aberturas menores terminam de gravar. Esse efeito causa variação no comprimento do *gate* do transistor MOS (HASTINGS, 2006). Por exemplo, na Figura 9, o *gate* do transistor  $M_2$  está protegido pelo *gate* de outros transistores pelos dois lados, mas os *gates* dos transistores  $M_1$  e  $M_3$  não têm um *gate* adjacente em um dos lados. As faces de fora dos *gates* de  $M_1$  e  $M_3$  sofrem uma corrosão maior que a face de dentro, fazendo com que o canal dos mesmos seja um pouco menor que o do transistor  $M_2$ . (HASTINGS, 2006)

Figura 9 – Matriz simples de transistores.



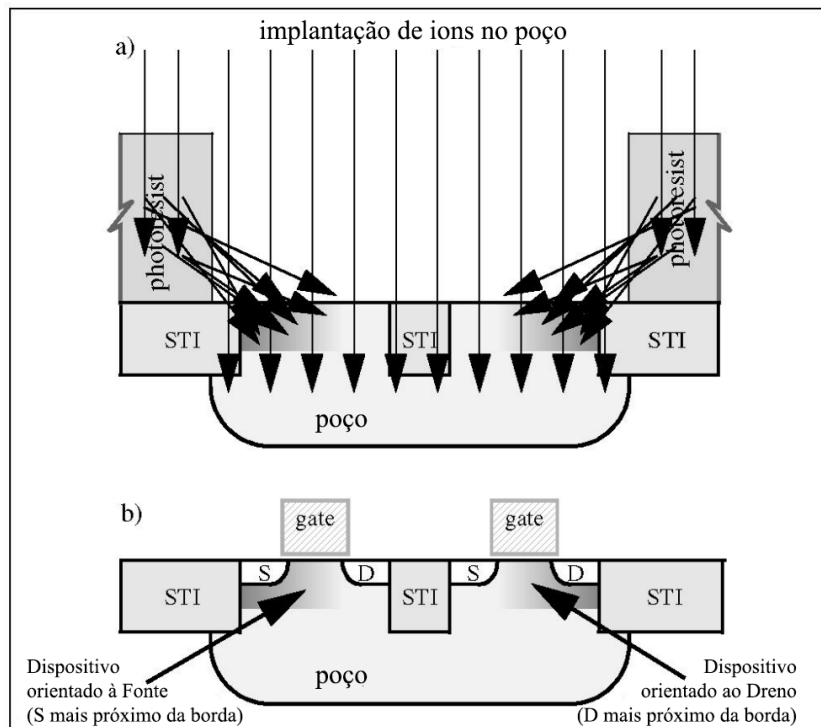
Fonte: Autor.

Resistores de polissilício também sofrem com a corrosão excessiva.

Conforme os nós tecnológicos diminuem, os descasamentos causados por *Well Proximity Effect* (WPE) se tornam mais evidentes, esse efeito ocorre durante o implante de íons, onde os íons que refletem nas bordas da máscara fotorresistiva se acumulam na aresta do poço. O resultado é um poço em que a concentração de íons varia com a distância das bordas. Essa não uniformidade faz com que a tensão de *threshold* e outras características elétricas variem com a distância do transistor para a borda (DRENNAN;

KNIFFIN; LOCASCIO, 2006). Esse efeito também afeta transistores fora do poço, mas próximos a ele. A Figura 10 exemplifica esse efeito.

Figura 10 – Matriz simples de transistores.



Fonte: (DRENNAN; KNIFFIN; LOCASCIO, 2006).

Outras grandes fontes de descasamento são gradientes de espessura de óxido, de estresse de fabricação quando as camadas são juntadas e térmico.

## 2.6 Ruído

O ruído em um circuito integrado pode ser um grande problema, especialmente quando se tem circuitos muito sensíveis que estão tentando captar sinais de valor muito baixo, localizados próximos a circuitos ruidosos. (SAINT; SAINT, 2002)

O problema com ruídos se agrava em circuitos de sinais mistos, principalmente por conta dos circuitos digitais. Como explicado por (SAINT; SAINT, 2002) "em um circuito digital, quando você tem dois transistores conectados através de um barramento de alimentação, cada vez que eles abrem ou fecham, existe a possibilidade de, por um período muito pequeno de tempo, ambos os interruptores possam ficar fechados, causando um curto-circuito no barramento de alimentação. Multiplique isso por 10 mil. Dez milhões,

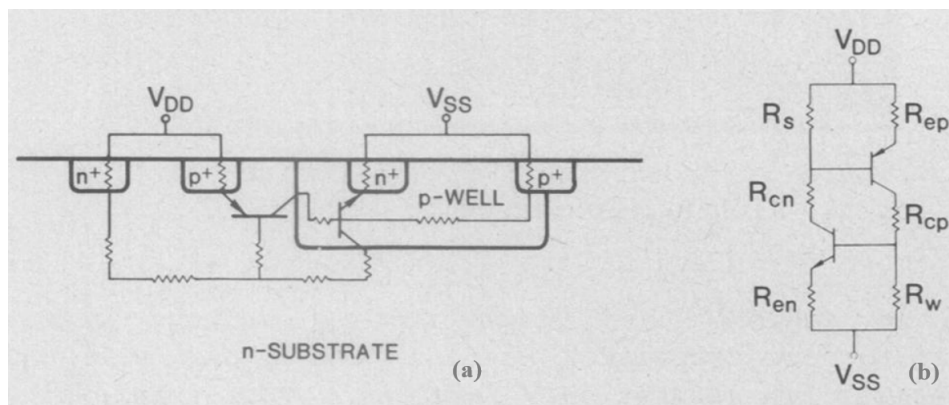
até. Da mesma forma, toda vez que um estado lógico muda, um capacitor de porta FET é carregado ou descarregado. Esta corrente de carga flui através dos transistores até uma trilha, causando outro pico de corrente."

O ruído é transportado também pelo substrato; para evitar problemas com ruído existem múltiplas técnicas que serão descritas no próximo capítulo.

## 2.7 Latch-Up

Todo CI possui inerentemente junções PNPN parasitas. A Figura 11 mostra uma possível configuração dessas junções e o seu modelo equivalente. Essas junções se comportam como tiristores e podem ser acionadas de diversas maneiras, como por exemplo, através de radiações ionizantes transientes ou estresse por sobretensão. Esse fenômeno de acionamento é conhecido como *Latch-Up* (LUP), e uma vez que acontecem, essas junções formam um caminho de baixa impedância para a corrente e só param de conduzir caso a corrente fique abaixo da corrente mínima direta do tiristor, normalmente deixando danos irreversíveis no CI. (DRESSENDORFER; OCHOA, 1981)

Figura 11 – (a) Seção transversal do poço de uma estrutura CMOS mostrando a junção PNPN parasita. (b) Circuito equivalente da junção PNPN.



Fonte: (DRESSENDORFER; OCHOA, 1981).

## 3 Técnicas e Boas Práticas de Leiaute

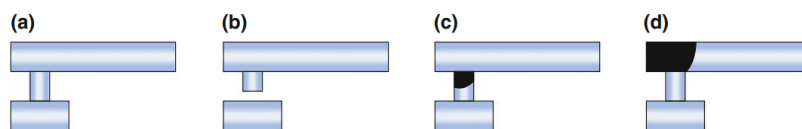
Como pôde ser visto pelo capítulo anterior, existem vários fenômenos que podem acarretar no mau funcionamento do CI; é por isso que existem diferentes técnicas e boas práticas que, quando aplicadas durante o processo de leiaute do circuito, mitigam os efeitos negativos e garantem o bom funcionamento do circuito. Este capítulo irá abordar essa técnicas.

### 3.1 Vias

Um circuito integrado possui diversas camadas que precisam ser conectadas entre si, para as quais são utilizadas as vias. Assim como as trilhas, as vias são feitas de metal, geralmente cobre, e estão sujeitas aos mesmos defeitos de fabricação e efeitos, como a EM. Para aumentar a confiabilidade, recomenda-se o uso de pelo menos duas vias, pois, caso ocorra uma falha de fabricação, ainda haverá contato elétrico entre as interconexões, garantindo que o circuito continue a funcionar. (MÚCIO, 2023)

Entre as possíveis falhas estão vias que não estão totalmente abertas e vias ou interconexões que não estão preenchidas com metal suficiente, como ilustrado na Figura 12 . (LIENIG; THIELE, 2018)

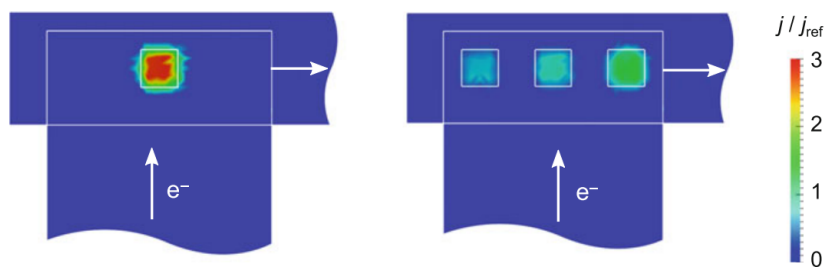
Figura 12 – Diferentes falhas decorrentes de problemas tecnológicos durante a fabricação de vias: a) Via com a interconexão desejada, b) via sem interconexão, c) via com metal insuficiente, d) implantação incompleta de metal na conexão superior



Fonte: (LIENIG; THIELE, 2018)

O uso de uma matriz de vias é comum em roteamentos que transportam alta corrente, visando assim reduzir a densidade de corrente em cada via, para isso utilizando a equação 2.5. A Figura 13 mostra um comparativo da densidade de corrente em uma via e em vias redundantes.

Figura 13 – Comparativo da densidade de corrente em uma via e em vias redundantes.



Fonte: (LIENIG; THIELE, 2018)

## 3.2 Conexão com Vias

Para garantir o adequado funcionamento das vias, elas são delimitadas pelos metais que as conectam. Esse contorno é conhecido como *enclosure*, o qual possui uma largura mínima que excede a dos metais, a fim de comportar as vias. Quando uma trilha é conectada a uma via, a interseção pode ocorrer conforme ilustrado na Figura 14. Nessa representação, o amarelo e o azul representam diferentes metais, enquanto os quadrados cinzas simbolizam as vias. É evidente que o uso do metal amarelo menos largo que suas vias resulta na formação de um afunilamento no metal amarelo, conforme evidenciado na Figura 15. Tal configuração cria pontos de estresse adicionais devido à EM, uma vez que os elétrons enfrentam um estreitamento ao passarem por esse funil.

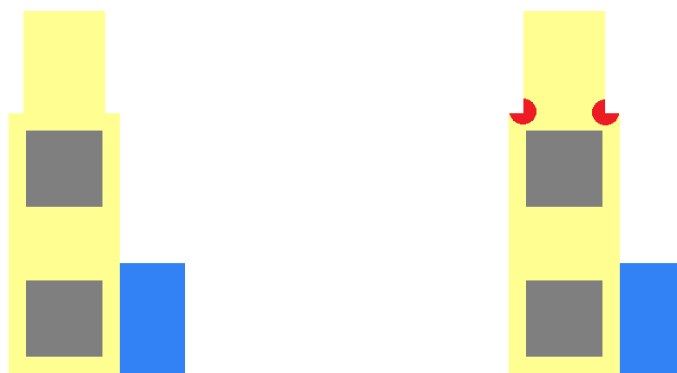


Figura 14 – Conexão entre via e metal com o metal usando a largura mínima. Figura 15 – Mesma conexão com destaque para o ponto de afunilamento citado.

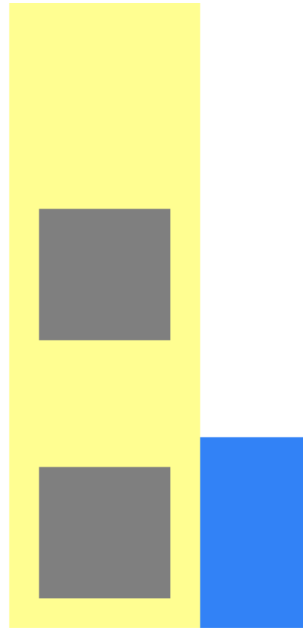
Fonte: Autor.

Esse estresse se agrava em condutores em corrente alternada por causa do efeito pelicular, que é a tendência de uma corrente elétrica alternada de se distribuir dentro

de um condutor de modo que a densidade de corrente seja maior perto da superfície, efeito intensificado conforme a frequência aumenta (WHEELER, 1942) (MAGDOWSKI; KOCHETOV; LEONE, 2008).

Para evitar isso, usa-se como largura mínima das trilhas a largura mínima da via com o *enclosure* mínimo, permitindo assim que a corrente flua de forma mais homogênea. A Figura 16 exemplifica essa conexão.

Figura 16 – Conexão entre via e metal com o metal usando a largura da via com *enclosure* mínimo.



Fonte: Autor.

### 3.3 Ângulo e Vias de Trilhas

Mudanças na direção e movimentação entre camadas causam aumentos locais nas densidades de corrente, o que por sua vez agrava a EM e leva a uma aglomeração de danos. Estruturas geométricas com ângulos diferentes de  $0^\circ$  e  $90^\circ$  podem ser usadas para reduzir os efeitos da EM, aumentando assim a vida útil do CI. Conforme ilustrado na Figura 17, ângulos de curvatura maiores que  $90^\circ$  podem ser usados para diminuir o impacto da EM (LIENIG; THIELE, 2018).

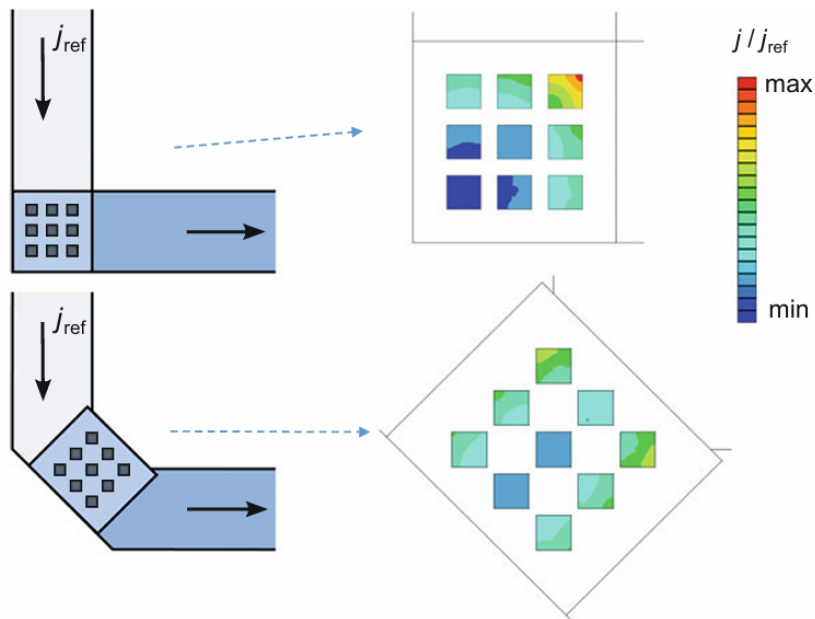
Essa técnica também pode ser estendida para vias como mostrado na Figura 18, sendo amplamente aplicada em circuitos de potência e no topo do CI.

Figura 17 – Visualização da densidade de corrente para diferentes ângulos de curvatura de uma trilha, esquerda 90°, meio 135° e direita 150°. Ele mostra que curvas de 90° possuem uma densidade de corrente na curva significativamente maior do que em ângulos oblíquos como 135°.



Fonte: (LIENIG; THIELE, 2018)

Figura 18 – Otimização da densidade de corrente em uma matriz de vias.



Fonte: (LIENIG; THIELE, 2018)

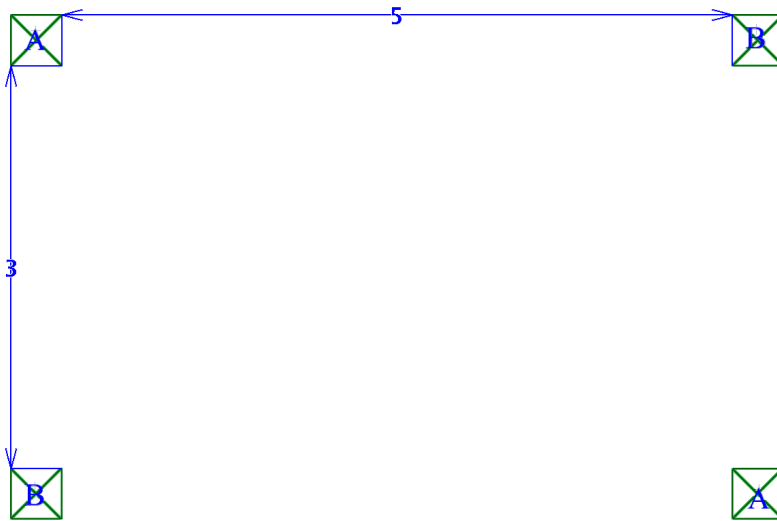
### 3.4 Roteamento

Saber como fazer um bom roteamento é uma das principais perícias para um leiaute. Um bom e bem planejado roteamento reduz a área consumida, número de metais usados, parasitas e a chance de algum efeito negativo, como efeito antena, acontecer. Para isso existem várias regras que podem ser seguidas para alcançar um bom leiaute.



Por exemplo, na Figura 19 temos que conectar em metal três os pinos ou terminais A e B entre si separados por  $5 \mu\text{m}$  na horizontal e  $3 \mu\text{m}$  na vertical.

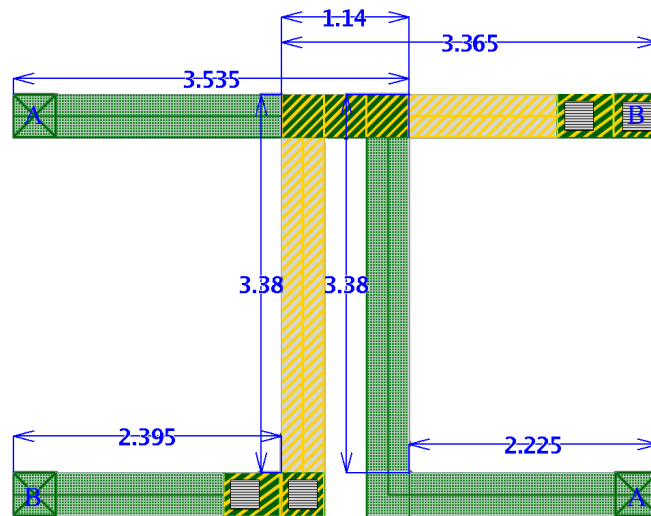
Figura 19 – Pinos ou terminais que precisam ser conectados em metal três.



Fonte: Autor.

Uma forma de conectar esses pinos ou terminais é mostrada na Figura 20, onde o metal três é representado pela trilha verde e o metal dois pela trilha amarela, ambas com espaçamento mínimo e largura de  $0,38 \mu\text{m}$ . Os pontos positivos dessa abordagem incluem o uso de apenas dois metais, o que é vantajoso, pois minimiza o consumo de camadas metálicas, deixando-as disponíveis para outras hierarquias ou roteamentos. No entanto, essa configuração impede o uso dos metais 2 e 3 na orientação horizontal, exigindo a utilização de um metal em camadas superiores ou inferiores. Mesmo que os metais sejam afastados a interseção entre os metais aumenta, Essa interseção resulta em uma capacitância parasita entre os dois metais, o que pode ser problemático à medida que a frequência aumenta. Outra desvantagem são as curvas em  $90^\circ$  que assim como explicado na seção 3.3 sofrem mais estresse quando expostas a altas densidades de corrente.

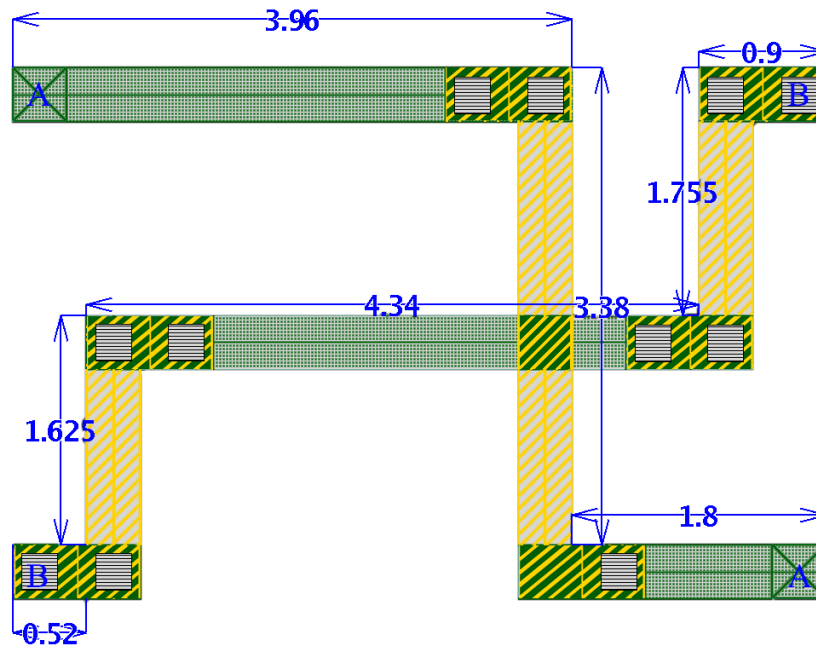
Figura 20 – Exemplo de trilhas com  $0,38 \mu\text{m}$  de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo).



Fonte: Autor.

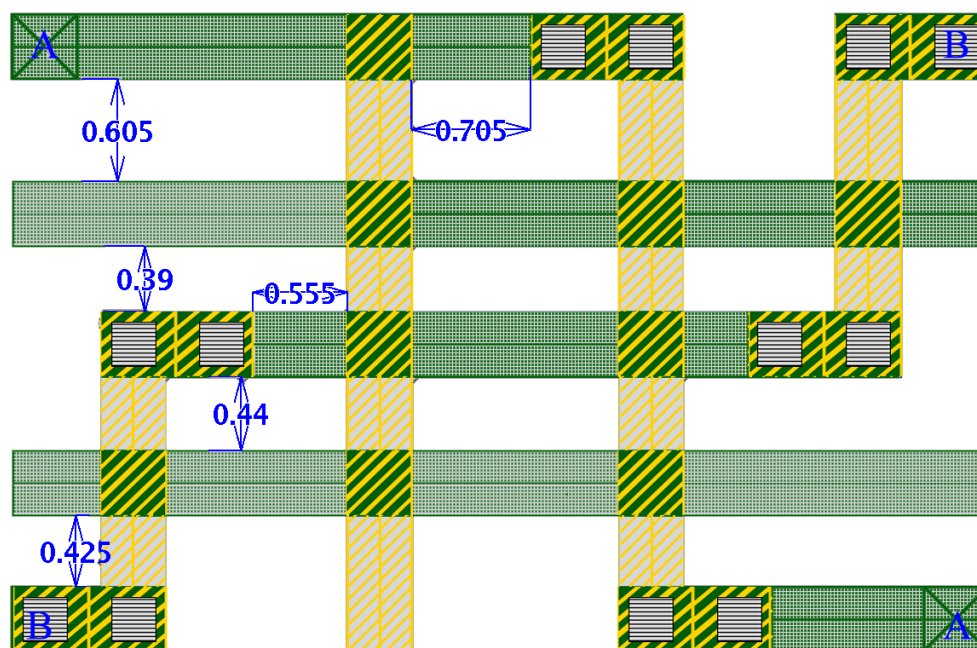
Uma forma alternativa ao roteamento anterior é definir direções para os metais, por exemplo, metais ímpares na horizontal e metais pares na vertical. Dessa forma uma trilha metal três nunca poderá ser bloqueada por outra trilha em metal três na vertical. A Figura 21 ilustra como implementar essas trilhas. A vantagem dessa regra é que qualquer cruzamento entre metais terá a largura e o comprimento igual à largura das trilhas, com melhor aproveitamento do espaço, como mostrado na Figura 22. No entanto, a desvantagem, é que o roteamento ainda apresenta curvas de  $90^\circ$ , semelhante à configuração anterior.

Figura 21 – Exemplo de trilhas usando a regra de direção de metais. Com  $0,38 \mu\text{m}$  de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo).



Fonte: Autor.

Figura 22 – Exemplo do melhor aproveitamento do espaço quando usando a regra de direção de metais. Com  $0,38 \mu\text{m}$  de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo).

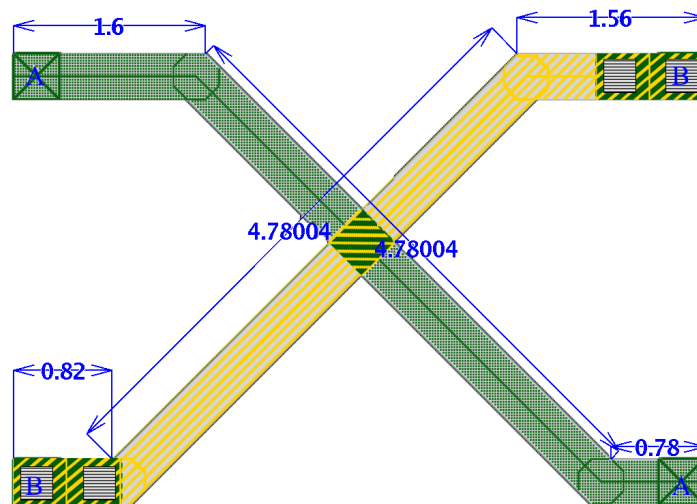


Fonte: Autor.

Outra vantagem de definir direções para os metais é que com a maior variação de metais de uma trilha, menor é a área total de cada segmento de metal, diminuindo assim a quantidade de cargas acumuladas durante o processo de corrosão ou implantação e, conseqüentemente, a vulnerabilidade do circuito ao efeito antena.

A terceira opção é o uso de roteamento com curvas de  $135^\circ$ , como ilustrado na Figura 23. Conforme explicado na Seção 3.3, essas curvas sofrem menos estresse devido à circulação de corrente. Outra vantagem é que, ao contrário dos casos anteriores onde o comprimento das trilhas é de  $9,14 \mu\text{m}$ , essas trilhas têm um comprimento de  $7,16 \mu\text{m}$ . Isso significa que as trilhas usando a diagonal possuem menor resistência e capacitância parasita, sendo que essa diferença de comprimento aumenta conforme a distância entre os pinos ou terminais a serem roteados. Assim como no caso anterior, a área dos cruzamentos também é determinada apenas pela largura dos metais. A desvantagem é que, assim como no primeiro caso, essa configuração bloqueia o roteamento dos metais usados tanto na horizontal quanto na vertical.

Figura 23 – Exemplo de trilhas usando curvas de 135°. Com 0,38  $\mu\text{m}$  de espaçamento mínimo e largura, usando metal três (verde) e metal dois (amarelo).



Fonte: Autor.

Estendendo a regra de orientação de metais, pode-se definir que os metais ímpares na diagonal descem da esquerda para a direita e os metais pares sobem. Isso é melhor ilustrado na Tabela 1.

Metais	Direção
Ímpares	$\leftrightarrow$ $\searrow$ $\swarrow$
Pares	$\updownarrow$ $\nearrow$ $\swarrow$

Tabela 1 – Direções recomendadas para o roteamentos de metais.

### 3.5 Quiralidade

A Figura 8 ilustra um tipo de descasamento conhecido como descasamento por orientação, que ocorre quando a falha depende exclusivamente da orientação do transistor. Esses erros podem ser corrigidos ao zerar a quiralidade da matriz. Um objeto ou sistema é considerado quiral quando é distinguível de sua imagem espelhada, ou seja, ele é assimétrico. Nos transistores, a quiralidade é geralmente definida pela diferença entre a fração de transistores orientados para a direita e a fração de transistores orientados para a esquerda, sendo que a orientação de um transistor é determinada pelo seu dreno. (HASTINGS, 2006)

Para que não ocorra descasamento por orientação é necessário que a quiralidade dos transistores envolvidos seja igual. Por exemplo, um casamento entre um transistor tendo três segmentos orientados para a direita e um para a esquerda terá a quiralidade de meio ( $\frac{3}{4} - \frac{1}{4} = \frac{1}{2}$ ) e um transistor com nove segmentos orientados para a direita e três para a esquerda que também terá a quiralidade de meio ( $\frac{9}{12} - \frac{3}{12} = \frac{1}{2}$ ) não sofrerá descasamento por orientação. (HASTINGS, 2006)

As Tabelas 2 e 3 trazem dois exemplos de casamentos com a mesma quiralidade, na Tabela 2 ambos os transistores possuem quiralidade -1 e na Tabela 3 ambos apresentam quiralidade 0.

X	X	X	X	X
X	${}_d\text{B}_s$	${}_d\text{A}_s$	${}_d\text{B}_s$	X
X	${}_d\text{B}_s$	${}_d\text{A}_s$	${}_d\text{B}_s$	X
X	X	X	X	X

Tabela 2 – Casamento de transistores em que ambos possuem quiralidade -1.

X	X	X	X	X
X	${}_d\text{B}_s$	${}_d\text{A}_s$	${}_s\text{B}_d$	X
X	${}_s\text{B}_d$	${}_s\text{A}_d$	${}_d\text{B}_s$	X
X	X	X	X	X

Tabela 3 – Casamento de transistores em que ambos possuem quiralidade 0.

### 3.6 *Dummies*

*Dummies* são dispositivos extras colocados nas extremidades das matrizes evitando, assim, a corrosão excessiva dos dispositivos ativos que estão nas bordas e garantindo uma corrosão mais uniforme de todos os dispositivos. (SAINT; SAINT, 2002)

Recomenda-se que os *dummies* sejam alinhados com os dispositivos ativos e que tenham pelo menos 20% da largura ou comprimento do mesmo. Para garantir que os *dummies* não sejam polarizados de qualquer forma, eles devem ter todos os seus terminais conectados ao mesmo substrato dos dispositivos ativos.

O uso de *dummies*, também ajudam a evitar descasamentos causados por WPE, uma vez que os dispositivos na borda serão os *dummies*. Os *dummies* devem ser dimensionados de modo que a região ativa dos transistores protegidos esteja situada a, no mínimo, 3  $\mu\text{m}$  de distância da borda.

## 3.7 Centroide Comum

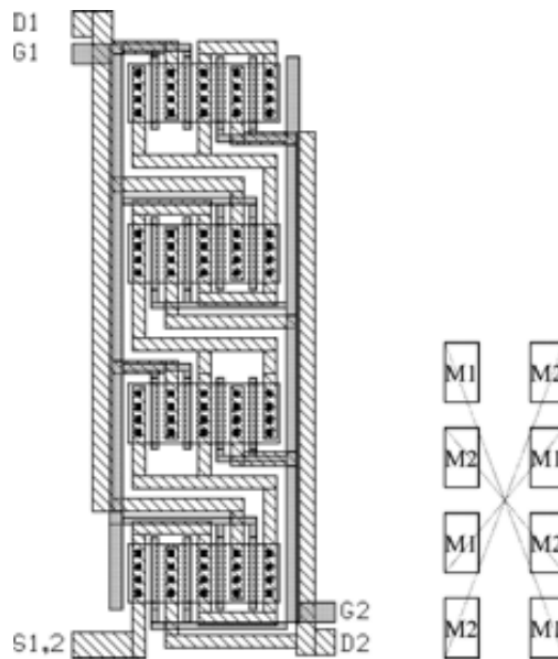
Descasamentos induzidos por gradientes e por erros no processo de fabricação podem ser minimizados ao reduzir a distância entre os centroides dos dispositivos casados. Algumas técnicas de leiaute conseguem reduzir a distância entre esses centroides para zero. Centroide Comum (CC) como são chamados esses leiautes, podem cancelar por completo as variações causadas pela distância, desde que essa função de distância seja linear. Mesmo que essas variações contenham componentes não lineares, elas ainda serão aproximadamente lineares em pequenas distâncias. Quando mais compacto for o CC, menos suscetível a gradientes não lineares ele vai ser. (HASTINGS, 2006)

Para uma estrutura ser considerada CC ela deve conter as seguintes características:

- **Coincidência:** O centroide dos diferentes dispositivos casados deve coincidir pelo menos aproximadamente. Idealmente, os centroides devem coincidir exatamente, o que é chamado de estrutura centroide completamente comum. (LONG; HONG; DONG, 2005)
- **Simetria:** A estrutura deve ser simétrica ao redor dos eixos X e Y. (LONG; HONG; DONG, 2005)
- **Dispersão:** Os *fingers* de cada dispositivo devem ser distribuídos o mais uniformemente possível. (LONG; HONG; DONG, 2005)
- **Compacidade:** A estrutura precisa ser a mais compacta possível. Idealmente, ela deverá ter o formato de um quadrado. (LONG; HONG; DONG, 2005)
- **Quiralidade:** Todos os dispositivos casados deverão ter o mesmo valor de quiralidade. (HASTINGS, 2006)

A Figura 24 traz um exemplo de um par diferencial CC, as Figuras 25 e 26 trazem outros exemplos de casamentos CC de espelhos de corrente e a Tabela 4 traz um exemplo de casamento CC para resistores.

Figura 24 – Exemplo de um par diferencial CC. Tanto  $M_1$  quanto  $M_2$  estão divididos em quatro sub-transistores.



Fonte: (MA et al., 2010).

Figura 25 – Exemplo de casamento CC de um espelho de corrente com 4 transistores.  $M_2$  é o transistor em diodo,  $M_3$ ,  $M_{15}$  e  $M_{42}$  são os demais transistores do espelho. X são *dummies*.

X	X	X	X	X	X	X	X	X	X
X	X	X	X	M15	M15	X	X	X	X
X	M41	M15	M41	M15	M15	M41	M15	M41	X
X	M15	M41	M2	M2	M2	M2	M41	M15	X
X	M41	M15	M41	M15	M15	M41	M15	M41	X
X	M3	M2	M2	M2	M2	M2	M2	M3	X
X	M15	M3	M15	M3	M3	M15	M3	M15	X
X	M3	M2	M2	M2	M2	M2	M2	M3	X
X	M15	M2	M3	M15	M15	M3	M2	M15	X
X	M15	M2	M15	M2	M2	M15	M2	M15	X
X	M15	M2	M3	M15	M15	M3	M2	M15	X
X	M3	M2	M2	M2	M2	M2	M2	M3	X
X	M15	M3	M15	M3	M3	M15	M3	M15	X
X	M3	M2	M2	M2	M2	M2	M2	M3	X
X	M41	M15	M41	M15	M15	M41	M15	M41	X
X	M15	M41	M2	M2	M2	M2	M41	M15	X
X	M41	M15	M41	M15	M15	M41	M15	M41	X
X	X	X	X	M15	M15	X	X	X	X
X	X	X	X	X	X	X	X	X	X

Fonte: Autor.



Figura 26 – Exemplo de casamento CC de um espelho de corrente com 3 transistores. A é o transistor em diodo, B e C são os demais transistores do espelho. X são *dummies*.

X	X	X	X	X	X	X
X	X	X	C	X	X	X
X	X	C	B	C	X	X
X	C	B	A	B	C	X
X	X	C	B	C	X	X
X	X	X	C	X	X	X
X	X	X	X	X	X	X

Fonte: Autor.

X	X	X
+A-	+A-	+A-
+B-	+B-	+B-
-B+	-B+	-B+
-A+	-A+	-A+
+B-	+B-	+B-
-B+	-B+	-B+
+A-	+A-	+A-
X	X	X

Tabela 4 – Exemplo de CC de resistores. O +/- representa a direção da corrente e X são *dummies*.

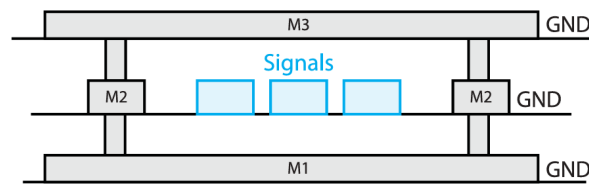
Uma coisa importante de casamentos é que, em espelhos, o transistor ligado em diodo, ou seja, a referência, deve ficar no meio para garantir um bom casamento.

### 3.8 Resolvendo Problemas com Interferência

O primeiro passo para reduzir interferência(*crosstalk*) em blocos sensíveis está no *floorplan*, ao posicionar blocos ruidosos(agressores) mais afastados de blocos sensíveis ao ruído (vítimas), aumentando o caminho no substrato ou nas trilhas que o ruído precisa percorrer para chegar na vítima. (SAINT; SAINT, 2002)

Outro método que pode ser utilizado é o roteamento coaxial, ao circular a trilha com metais ligados ao terra do circuito, como mostrado na Figura 27. (SAINT; SAINT, 2002)

Figura 27 – Exemplo de trilha coaxial com três trilhas de sinal.



Fonte: (SAINT; SAINT, 2002).

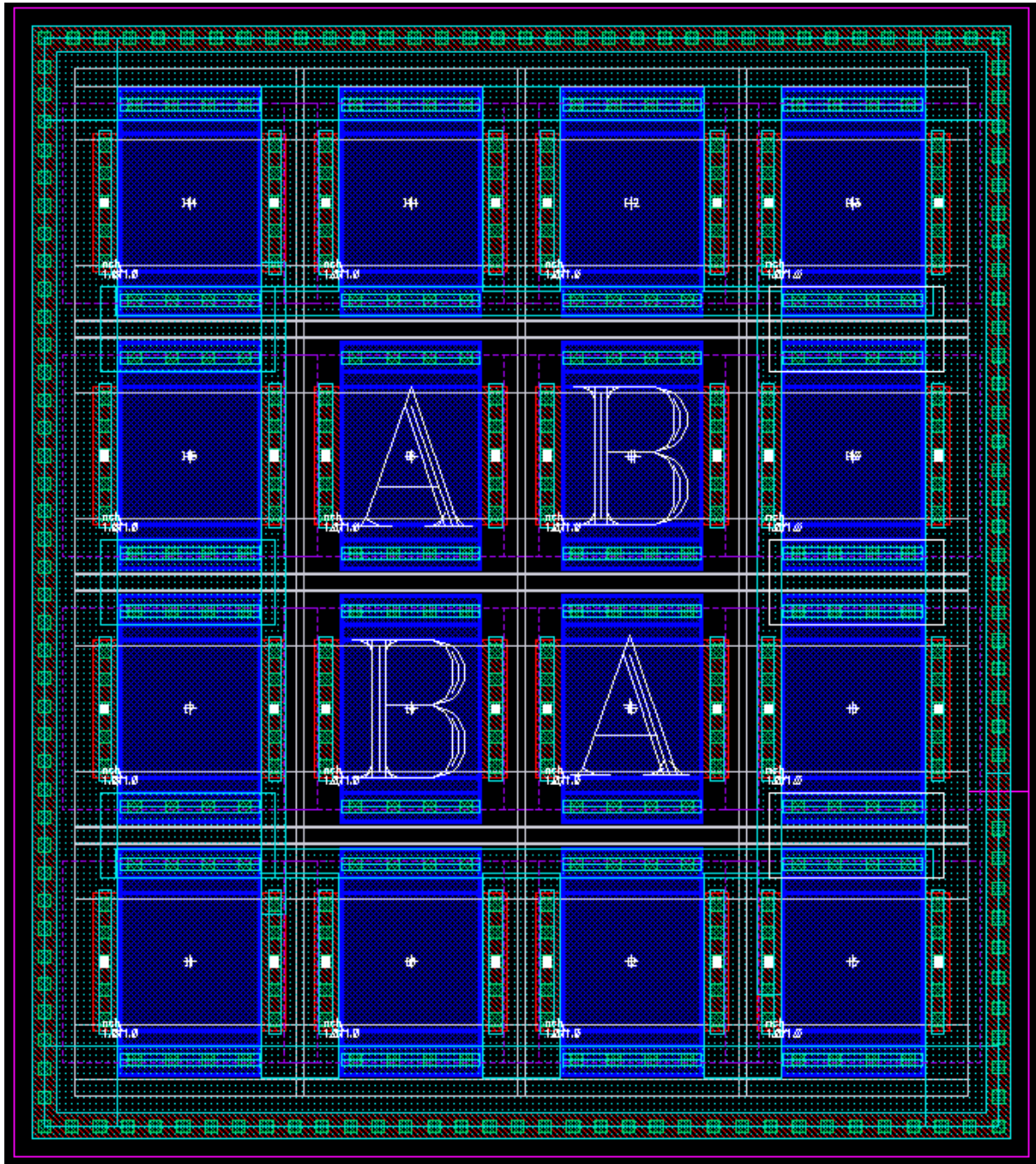
Outra solução bem comum para redução de interferência oriunda de outros blocos é o uso de *guard rings*. *Guard ring* é um grande contato de polarização do substrato que circunda todo o bloco que deve ser isolado. Os anéis de guarda isolam o bloco (vítima) do sinal oriundo do agressor através da criação de um anel de baixa impedância em torno do bloco a ser protegido, reduzindo, assim, a perturbação introduzida pelo bloco agressor. Também pode-se colocar múltiplos *guard rings* ao redor dos blocos, juntando tanto *rings* para o substrato P quanto para o N, fazendo-se assim uma proteção mais robusta do bloco. (SAINT; SAINT, 2002)

Além de manter os substratos bem polarizados, os *rings* no substrato P são coletores de elétrons e os no N são coletores de buracos, logo eles também ajudam a evitar *Latch-up's* (HASTINGS, 2006). Por causa dessas propriedades idealmente se tem o uso de *rings* PNP ou NP, juntando assim as duas propriedades em um só *ring*.

Se colocado em volta de matrizes o *guard ring* também serve como contato de polarização de substrato dos dispositivos na matriz. Por causa dessas e outras vantagens, recomenda-se o uso de *Guard Ring* em todas as matrizes. (SAINT; SAINT, 2002)

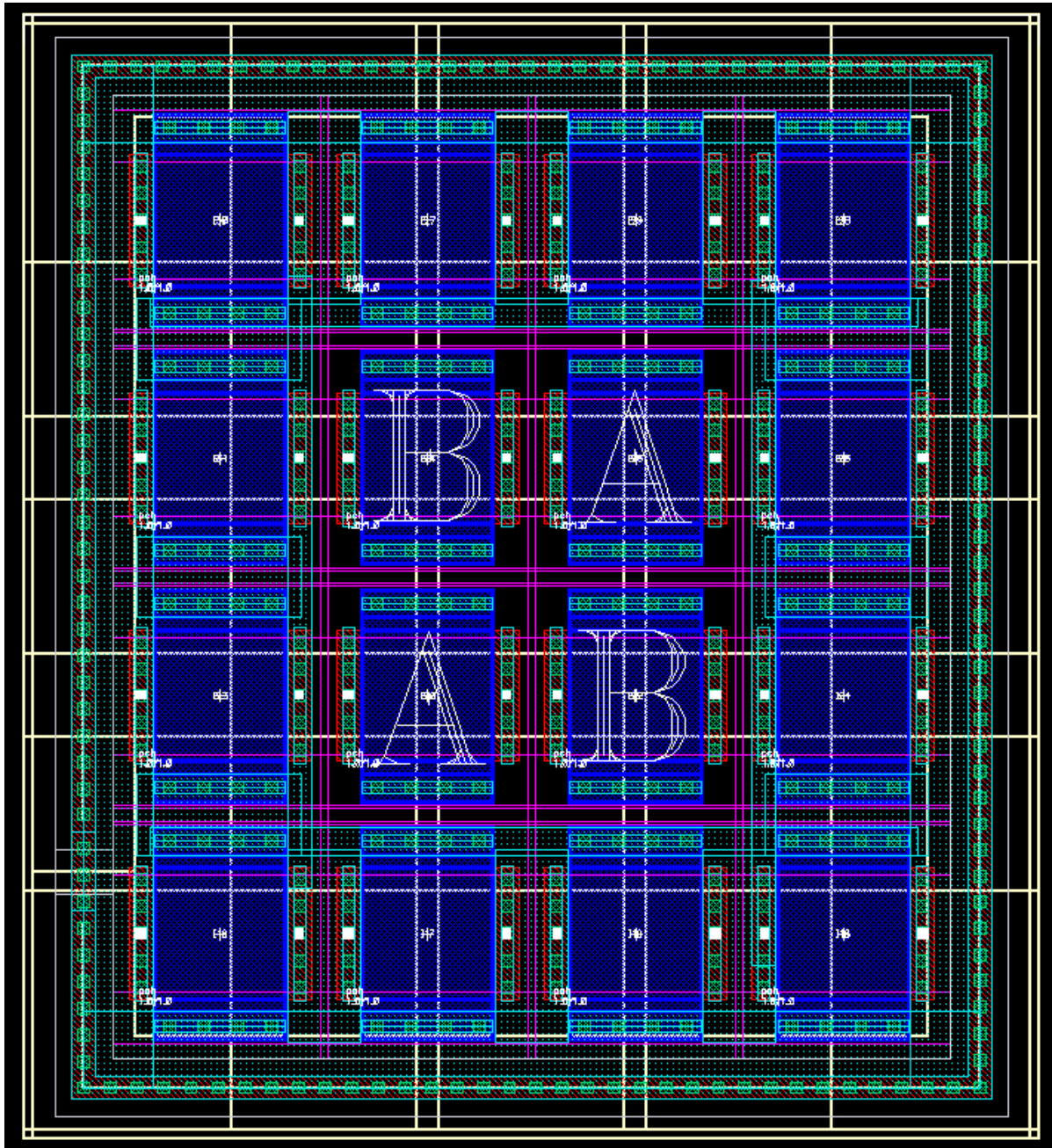
A Figura 28 traz um exemplo de matriz de casamento com transistores NMOS usando *guard ring* P como contato de substrato e a Figura 29 apresenta uma matriz de casamento com transistores PMOS usando *guard ring* N como contato de substrato. Ambas também trazem um exemplo de como conectar os *dummies*. A Figura 30 traz a legenda das camadas usadas nos exemplos.

Figura 28 – Exemplo de matriz de casamento com transistores NMOS usando *guard ring* P como contato de substrato.

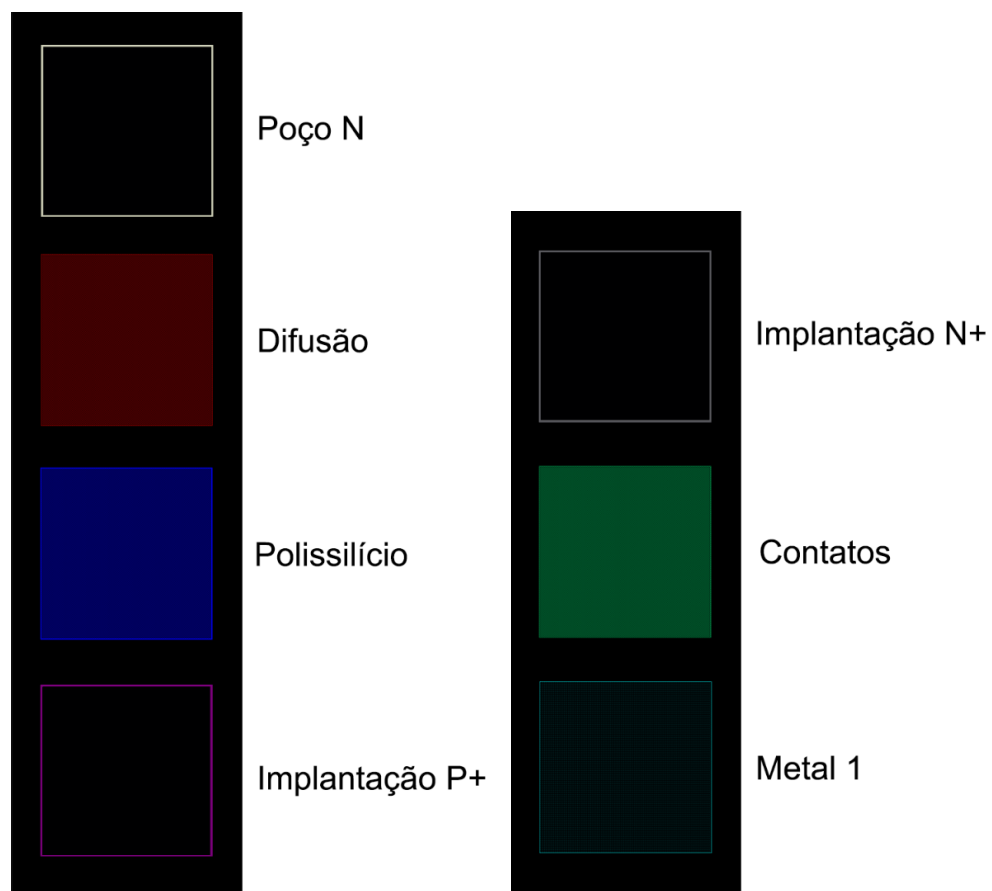


Fonte: Autor.

Figura 29 – Exemplo de matriz de casamento com transistores PMOS usando *guard ring* N como contato de substrato.



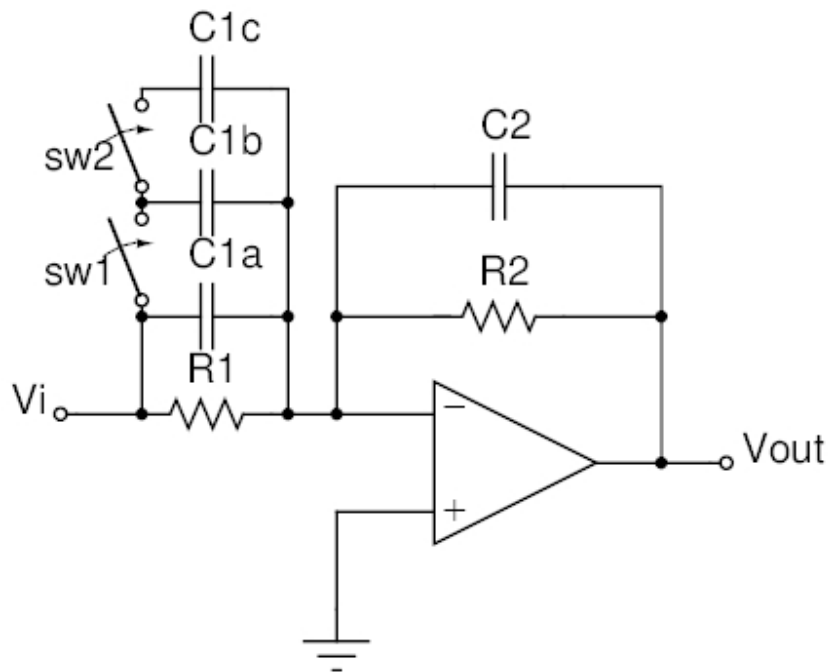
Fonte: Autor.

Figura 30 – Camadas usadas nos exemplos de *guard ring*.

## 4 Leiaute

Agora que já foi feito um resumo de diferentes técnicas de leiaute, elas serão colocadas em prática. Para isso, o circuito escolhido foi o filtro da Figura 31, pois o mesmo necessita de casamentos de resistores, capacitores e dos transistores do amplificador operacional (AmpOp). Como o filtro apresenta ganhos, em baixa frequência igual à razão das resistências (Equação 4.1) e, em alta frequência igual à razão das capacitâncias (Equação 4.2), foram adicionadas as chaves em série com os capacitores  $C_{1b}$  e  $C_{1c}$  para termos os três casos:  $A_{BF} > A_{AF}$ ,  $A_{BF} = A_{AF}$  e  $A_{BF} < A_{AF}$ , onde  $A_{AF}$  e  $A_{BF}$  são os ganhos em alta frequência e baixa frequência, respectivamente.

Figura 31 – Filtro ativo RC com ganho em alta frequência controlado.



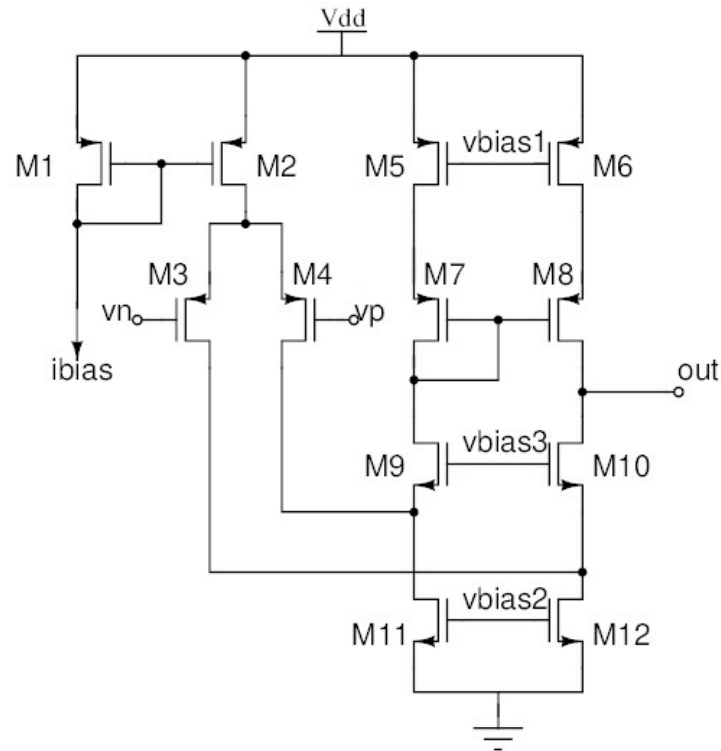
Fonte: Autor.

$$A_{BF} \cong -\frac{R_2}{R_1} \quad (4.1)$$

$$A_{AF} \cong -\frac{C_1}{C_2} \quad (4.2)$$

Para o AmpOp optou-se por fazer um *folded cascode*, como mostrado na Figura 32. As dimensões unitárias de cada componente, bem como o número de componentes em série ou paralelo estão apresentados na Tabela 5. A tensão de modo comum é 0,6 V e  $I_{bias} = 4,5 \mu A$ .

Figura 32 – *folded cascode* usado no filtro.



Fonte: Autor.

Dimensões Unitárias dos Componentes e Multiplicadores				
Componente	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	Série	Paralelo
$M_1$ e $M_2$	8,91	2	1	16
$M_3, M_4, M_5, M_6, M_7$ e $M_8$	8,91	2	1	8
$M_9$ e $M_{10}$	8,2	2,43	1	8
$M_{11}$ e $M_{12}$	8,2	2,43	1	16
$R_1$	93,6	0,4	180	1
$R_2$	93,6	0,4	360	1
$C_{1a}, C_{1b}$ e $C_2$	22.1	22.2	1	2
$C_{1c}$	22.1	22.2	1	4

Tabela 5 – Dimensões unitárias de cada componente e número de componentes em série ou paralelo do filtro.

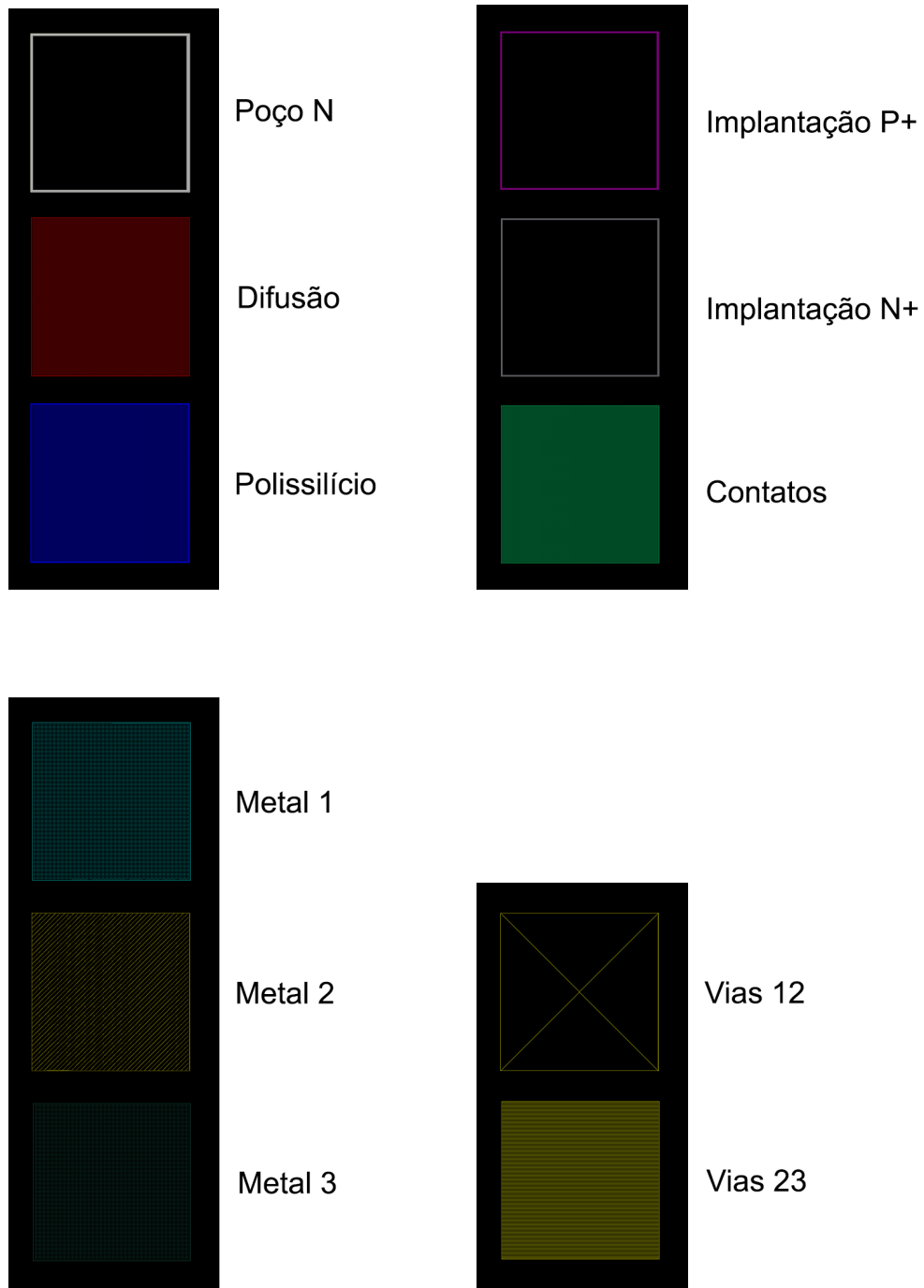
## 4.1 *Floorplan*

O primeiro passo para um bom leiaute é o *floorplan*, onde se planeja a posição dos componentes, pinos e o fluxo de sinal. O primeiro *floorplan* feito foi o da Figura 34, feito com o intuito de se ter uma célula o mais quadrada possível; porém, ele tem dois problemas, o mais importante sendo o fluxo de sinal. Como o número de resistores é par, os sinais de entrada e saída da matriz de resistores estão no mesmo lado; então, independentemente se os pinos estão na esquerda ou direita o caminho para chegar tanto no AmpOp quanto nos capacitores é bem grande, resultando em resistências e capacitâncias parasitas elevadas. O segundo problema é que nesse *floorplan* não se tem *dummies* nos capacitores. Como são elementos casados recomenda-se o uso de *dummies* tanto nos capacitores quanto nos resistores; nesse caso, os *dummies* dos resistores só foram colocados na parte inferior e superior dos blocos, pois os mesmos são bastante compridos e pouco largos; então, a corrosão excessiva só vai ter um grande efeito nas laterais superior e inferior e o efeito na esquerda e direita é irrisório devido a borda ser muito fina (400 nm). Para os transistores, nas laterais esquerda e direita foram escolhidos *dummies* com mesmo comprimento e largura dos transistores que eles protegem, e nas partes inferior e superior da matriz foram colocados *dummies* com o mesmo comprimento, mas somente 30% da largura.

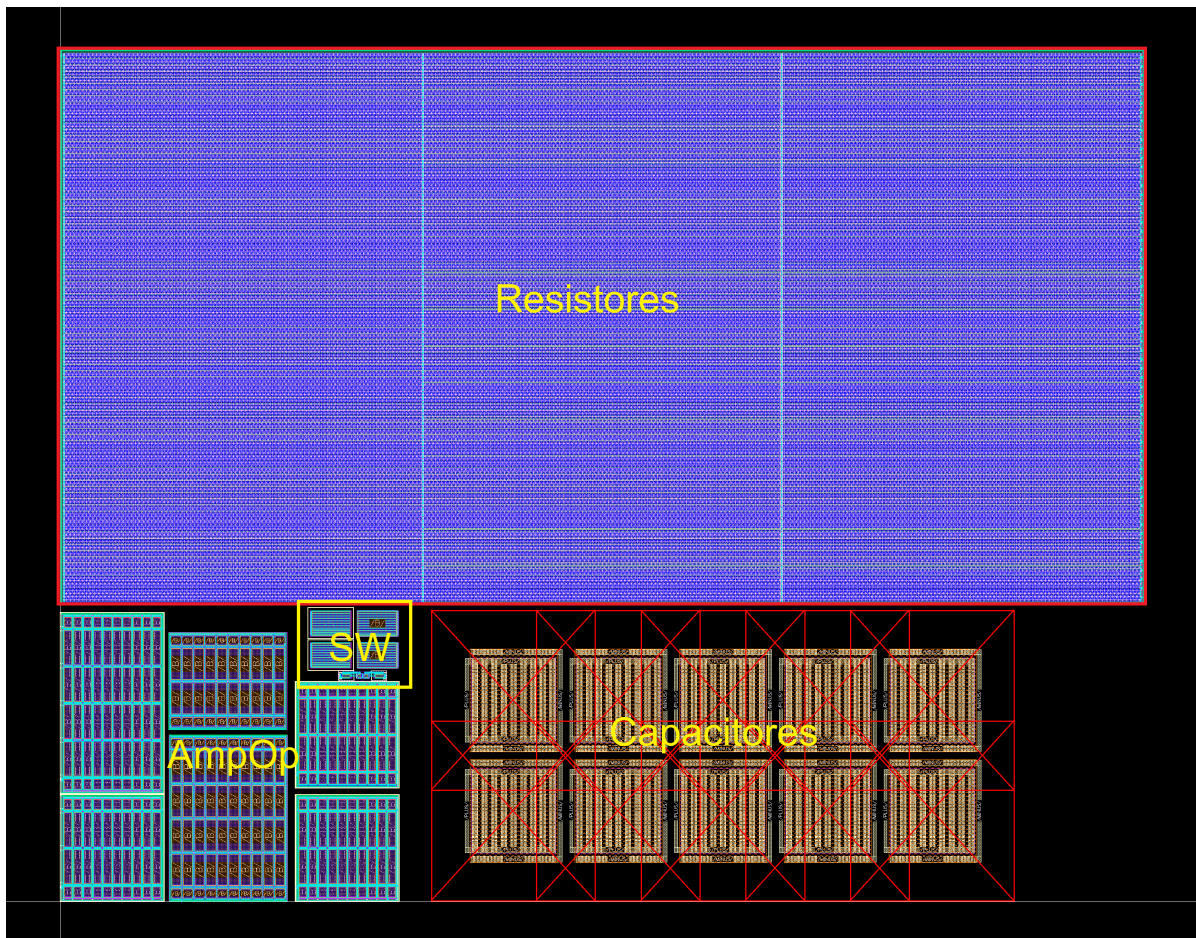
A Figura 33 traz uma legenda com o nome de cada camada para melhor compreensão do leiaute.



Figura 33 – Camadas usadas no leiaute.



Fonte: Autor.

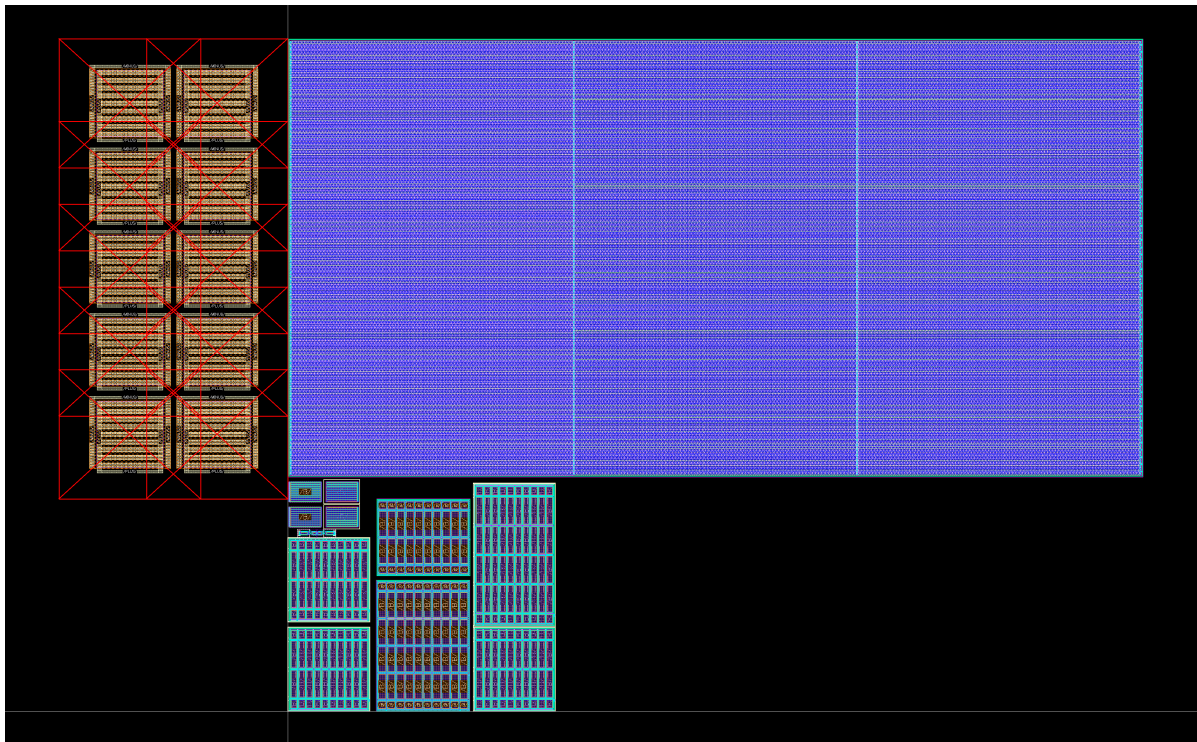
Figura 34 – Primeiro *floorplan*. Priorizando um formato mais quadrado.

Fonte: Autor.

O segundo *floorplan*, o da Figura 35, priorizou o fluxo de sinal, com os pinos dos resistores colocados próximos dos capacitores e da saída do AmpOp. No AmpOp a saída foi posicionada à esquerda, os pinos de polarização na parte inferior e as entradas à direita. Embora esse *floorplan* tenha uma parte não ocupada muito grande no canto inferior direito, esse espaço pode ser usado para encaixar outros blocos, como, por exemplo, um bloco de referência ou o bloco de processamento do sinal de entrada do filtro. Já o espaço na esquerda pode ser preenchido com um bloco que receberá o sinal de saída do filtro ou com os *dummies* dos capacitores, como no *floorplan* da Figura 36.

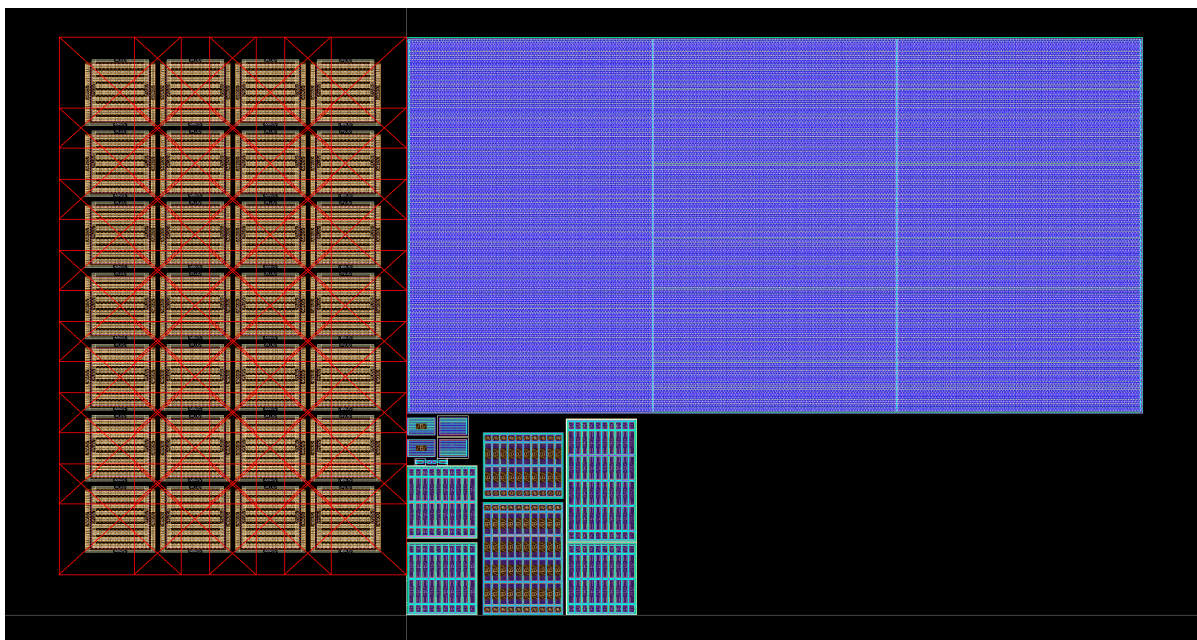
Como os *dummies* dos capacitores ocupam muito espaço, às vezes eles podem ser dispensados, em casos de adicionar muitos parasitas devido às distâncias maiores que os sinais têm que percorrer ou pela falta de área.

Figura 35 – Segundo *floorplan*. Priorizando fluxo de sinal.



Fonte: Autor.

Figura 36 – Primeiro *floorplan*. Colocando *dummies* dos capacitores



Fonte: Autor.

Os três *floorplans* tiveram seus leiautes executados para que, assim, suas respostas em frequência pudessem ser comparadas no próximo capítulo usando a vista extraída dos mesmos.

## 4.2 Leiaute AmpOp

A primeira matriz do amplificador feita foi o par diferencial, usando a estrutura de casamento da Figura 37, escolhida por ser um centroide comum interdigitado com somente quatro cruzamentos entre as entradas. Outra opção seria a da Figura 38, na qual o casamento entre transistores é melhor por ter uma mais adequada distribuição dos transistores, mas tendo muitos cruzamentos entre as entradas, sete no total, como desvantagem.

Figura 37 – Casamento escolhido para o par diferencial. A é o transistor  $M_3$ , B é o  $M_4$  e X são *dummies*

X	X	X	X	X	X	X	X	X	X
X	A	B	B	A	A	B	B	A	X
X	B	A	A	B	B	A	A	B	X
X	X	X	X	X	X	X	X	X	X

Fonte: Autor.

Figura 38 – Casamento descartado do par diferencial por ter muito cruzamentos entre as entradas. A é o transistor  $M_3$ , B é o  $M_4$  e X são *dummies*

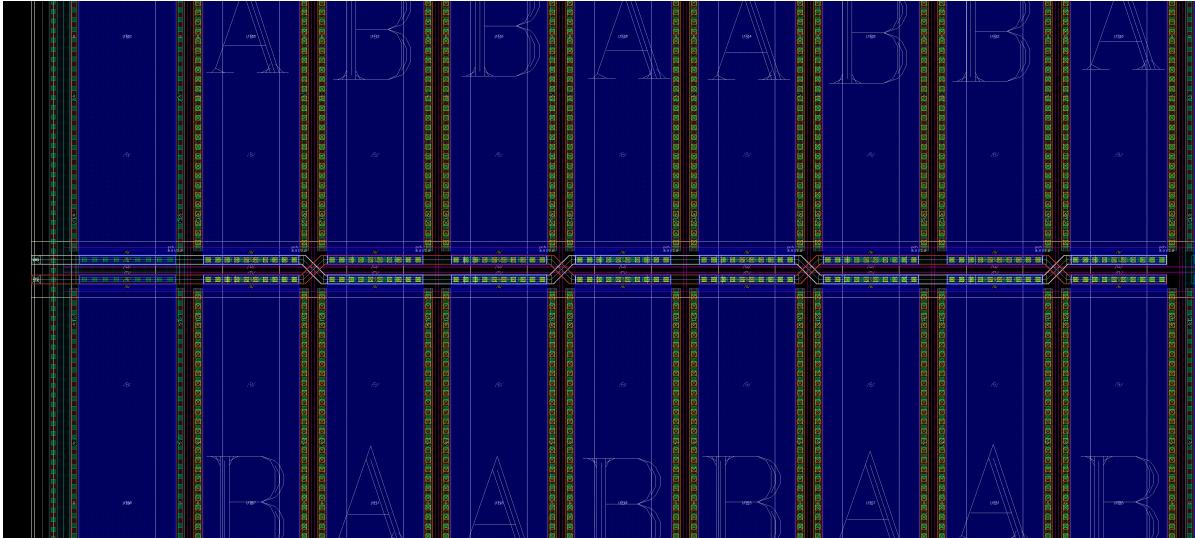
X	X	X	X	X	X	X	X	X	X
X	A	B	A	B	A	B	A	B	X
X	B	A	B	A	B	A	B	A	X
X	X	X	X	X	X	X	X	X	X

Fonte: Autor.

A Figura 39 apresenta o roteamento da entrada. Nos cruzamentos entre as entradas foi usado roteamento na diagonal respeitando a Tabela 1 para reduzir os parasitas usando os metais 2 e 3. Em vermelho é a entrada não inversora e em branco a entrada inversora.

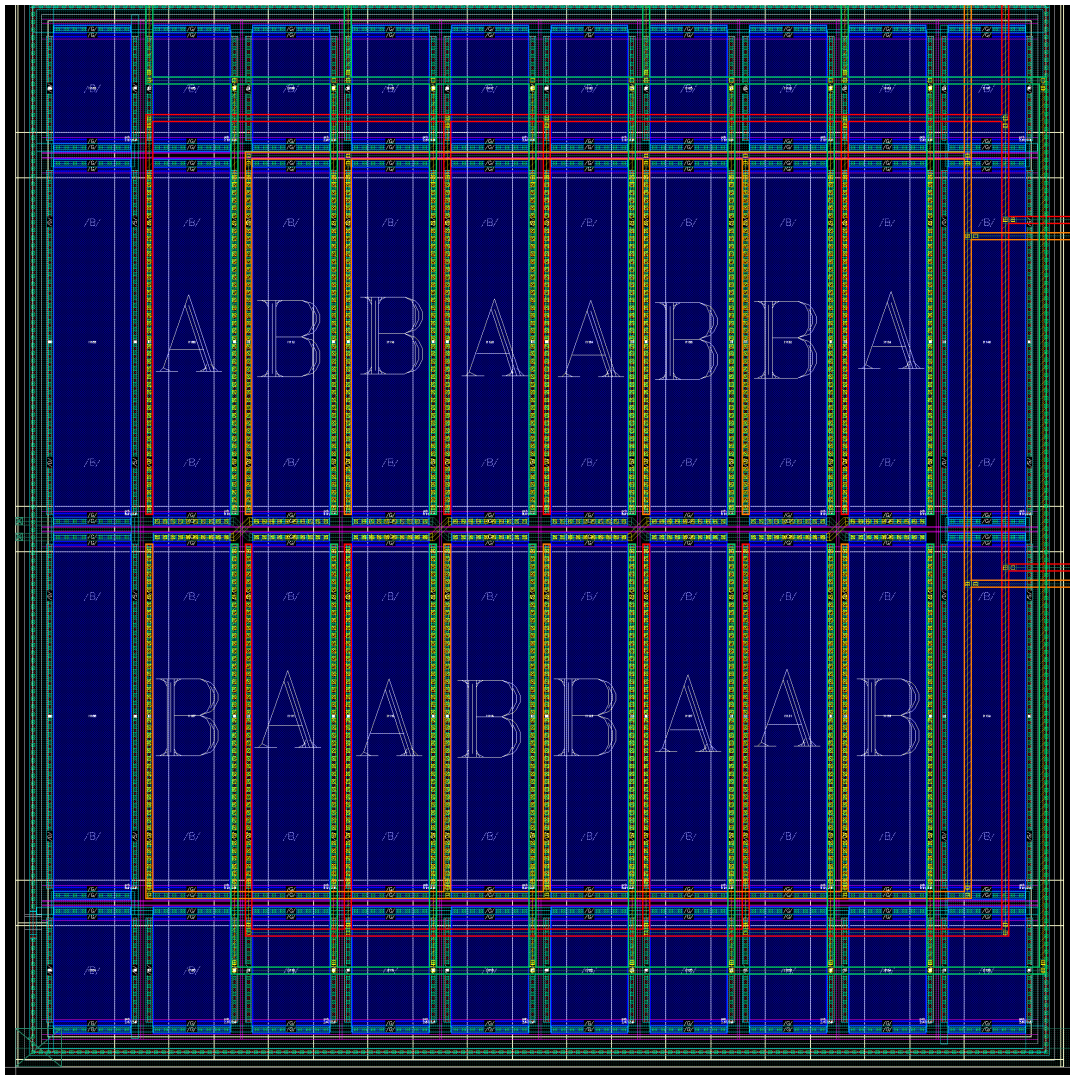
Os roteamentos dos drenos e das fontes podem ser vistos na Figura 40. Onde em laranja é o dreno do transistor  $M_4$ , em vermelho o dreno do transistor  $M_3$  e em verde as fontes. Nota-se que não há cruzamentos com as entradas para evitar acoplamento e, possivelmente, uma realimentação positiva.

Figura 39 – Roteamento de entrada do par diferencial. Entrada não inversora em vermelho e inversora em branco.



Fonte: Autor.

Figura 40 – Roteamento de dreno e fonte do par diferencial.



Fonte: Autor.

Nas outras matrizes o casamento usado foi o da Figura 41 para matrizes com 16 transistores e o da Figura 42 para matrizes de 32. Esse casamento não é ideal pois a distância média do transistor A para o centro da matriz é maior que a do transistor B, o que não é um grande problema, já que as matrizes são pequenas. A vantagem em relação aos casamentos das Figuras 37 e 38 é que esse casamento permite uma distância menor entre os transistores (distância mínima, nesse caso) e o roteamento a ser feito usa linhas retas, reduzindo cruzamentos e parasitas, como mostrado na Figura 43. Outra vantagem é fazer roteamentos mais rápidos, uma vez que quando feito o de um transistor, basta copiar e colar para os outros, o que ajuda em fluxos de leiaute maiores e com tempos limitados.

Figura 41 – Casamento escolhido para as matrizes com 16 transistores. As letras X representam *dummies*.

X	X	X	X	X	X	X	X	X	X
X	A	B	A	B	B	A	B	A	X
X	A	B	A	B	B	A	B	A	X
X	X	X	X	X	X	X	X	X	X

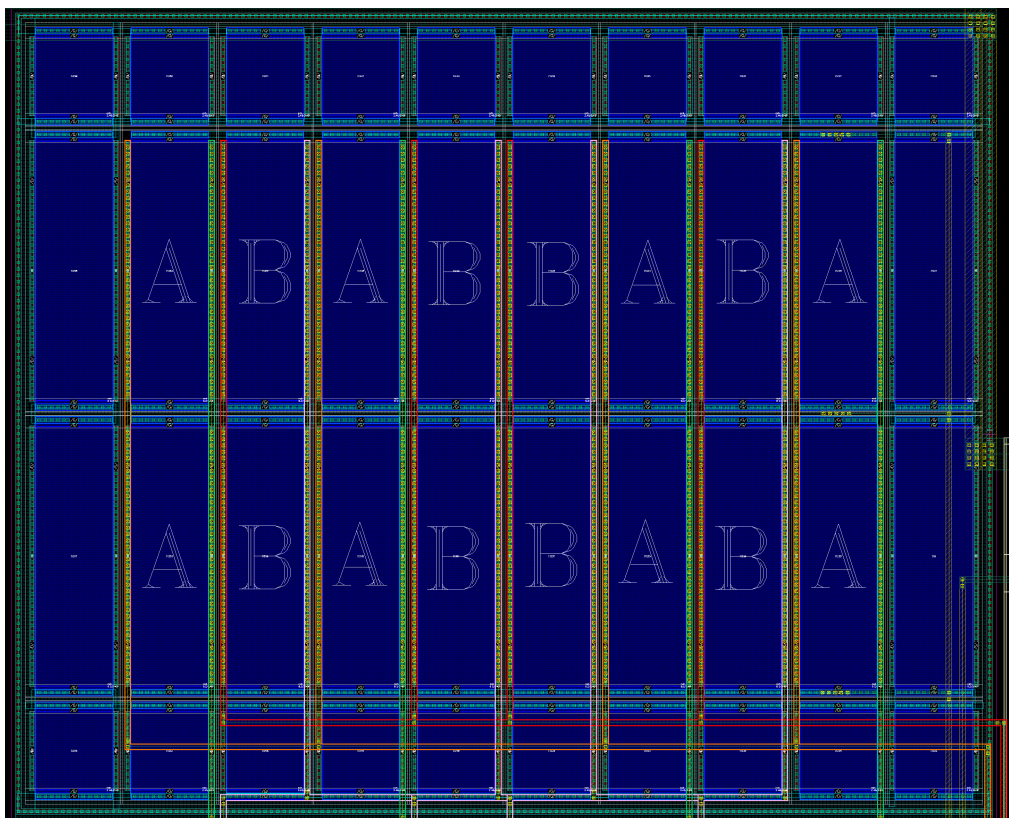
Fonte: Autor.

Figura 42 – Casamento escolhido para as matrizes com 32 transistores. As letras X representam *dummies*.

X	X	X	X	X	X	X	X	X	X
X	A	B	A	B	B	A	B	A	X
X	A	B	A	B	B	A	B	A	X
X	A	B	A	B	B	A	B	A	X
X	A	B	A	B	B	A	B	A	X
X	X	X	X	X	X	X	X	X	X

Fonte: Autor.

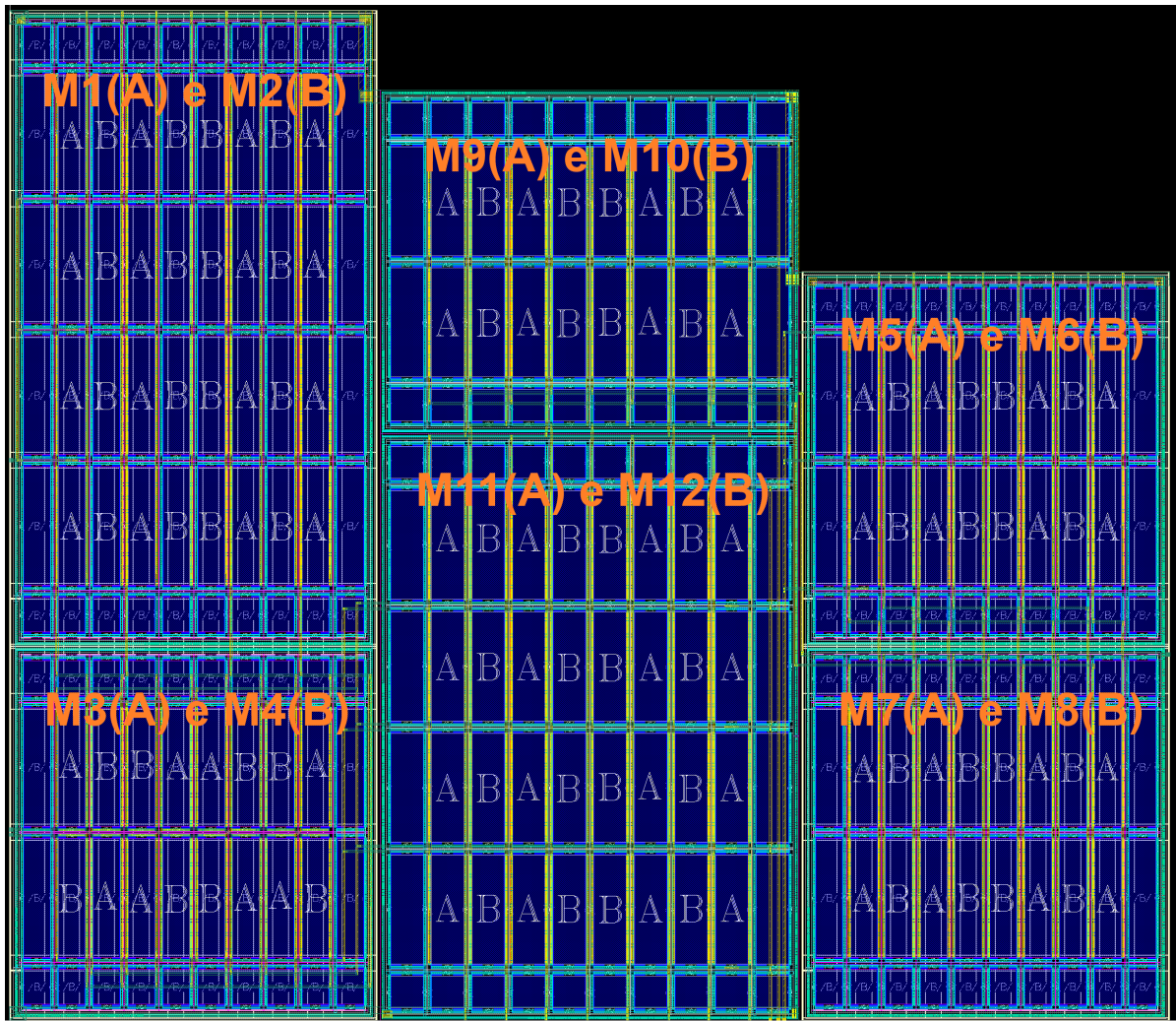
Figura 43 – Roteamento de dreno e fonte das matrizes que constituem os demais estágios do *folded cascode*. Os roteamentos seguem linhas retas na vertical e se juntam na horizontal na parte inferior.



Fonte: Autor.

A Figura 44 traz o resultado final do AmpOp. As entradas ficam na esquerda e a saída na direita. As dimensões são  $86,23 \mu\text{m}$  de largura por  $75,12 \mu\text{m}$  de altura. A parte sem leiaute na direita é usada para as chaves. Cada matriz tem um *guard ring* individual e todos os transistores foram posicionados com quiralidade máxima (1), garantindo assim que não haja descasamento por orientação.

Figura 44 – Leiaute final do *folded cascode*.



Fonte: Autor.

### 4.3 Leiaute Filtro

A Figura 45 mostra o casamento dos resistores e a Figura 46 dos capacitores. Ao redor do banco de resistores foi colocado um *guard ring* para melhor isolar interferência



de outros blocos. Na tecnologia em uso a largura mínima do metal é  $0,1 \mu\text{m}$  e a das vias é  $0,18 \mu\text{m}$ . Todos os roteamentos foram feitos com  $0,18 \mu\text{m}$  para respeitar as regras do capítulo 3.2. Essa largura é mais do que suficiente para suportar a corrente de  $4,5 \mu\text{A}$  na saída, uma vez que a máxima corrente que essa trilha pode suportar é  $337,86 \mu\text{A}$ .

Figura 45 – Casamento do banco de resistores. A, B e X representam  $R_2$ ,  $R_1$  e *dummies*, respectivamente.

X	X	X
A	A	A
B	B	B
A	A	A
A	A	A
B	B	B
A	A	A
.	.	.
.	.	.
.	.	.
A	A	A
B	B	B
A	A	A
A	A	A
B	B	B
A	A	A
X	X	X

Fonte: Autor.

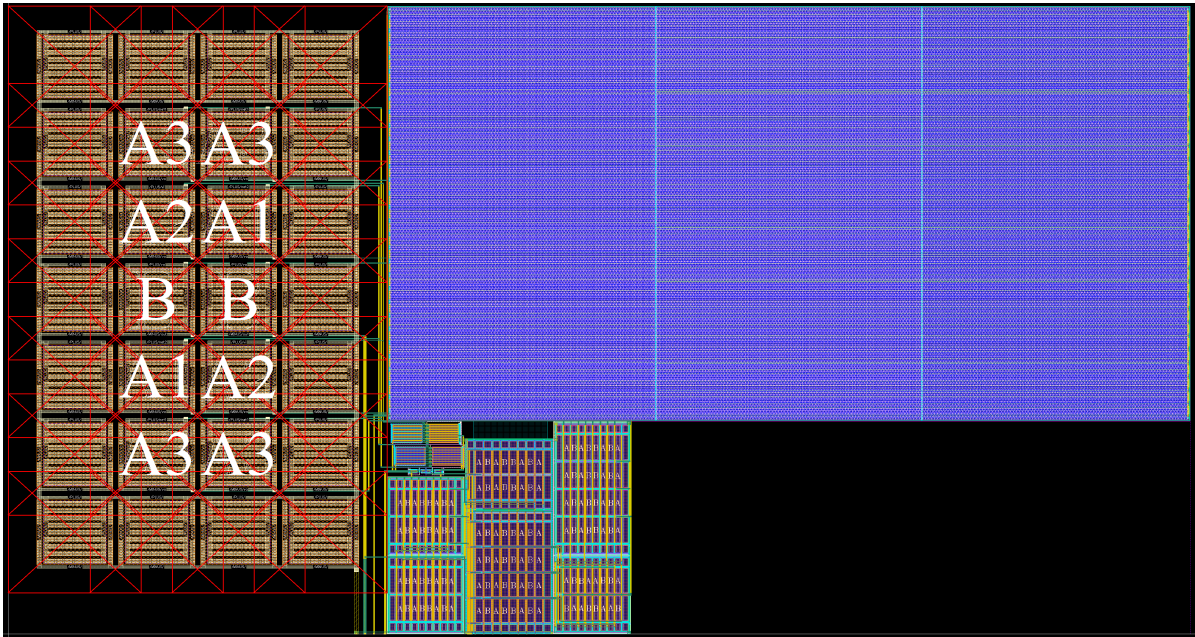
Figura 46 – Casamento do banco de capacitores. A1, A2, A3 e X representam  $C_{1a}$ ,  $C_{1b}$ ,  $C_{1c}$ ,  $C_2$  e *dummies*, respectivamente.

X	X	X	X
X	A3	A3	X
X	A2	A1	X
X	B	B	X
X	A1	A2	X
X	A3	A3	X
X	X	X	X

Fonte: Autor.

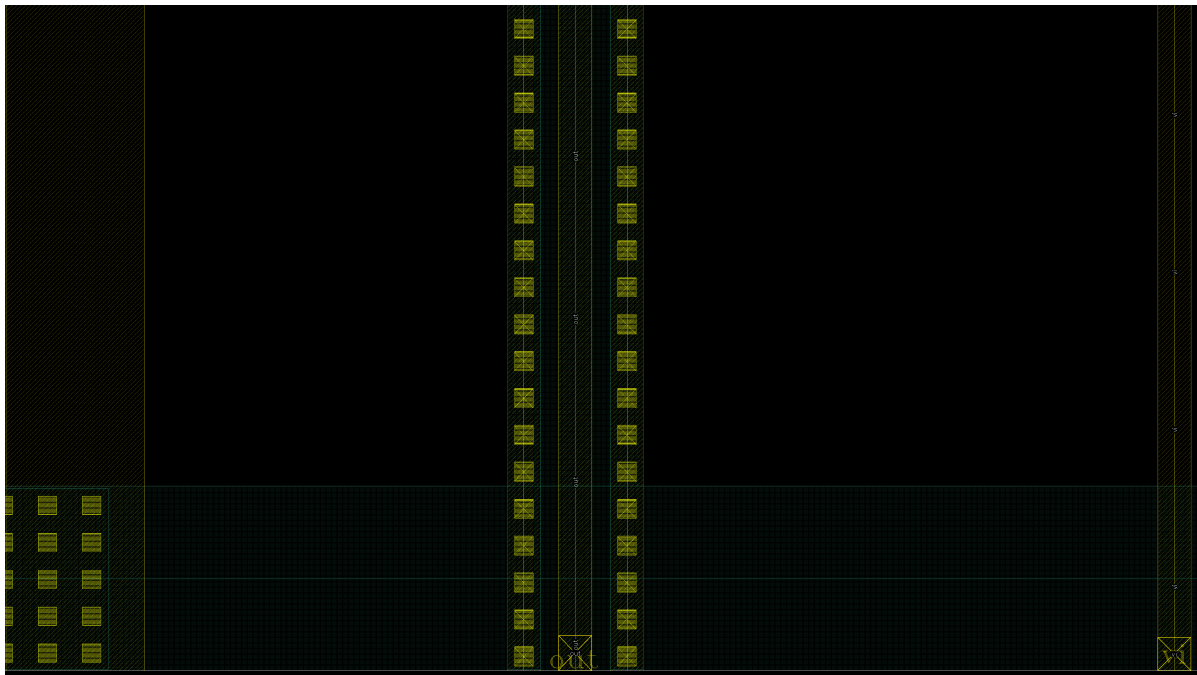
O resultado final do leiaute do filtro está apresentado na Figura 47. Tanto os pinos de entrada quanto o de saída estão na parte inferior. Para evitar acoplamentos ruidosos o pino de saída foi blindado, como mostrado na Figura 48, seguindo o exemplo da Figura 27, usando os mesmos metais. No final o leiaute ficou com um comprimento de  $418 \mu\text{m}$  e altura de  $222 \mu\text{m}$ .

Figura 47 – Leiaute final do filtro.



Fonte: Autor.

Figura 48 – Blindagem do sinal de saída.



Fonte: Autor.

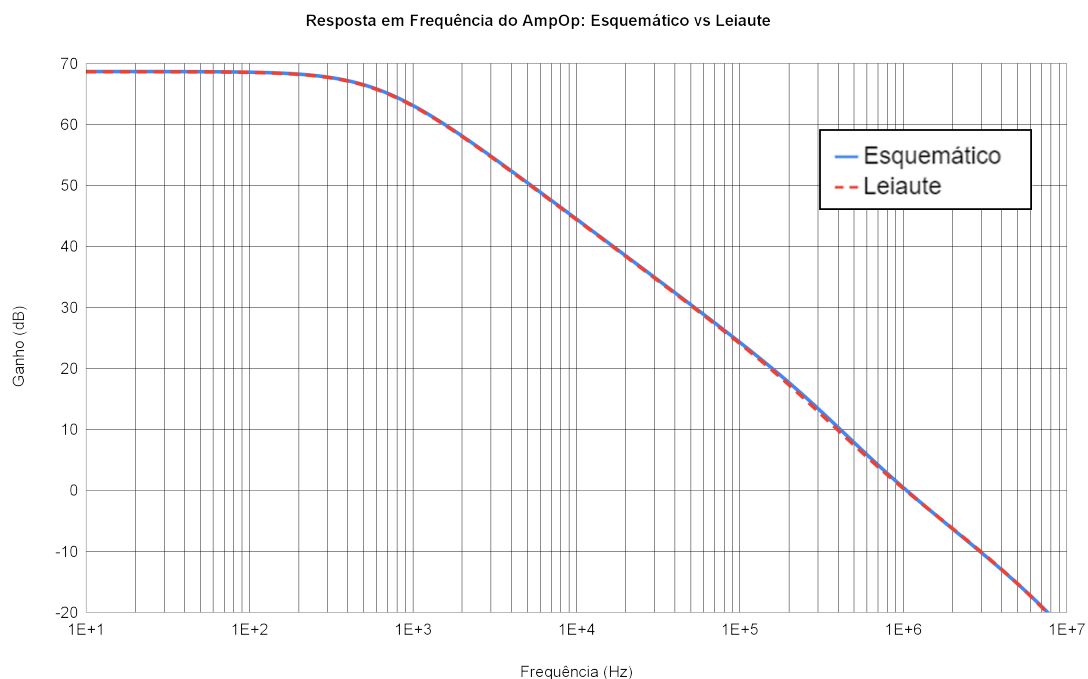
## 5 Resultados

Para fazer a comparação entre o projeto em nível de esquemático e nível de leiaute, foram feitas simulações com uma carga na saída de 5 pF, tensão de alimentação de 1,2 V e tensão de modo comum de 0,6 V.

### 5.1 Simulação AmpOp

A Figura 49 apresenta a simulação AC do AmpOp em malha aberta.

Figura 49 – Resposta em frequência do AmpOp em malha aberta. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a resposta em nível de leiaute.



Fonte: Autor.

A Tabela 6 traz informações como corrente total, potência dissipada, ruído de saída, CMRR e PSRR do AmpOp. Analisando a tabela, evidencia-se que os resultados ficaram bem próximos, o ganho máximo por exemplo, teve uma variação percentual de apenas

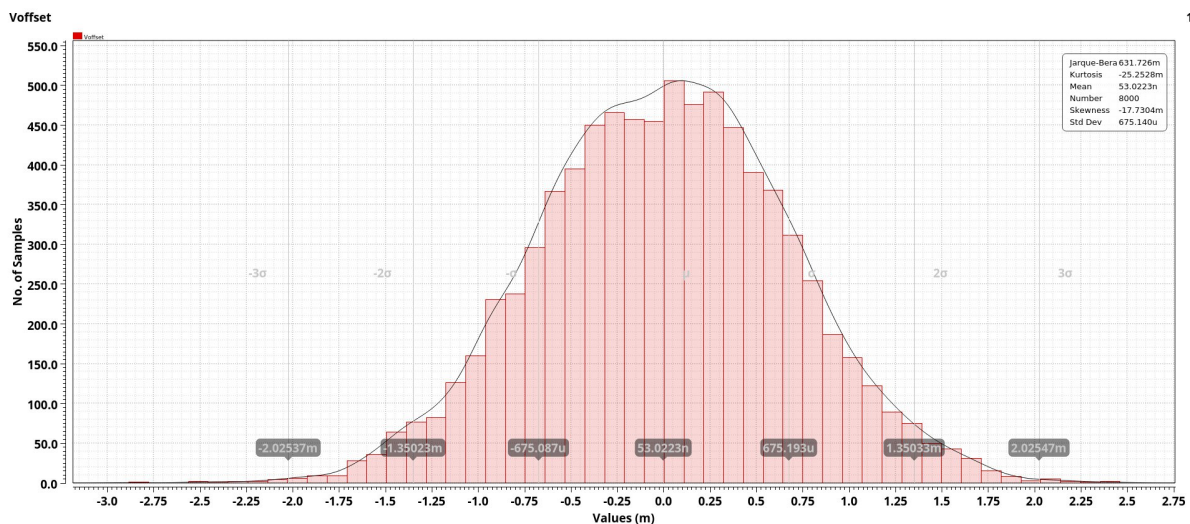
-0.05% e a banda do AmpOp teve uma variação percentual de -1,05%. A maior variação percentual foi de 2,04% da CMRR em baixa frequência, o que é uma variação benéfica.

A Figura 50 apresenta a simulação de Monte Carlo da tensão de *offset* do AmpOp.

Comparação Entre os Valores Extraídos em Nível de Esquemático e Pós-Leiaute		
Parâmetros	Esquemático	Pós Leiaute
Corrente Total ( $\mu\text{A}$ )	22,540	22,620
Potência Dissipada ( $\mu\text{W}$ )	27,048	27,144
PSD do Ruído de Saída em 1 kHz ( $\frac{nV^2}{Hz}$ )	34,341	34,066
$A_{v_{dif}}$ (dB)	68,657	68,620
$f_T$ (MHz)	1,046	1,035
$CMRR_{baixa\ frequência}$ (dB)	71,196	72,649
$PSRR_{baixa\ frequência}$ (dB)	-63,109	-63,312

Tabela 6 – Parâmetros de comparação entre o AmpOp em nível de esquemático e de pós leiaute.

Figura 50 – Simulação de Monte Carlo do Folded Cascode.



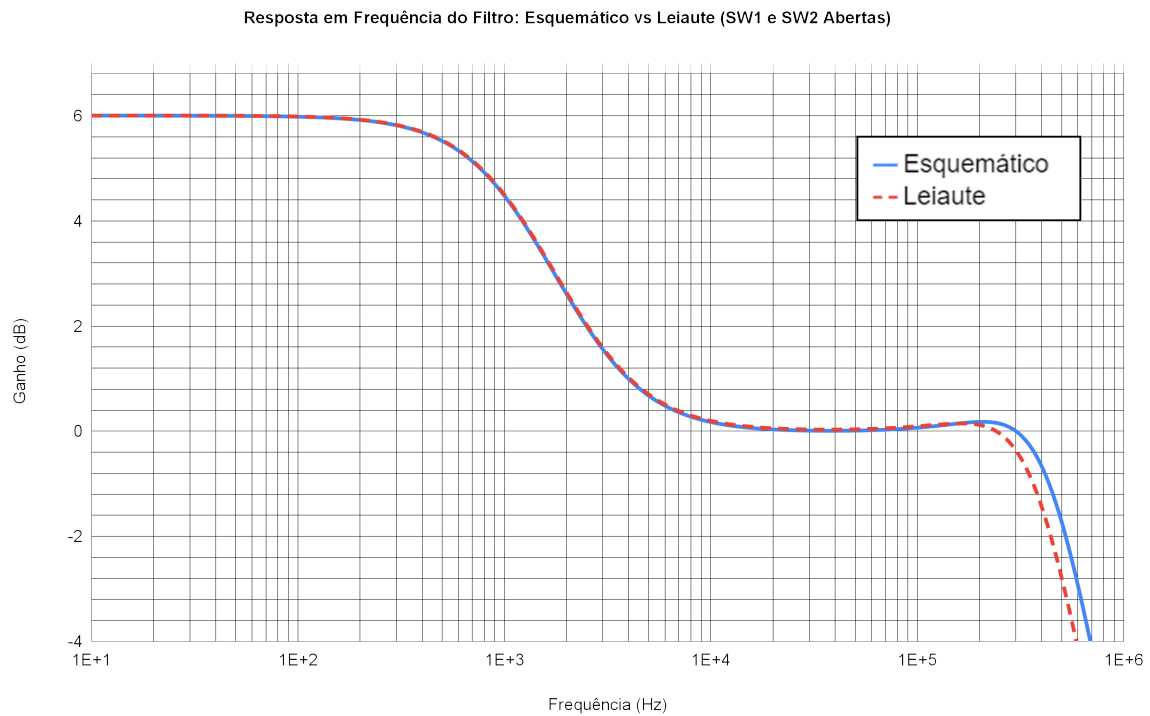
Fonte: Autor.

## 5.2 Simulação Filtro

No filtro o ganho em baixa frequência foi fixado em 6 dB, enquanto em alta frequência o ganho era de 0 dB com as duas chaves abertas, 6 dB com a primeira chave fechada e 12 dB quando as duas estavam fechadas. A Figura 51 mostra a resposta em frequência quando as duas chaves estão abertas, nota-se que existe uma diferença na banda do

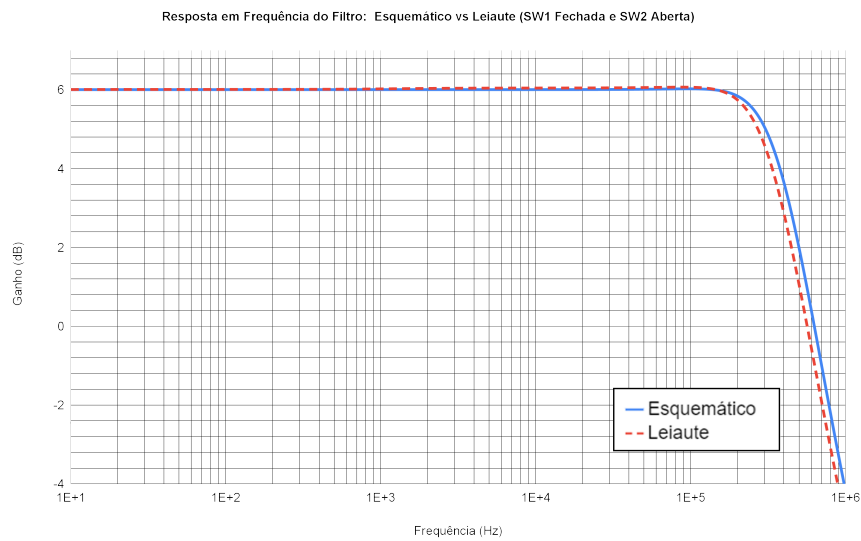
filtro que começa em torno de 200 kHz, que ocorre devido à capacitância distribuída dos resistores de polissilício, essa diferença percentual é de -11,8%. O mesmo efeito pode ser visto tanto na Figura 52 (primeira chave ligada) e na Figura 53 (primeira e segunda chaves ligadas).

Figura 51 – Resposta em frequência do filtro com ambas as chaves abertas. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a obtida do leiaute.



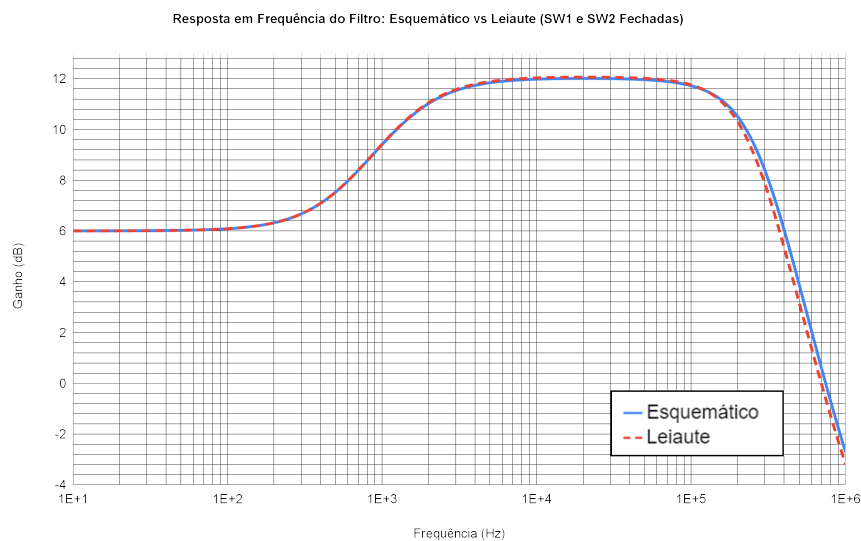
Fonte: Autor.

Figura 52 – Resposta em frequência do filtro com a primeira chave fechada. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a obtida do leiaute.



Fonte: Autor.

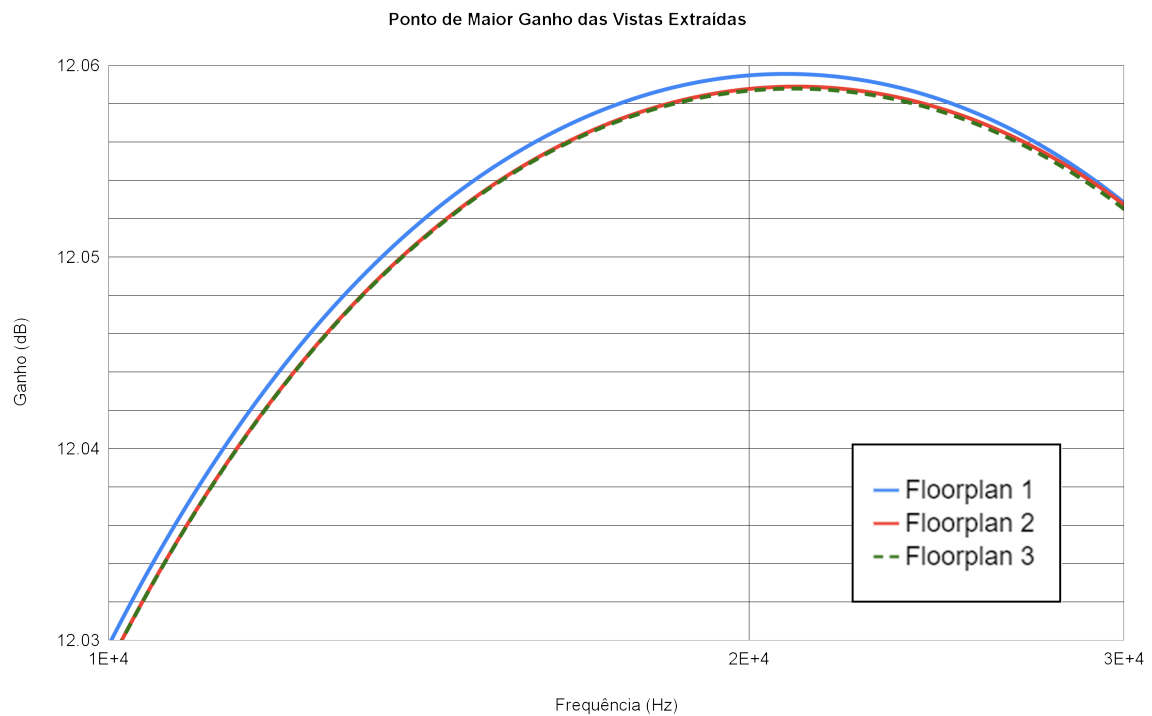
Figura 53 – Resposta em frequência do filtro com as duas chaves fechadas. A curva em azul é em nível de esquemático e, em vermelho pontilhado, a obtida do leiaute.



Fonte: Autor.

Para fins de comparação, foi realizada uma simulação com os três layouts elaborados a partir dos *floorplans* apresentados no Capítulo 4.1, considerando a condição em que ambas as chaves estão fechadas. A Figura 54 mostra um zoom no ponto de maior ganho das vistas extraídas dos layouts. Embora o ganho máximo da simulação do filtro em nível de esquemático seja de 12,01 dB, observa-se que os ganhos nas vistas extraídas ultrapassam ligeiramente esse valor, especialmente no caso do primeiro *floorplan*, que apresenta o pior fluxo de sinal. Como o ganho em alta frequência é determinado pela equação 4.2, isso indica que as capacitâncias parasitas têm influência nesse ganho, nesse caso aumentando a razão entre as capacitâncias à medida que os parasitas se tornam mais significativos.

Figura 54 – Ponto de maior ganho das extraídas dos leiautes dos três *floorplans*..



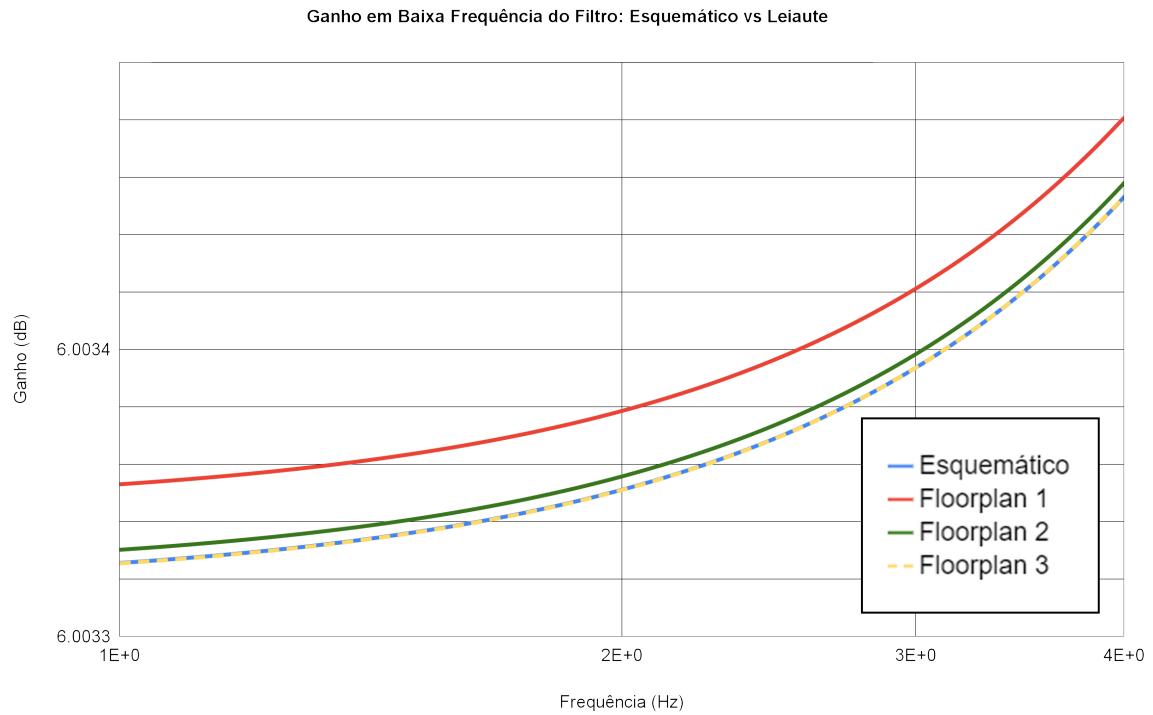
Fonte: Autor.

As mesmas características observadas na Figura 54 são evidenciadas na Figura 55, que apresenta um zoom do ganho em baixa frequência tanto em nível esquemático quanto em leiaute para os três *floorplans*. Nota-se que os *floorplans* 2 e 3, que possuem um fluxo de sinal bem planejado, apresentam um ganho mais próximo do esquemático, enquanto o *floorplan* 1 exibe um ganho mais elevado. Como o ganho em baixas frequências é



determinado pela equação 4.1, isso sugere que as resistências parasitas adicionais no leiaute do *floorplan* 1 aumentaram a relação entre os resistores.

Figura 55 – Zoom do ganho em baixa frequência em nível de esquemático e leiaute para os três *floorplans*.



Fonte: Autor.

## 6 Conclusão

Os resultados apresentados através de simulações no capítulo anterior evidenciam os benefícios de boas práticas de leiaute, mostrando quantitativamente a necessidade de um bom *floorplan* na construção de um bom leiaute, priorizando um bom fluxo de sinal em detrimento de padrões elementares como quadrados e retângulos, ainda assim sem criar formato muito irregulares, permitindo que outros blocos sejam integrados sem agredir o fluxo já existente ou criando áreas inacessíveis.

Este trabalho também apresentou maneiras de manter os circuitos e matrizes compactos sem descuidar-se do casamento ou de outros fenômenos ligados ao leiaute. Vale lembrar que como este documento está limitado ao nível de simulação, muitos efeitos das técnicas e fenômenos não podem ser avaliados no leiaute apresentado pois necessitariam da fabricação do mesmo.

Por fim, este é um documento introdutório, apresentando técnicas gerais e específicas para o circuito apresentado. Circuitos de potência como LDO ou de rádio frequência, como célula de Gilbert, vão apresentar peculiaridades no seu funcionamento e exigirão técnicas mais específicas para esses casos, o que pode acontecer também com nós e tecnologias diferentes, ou seja, é necessário que o leiautista sempre procure conhecimentos novos e se adapte.

# Referências Bibliográficas

- BLACK, J. R. Electromigration—a brief survey and some recent results. *IEEE Transactions on Electron Devices*, IEEE, v. 16, n. 4, p. 338–347, 1969. 21
- DRENNAN, P.; KNIFFIN, M. L.; LOCASCIO, D. R. Implications of proximity effects for analog design. In: *IEEE Custom Integrated Circuits Conference 2006*. [S.l.: s.n.], 2006. p. 169–176. 26
- DRESSENDORFER, P.; OCHOA, A. An analysis of the modes of operation of parasitic scrs. *IEEE Transactions on Nuclear Science*, IEEE, v. 28, n. 6, p. 4288–4291, 1981. 27
- HASTINGS, R. *The Art of Analog Layout*. [S.l.]: Pearson Prentice Hall, 2006. ISBN 9780131464100. 17, 18, 20, 23, 24, 25, 36, 37, 38, 41
- KINGET, P. R. Device mismatch and tradeoffs in the design of analog circuits. *IEEE Journal of Solid-State Circuits*, IEEE, v. 40, n. 6, p. 1212–1224, 2005. 24
- LIENIG, J.; THIELE, M. *Fundamentals of electromigration-aware integrated circuit design*. Springer, 2018. Disponível em: <<https://link.springer.com/book/10.1007/978-3-319-73558-0>>. 22, 28, 29, 30, 31
- LONG, D.; HONG, X.; DONG, S. Optimal two-dimension common centroid layout generation for mos transistors unit-circuit. In: IEEE. *2005 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.], 2005. p. 2999–3002. 38
- MA, Q. et al. Simultaneous handling of symmetry, common centroid, and general placement constraints. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, IEEE, v. 30, n. 1, p. 85–95, 2010. 39
- MAGDOWSKI, M.; KOCHETOV, S.; LEONE, M. Modeling the skin effect in the time domain for the simulation of circuit interconnects. In: *2008 International Symposium on Electromagnetic Compatibility - EMC Europe*. [S.l.: s.n.], 2008. p. 1–6. 30
- MÚCIO, M. R. d. Técnicas de layout de circuitos integrados. 2023. 21, 28
- PENG, Y. et al. Full-chip inter-die parasitic extraction in face-to-face-bonded 3d ics. In: IEEE. *2015 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*. [S.l.], 2015. p. 649–655. 19
- RAI, S. et al. Security promises and vulnerabilities in emerging reconfigurable nanotechnology-based circuits. *IEEE Transactions on Emerging Topics in Computing*, PP, 11 2020. 18
- SAINT, C.; SAINT, J. *IC Mask Design*. 1. ed. USA: McGraw-Hill, Inc., 2002. ISBN 0071389962. 17, 19, 20, 26, 37, 40, 41

SAMANDARI-RAD, J.; GUTHAUS, M.; HUGHEY, R. Confronting the variability issues affecting the performance of next-generation sram design to optimize and predict the speed and yield. *Access, IEEE*, v. 2, p. 577–601, 01 2014. 22

In: SESHAN, K. (Ed.). *Handbook of thin film deposition (third edition)*. Third edition. Oxford: William Andrew Publishing, 2012. p. 383–392. ISBN 978-1-4377-7873-1. Disponível em: <<https://www.sciencedirect.com/science/article/pii/B9781437778731000231>>. 22

WHEELER, H. Formulas for the skin effect. *Proceedings of the IRE*, v. 30, n. 9, p. 412–424, 1942. 30

YEH, W.-K. et al. Effect of extrinsic impedance and parasitic capacitance on figure of merit of rf mosfet. *IEEE transactions on electron devices*, IEEE, v. 52, n. 9, p. 2054–2060, 2005. 20, 21