

UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO - CTC
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA

YURI GAZZONI REZENDE

PROJETO DE UM COMPUTADOR DE BORDO VERSÁTIL PARA USO EM
PEQUENOS SATÉLITES

Florianópolis
2024

YURI GAZZONI REZENDE

PROJETO DE UM COMPUTADOR DE BORDO VERSÁTIL PARA USO EM
PEQUENOS SATÉLITES

Trabalho de Conclusão de Curso do Curso de Graduação em Engenharia Eletrônica do Centro Tecnológico da Universidade Federal de Santa Catarina para a obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador(a): MSc. Gabriel Mariano Marcelino

Florianópolis
2024

Ficha catalográfica gerada por meio de sistema automatizado gerenciado pela BU/UFSC.
Dados inseridos pelo próprio autor.

Rezende, Yuri Gazzoni

Projeto de um computador de bordo versátil para uso em
pequenos satélites / Yuri Gazzoni Rezende ; orientador,
Gabriel Mariano Marcelino, 2024.

87 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro Tecnológico,
Graduação em Engenharia Eletrônica, Florianópolis, 2024.

Inclui referências.

1. Engenharia Eletrônica. 2. Computador de bordo. 3.
Satélites. 4. Sistemas Embarcados. I. Marcelino, Gabriel
Mariano. II. Universidade Federal de Santa Catarina.
Graduação em Engenharia Eletrônica. III. Título.

YURI GAZZONI REZENDE

PROJETO DE UM COMPUTADOR DE BORDO VERSÁTIL PARA USO EM
PEQUENOS SATÉLITES

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de “Bacharel em Engenharia Eletrônica” e aprovado em sua forma final pelo Curso de Graduação em Engenharia Eletrônica.

Florianópolis (SC), 18 de novembro de 2024.

Banca Examinadora:



Documento assinado digitalmente
GABRIEL MARIANO MARCELINO
Data: 25/11/2024 20:29:03-0300
CPF: ***.999.229-**
Verifique as assinaturas em <https://v.ufsc.br>

Msc. Gabriel Mariano Marcelino
Orientador



Documento assinado digitalmente
Eduardo Augusto Bezerra
Data: 24/11/2024 20:09:51-0300
CPF: ***.851.577-**
Verifique as assinaturas em <https://v.ufsc.br>

Prof. Dr. Eduardo Bezerra
Membro(a)
UFSC



Documento assinado digitalmente
ANDRÉ MARTINS PIO DE MATTOS
Data: 25/11/2024 04:53:19-0300
CPF: ***.867.121-**
Verifique as assinaturas em <https://v.ufsc.br>

Eng. André Martins Pio de Mattos
Membro(a)
Université de Montpellier



Documento assinado digitalmente
João Cláudio Elsen Barcellos
Data: 25/11/2024 08:05:00-0300
CPF: ***.320.029-**
Verifique as assinaturas em <https://v.ufsc.br>

Eng. João Cláudio Elsen Barcellos
Membro(a)
UFSC

Este trabalho é dedicado aos meus pais, que sempre me apoiaram em todas
escolhas difíceis.

AGRADECIMENTOS

Primeiramente, gostaria de agradecer minha família, em especial meus pais, Carlos e Edina, por sempre me darem o suporte necessário e me impulsionarem, quaisquer que fossem minhas escolhas.

Também gostaria de agradecer à minha namorada, Nathalia, por estar ao meu lado durante todo esse trajeto, compartilhando os momentos importantes que fizeram parte do meu crescimento pessoal e profissional.

Agradeço também aos meus amigos e colegas, em especial Bruno, Caio, João, Luciane, Matheus, Sabrina, Vinicius e Vitória, por deixarem momentos difíceis mais leves.

Por fim, agradeço ao meu orientador, Gabriel, por todo o suporte e orientação, tornando possível a realização desse trabalho de conclusão de curso.

RESUMO

Este trabalho apresenta o projeto e desenvolvimento de uma arquitetura de hardware para um computador de bordo adequado para pequenos satélites, como CubeSats, que operam em órbitas baixas (LEO). O objetivo principal foi desenvolver uma solução que atendesse aos requisitos críticos do ambiente espacial, integrando componentes comerciais (COTS) selecionados conforme diretrizes de herança de voo e normas da ESA e NASA. Para garantir versatilidade, a solução foi baseada em um SoC da família Zynq, que integra um microprocessador e um FPGA, que permite a mudança da funcionalidade de cada pino de entrada e saída. O projeto adota métodos de escolha de componentes e estimativas de potência. Como resultado, obtém-se um esquemático eletrônico baseado em uma arquitetura com interfaces genéricas, apresentando circuitos que possibilitam futuros desenvolvimentos para missões ou estudos específicos em órbita. Conclui-se que o computador de bordo projetado cumpre as exigências de flexibilidade para missões espaciais em pequenos satélites.

Palavra-chave: Computador de Bordo. Satélites. Sistemas Embarcados. COTS.

ABSTRACT

This project presents the design and development of a hardware architecture for an on-board computer suitable for small satellites, such as CubeSats, operating in low Earth orbit (LEO). The main objective was to develop a solution that meets the critical requirements of the space environment, integrating commercial components (COTS) selected according to flight heritage guidelines and ESA and NASA standards. To ensure versatility, the solution was based on a SoC from the Zynq family, which integrates a microprocessor and an FPGA, allowing the functionality of each input and output pin to be changed. The project adopts methods for choosing components and estimating power. The result is a schematic capture based on an architecture with generic interfaces, featuring circuits that enable future developments for specific missions or studies in orbit. It is concluded that the proposed on-board computer meets the requirements of flexibility for space missions on small satellites.

Keywords: On-board Computer. Satellites. Embedded Systems. COTS.

LISTA DE FIGURAS

Figura 1 – Esquema representativo do TID.	18
Figura 2 – Esquema representativo do SEE.	18
Figura 3 – Diagrama de blocos da plataforma FloripaSat-2.	20
Figura 4 – Diagrama de blocos do OBDH Nanomind Z7000.	22
Figura 5 – Diagrama de blocos do OBDH proposto por ZHOU et al., 2018.	23
Figura 6 – Diagrama de blocos do OBDH proposto por PUTRA, 2021.	23
Figura 7 – Diagrama de blocos do OBDH proposto por LOFFLER et al., 2021.	24
Figura 8 – Interface web da NPSL.	25
Figura 9 – Esquema geral de arquitetura.	29
Figura 10 – Comparação entre DDR e SDR.	31
Figura 11 – Sistema de potência proposto.	33
Figura 12 – Arquitetura proposta para o OBDH.	34
Figura 13 – Cascata de potência proposta.	37
Figura 14 – Interferência com ruído conduzido.	38
Figura 15 – Filtro proposto.	38
Figura 16 – Simulação de magnitude e fase em função da frequência para o filtro proposto.	39
Figura 17 – Regulador de tensão de 1 V.	39
Figura 18 – Proteção contra <i>latch-up</i> para a tensão de 1 V.	40
Figura 19 – Circuito de <i>Load switch</i> para a tensão de 1,8 V.	40
Figura 20 – Regulador de tensão de 1,8 V.	41
Figura 21 – Proteção contra <i>latch-up</i> para a tensão de 1,8 V.	41
Figura 22 – Circuito de <i>Load switch</i> para a tensão de 3,3 V do SoC.	42
Figura 23 – Proteção contra <i>latch-up</i> para a tensão de 3,3 V para o SoC.	42
Figura 24 – Regulador de tensão de 1,35 V.	43
Figura 25 – Proteção contra <i>latch-up</i> para a tensão de 1,35 V.	43
Figura 26 – Regulador de tensão de referência e terminação para a memória DDR3L.	44
Figura 27 – Proteção contra <i>latch-up</i> para a tensão de 3,3 V para outros circuitos do OBDH.	44
Figura 28 – Banco de configuração do SoC.	46
Figura 29 – Resistores de <i>pull-up</i> necessários.	46
Figura 30 – Filtro da alimentação analógica do SoC.	47
Figura 31 – Banco MIO do SoC com suas respectivas entradas e saídas.	47
Figura 32 – Modos de inicialização do SoC.	48
Figura 33 – Banco da Memória DDR do PS.	49

Figura 34 – Banco HR do PL.	50
Figura 35 – Banco HP do PL.	51
Figura 36 – Pinos de potência do SoC.	52
Figura 37 – Capacitores de desacoplamento recomendados.	52
Figura 38 – Circuito da memória DDR3L.	53
Figura 39 – Circuito da memória Flash NOR.	53
Figura 40 – Circuito da memória Flash NAND.	54
Figura 41 – Circuito da memória FRAM.	54
Figura 42 – Circuito do WDT.	55
Figura 43 – Circuito do monitor de tensão e temperatura.	55
Figura 44 – Circuito de medição de corrente.	56
Figura 45 – Circuito do magnetômetro.	56
Figura 46 – Circuito do giroscópio.	56
Figura 47 – Interconexão dos blocos propostos.	57
Figura 48 – Placement proposto dos componentes principais em uma PCB.	60

LISTA DE TABELAS

Tabela 1 – Comparação entre os principais modelos comerciais de OBDH disponíveis atualmente no mercado.	21
Tabela 2 – Síntese da tabela apresentada por George e Wilson (2018).	21
Tabela 3 – Requisitos do OBDH da terceira geração do SpaceLab.	26
Tabela 4 – Tabela comparativa de memórias não voláteis.	32
Tabela 5 – Informações sobre os componentes escolhidos.	35
Tabela 6 – Estimativas de potência consumida no pior caso.	36
Tabela 7 – Estimativas de potência consumida no caso típico.	36
Tabela 8 – Descrição funcional dos pinos de configuração.	45
Tabela 9 – Descrição das interfaces disponibilizadas.	48
Tabela 10 – Descrição dos pinos da memória DDR3.	49
Tabela 11 – Descrição dos sinais dos bancos do PL.	51
Tabela 12 – Comparação entre o OBDH proposto e o estado da arte.	59

LISTA DE ABREVIATURAS E SIGLAS

ADC	<i>Analog to Digital Converter</i>
ADCS	<i>Attitude Determination and Control System</i>
CAN	<i>Controller Area Network</i>
COTS	<i>Commercial-off-the-shelf</i>
DDR	<i>Double Data Rate</i>
ECSS	<i>European Cooperation for Space Standardization</i>
EMI	<i>Electromagnetic Interference</i>
ESA	<i>European Space Agency</i>
ESR	<i>Equivalent Series Resistor</i>
FPGA	<i>Field-Programmable Gate Array</i>
HP	<i>High Performance</i>
HR	<i>High Range</i>
I2C	<i>Inter-Integrated Circuit</i>
JTAG	<i>Joint Test Action Group</i>
LEO	<i>Low Earth Orbit</i>
MEO	<i>Medium Earth Orbit</i>
MIO	<i>Multiplexed In-Out</i>
NASA	<i>National Aeronautics and Space Administration</i>
NPSL	<i>NASA Part Selection List</i>
OBDH	<i>On-board Data Handling</i>
PCB	<i>Printed Circuit Board</i>
PL	<i>Programmable Logic</i>
PS	<i>Processing System</i>
QSPI	<i>Quad Serial Peripheral Interface</i>

RTC	<i>Real Time Clock</i>
RTOS	<i>Real Time Operational System</i>
SDR	<i>Single Data Rate</i>
SEE	<i>Single Event Effects</i>
SoC	<i>System-on-a-Chip</i>
SPI	<i>Serial Peripheral Interface</i>
TID	<i>Total Ionizing Dose</i>
UART	<i>Universal Asynchronous Receiver-Transmitter</i>
WDT	<i>Watchdog Timer</i>
XADC	<i>Xilinx Analog to Digital Converter</i>

SUMÁRIO

1	INTRODUÇÃO	15
1.1	OBJETIVO GERAL	16
1.2	OBJETIVOS ESPECÍFICOS	16
2	REVISÃO BIBLIOGRÁFICA	17
2.1	RADIAÇÃO EM LEO E COMPONENTES COTS	17
2.2	PROJETOS ANTERIORES	19
2.2.1	FloripaSat-1	19
2.2.2	FloripaSat-2	19
2.2.3	Projetos Comerciais	20
2.2.4	Projetos Acadêmicos	22
2.3	METODOLOGIA PARA ESCOLHA DE COMPONENTES	24
3	ARQUITETURA	26
3.1	REQUISITOS DE PROJETO	26
3.2	ARQUITETURA PROPOSTA	29
3.2.1	Microcontrolador	30
3.2.2	Memórias	30
3.2.2.1	Memórias voláteis	30
3.2.2.2	Memórias não voláteis	31
3.2.3	Conversores DC-DC	32
3.2.4	Sensores e Periféricos	33
3.3	VISUALIZAÇÃO DA ARQUITETURA PROPOSTA	33
3.3.1	Estimativa de Potência Consumida	35
4	DESENVOLVIMENTO DO PROJETO	37
4.1	CONVERSORES DE POTÊNCIA	37
4.1.1	Filtro de Entrada	37
4.1.2	Cascata de potência	39
4.2	SOC	44
4.2.1	Bloco de Configuração	45
4.2.2	Blocos do PS	47
4.2.3	Blocos do PL	50
4.2.4	Pinos de Potência	51
4.3	MEMÓRIAS	52
4.3.1	DDR3L	53
4.3.2	Flash NOR	53
4.3.3	Flash NAND	54
4.3.4	FRAM	54

4.4	PERIFÉRICOS	54
4.5	CONEXÕES ENTRE BLOCOS	56
5	RESULTADOS	58
6	CONCLUSÃO	61
6.1	TRABALHOS FUTUROS	61
	REFERÊNCIAS	63
	APÊNDICE A – ESQUEMÁTICO COMPLETO	69

1 INTRODUÇÃO

CubeSats são pequenos satélites que atendem a estritas formas de cubos padronizados de 10 cm de aresta, além de pesarem até 2 kg por unidade de cubo. Cada um desses cubos padronizados recebe a denominação de 1U, e os tamanhos subsequentes de 1,5U, 2U, 3U, e assim por diante (CUBESAT Design Specification, 2022). Devido a essa padronização e ao uso de componentes comerciais, os CubeSats podem ser produzidos em massa, o que diminui substancialmente os custos de lançamento e desenvolvimento (CubeSat 101, 2017).

O desenvolvimento de satélites de pequeno porte, como CubeSats e nanosatélites, trouxe novas oportunidades e desafios para a indústria espacial, permitindo que uma ampla gama de missões científicas, comerciais e educacionais fosse realizada com custos reduzidos e prazos de desenvolvimento mais curtos (CUBESAT Design Specification, 2022). No entanto, a miniaturização e a operação em ambientes espaciais impõem requisitos à robustez, confiabilidade e versatilidade dos sistemas embarcados, especialmente para os módulos OBDHs (*On-Board Data Handling*). Nesse contexto, a arquitetura de um computador de bordo eficiente e robusto é essencial para o gerenciamento seguro das operações e para a integridade das missões.

Essa segurança e integridade são pontos chave no desenvolvimento de CubeSats no SpaceLab, laboratório da UFSC especializado em desenvolvimento de sistemas espaciais para a comunidade científica e para a indústria. Um dos objetivos primários do SpaceLab é o desenvolvimento de uma plataforma *open-source*, tanto para *software* quanto *hardware*, o que já foi feito nos desenvolvimentos do FloripaSat-1 (MARCELINO et al., 2020) e FloripaSat-2 (MARCELINO et al., 2024). Com esse paradigma, a oportunidade de se ter um computador de bordo com mais memória, capacidade de processamento e mais versátil surgiu, como uma consequência direta dos desenvolvimentos das gerações anteriores de *hardware* do laboratório.

O sistema desenvolvido para o presente trabalho foca na implementação de uma arquitetura de processamento e memória capaz de atender às demandas de um satélite de pequeno porte. Esse sistema deve operar de maneira confiável em ambientes suscetíveis à radiação e alta variação de temperatura, em conjunto com a otimização do uso de energia. Além disso, a versatilidade do computador de bordo é essencial para adaptar o sistema a diferentes tipos de missões, desde operações de imagem e telemetria até experimentos científicos em órbita. Para isso, é necessário que o sistema ofereça uma arquitetura versátil, baseada em uma FPGA (*Field-Programmable Gate Array*), com capacidade de expansão e adaptação a novos sensores e módulos de comunicação.

Inicialmente, será feita uma revisão bibliográfica, explorando as características

de computadores de bordo comerciais e de trabalhos acadêmicos, além de entender como a radiação em órbita baixa afeta os sistemas eletrônicos. Depois disso, será definida uma arquitetura, respeitando os requisitos impostos, em conjunto com uma estimativa de consumo de potência. Com a arquitetura, será desenvolvido um esquemático, usando o software Altium Designer (versão 24.4.1). Por fim, serão apresentados os resultados obtidos e as considerações finais e conclusões para esse projeto.

1.1 OBJETIVO GERAL

O presente trabalho tem como objetivo realizar um estudo e fornecer o suporte necessário para o projeto e implementação de uma arquitetura de hardware robusta e versátil para um computador de bordo de um satélite de pequeno porte, integrando diferentes tipos de memórias e periféricos para assegurar a operação confiável em ambientes espaciais adversos, garantindo a integridade dos dados e a eficiência no gerenciamento dos mesmos.

1.2 OBJETIVOS ESPECÍFICOS

- Analisar os requisitos de robustez em condições espaciais, com foco em tolerância a falhas e estabilidade térmica, a fim de inferir o melhor funcionamento contínuo possível do computador de bordo em órbita.
- Especificar uma arquitetura de hardware que permita a adaptação a diferentes tipos de missões, integrando diferentes tipos de componentes comerciais com um SoC (*System-on-a-Chip*).
- Documentar as decisões de projeto para consolidar um guia técnico com recomendações de design para sistemas versáteis aplicáveis a satélites de pequeno porte, contribuindo para futuras otimizações e adaptações em missões espaciais.

2 REVISÃO BIBLIOGRÁFICA

Para atingir o objetivo de projetar o *hardware* de um computador de bordo, foi preciso buscar na literatura acadêmica o estado da arte que tange o projeto de OBDHs para satélites de pequeno porte, especialmente para CubeSats.

No primeiro tópico, será apresentado um breve estudo sobre a radiação em LEO (*Low Earth Orbit*, órbitas com raio menor que 1000 km, segundo ESA, 2024), para entender os possíveis efeitos em componentes eletrônicos do CubeSat, baseando-se em diferentes autores. Dessa forma, buscaram-se formas de mitigar os efeitos mais conhecidos e verificar como os projetos têm lidado com componentes do tipo *Commercial-Off-The-Shelf* (COTS).

Depois disso, serão analisadas diversas placas de computadores de bordo desenvolvidos pela indústria e pela academia, a fim de compreender o estado da arte. Aqui, destacam-se as placas de OBDH dos projetos do FloripaSat-1 e FloripaSat-2, desenvolvidos pelo SpaceLab da UFSC, precursores principais do OBDH a ser desenvolvido nesse trabalho, bem como o Nanomind Z7000, projetado e fabricado pela GomSpace, utilizando um SoC como processador. Um panorama geral será feito, verificando-se principalmente os componentes principais e mais críticos, ou seja, processadores, memórias e outros periféricos.

Por fim, será explicitada a metodologia escolhida para a seleção dos componentes do OBDH projetado, de acordo com o estado da arte e com diretrizes e normas relevantes. Essa explicitação será crucial para que os componentes COTS sejam os melhores possíveis nos quesitos de temperatura e tolerância a falhas.

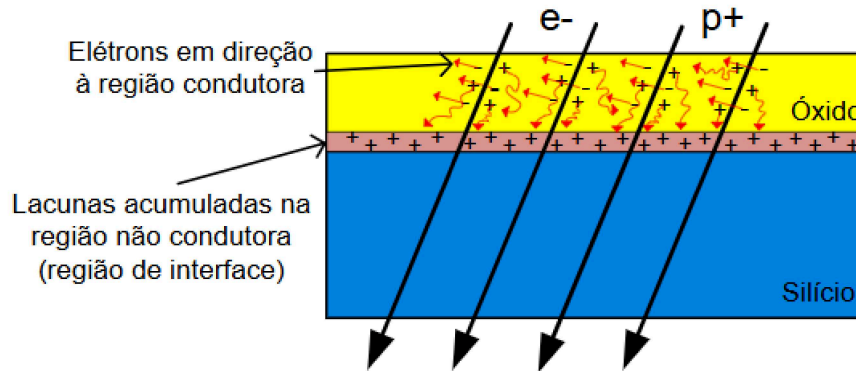
2.1 RADIAÇÃO EM LEO E COMPONENTES COTS

Estando em solo terrestre, os componentes eletrônicos estão bem protegidos contra a maior parte da radiação incidente do universo, sejam elas raios cósmicos, partículas solares ou *trapped radiation*. No caso dos satélites orbitais, a proteção atmosférica é nula, mesmo para aqueles que operam em LEO. Nesse caso, a radiação pode ser suficientemente significativa para causar a mudança do comportamento eletromagnético dos materiais, causando efeitos como falhas, aquisição ou execução errada de comandos e distorções dos sinais (MAYANBARI, 2011) (LABEL, 2004). Esses danos são divididos em dois grupos (JUNQUEIRA, 2020): os acumulativos como o TID (*Total Ionizing Dose*), e os SEE (*Single Event Effects*), que indicam o acontecimento de eventos únicos.

O TID (Figura 1), segundo Junqueira (2020), se caracteriza principalmente pela formação de pares elétron-lacuna, onde o primeiro aumenta a condutividade do

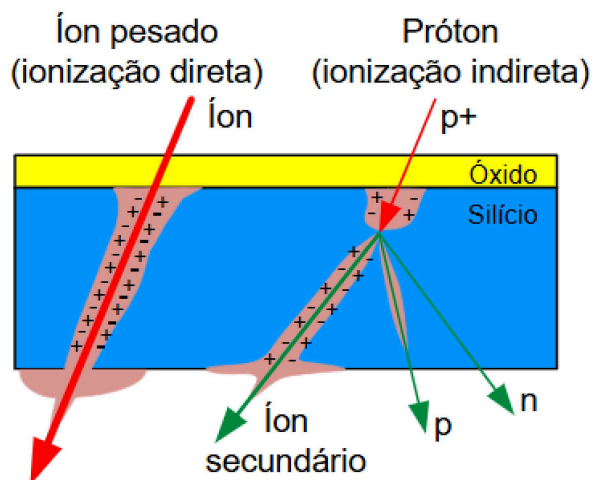
material e o segundo contribui para oxidação, mudando as características elétricas do componente com o tempo. Já os SEE (Figura 2) ocorrem quando um íon atravessa um componente crítico, gerando uma linha de ionização que pode ou não ser destrutiva.

Figura 1 – Esquema representativo do TID.



Fonte: JUNQUEIRA, 2020.

Figura 2 – Esquema representativo do SEE.



Fonte: JUNQUEIRA, 2020.

Especialmente nesse trabalho, o efeito denominado SEL (*Single Event Latch-up*) tem seu destaque. Por ser um tipo de SEE, ocorre após uma partícula carregada atravessar e atingir o substrato do circuito integrado, gerando correntes parasitas que podem ser superiores ao valor máximo suportado pelo componente (JUNQUEIRA, 2020). Proteger os barramentos de alimentação contra esse efeito será crucial para a arquitetura proposta nesse trabalho.

Por esse motivo, quando são escolhidos os componentes críticos para o *hardware* de um *CubeSat*, em sua maioria COTS, deve-se levar em consideração algumas

diretrizes principais. Segundo Carmo et al. (2021), o componente escolhido precisa atender os requisitos operacionais, concomitante ao gerenciamento de riscos com mitigações (uso de FRAM, proteção contra *latch-up*, entre outros) e blindagens (uso de *shields* de metal).

Outro aspecto da seleção de componentes será explorado na seção a seguir, avaliando os OBDHs comerciais e da academia, explorando a característica de herança de voo.

2.2 PROJETOS ANTERIORES

2.2.1 FloripaSat-1

O FloripaSat-1 (MARCELINO et al., 2020) é uma plataforma *open-source* para nanossatélites, além de ser também o nome do primeiro satélite inteiramente desenvolvido e lançado pelo SpaceLab. O satélite FloripaSat-1 é um CubeSat 1U, composto de três módulos: um módulo de fornecimento de potência (EPS), um computador de bordo (OBDH) e um módulo de telemetria e comunicação (TTC). Além disso, possuía duas cargas úteis que consistiam de placas com FPGAs. A missão tinha como objetivos a validação do satélite em órbita dos módulos desenvolvidos na UFSC e de um módulo com um FPGA tolerante a radiação.

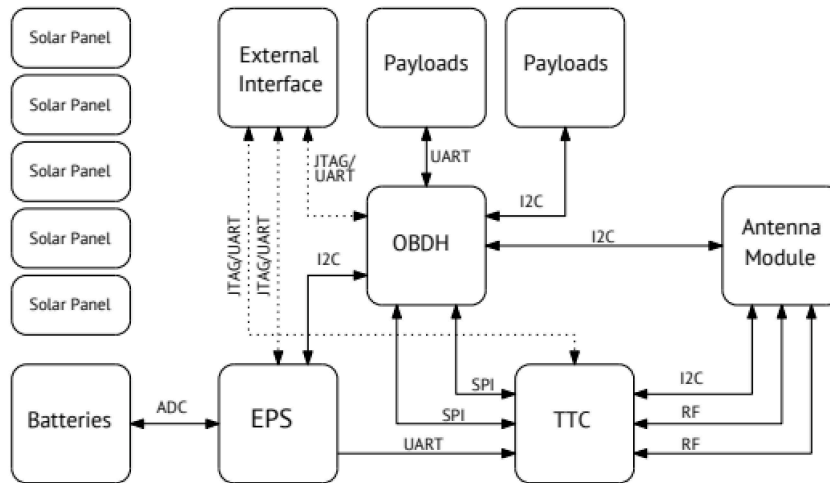
Seu OBDH foi feito para realização da interface e comunicação entre os módulos e *payloads*. Aqui, destacam-se os sensores presentes: uma *Inertial Measurement Unit* (com giroscópio, magnetômetro e acelerômetro), a interface com os sensores dos painéis solares e as medições de tensão e corrente de entrada do próprio módulo.

Além disso, contava com um microprocessador de 16 bits (MSP430), memórias flash (IS25LP128) e suporte para cartão microSD para armazenamento.

2.2.2 FloripaSat-2

O FloripaSat-2 é a segunda geração da plataforma *open-source* desenvolvida pelo SpaceLab, baseando-se no projeto FloripaSat-1 e trazendo melhorias para os três módulos principais (MARCELINO et al., 2024). O diagrama de blocos do CubeSat proposto está disposto na Figura 3, onde pode-se verificar as interfaces do OBDH com o restante do módulo.

Figura 3 – Diagrama de blocos da plataforma FloripaSat-2.



Fonte: MARCELINO et al., 2024.

Especificamente para o OBDH, foram introduzidas uma memória FRAM (*Ferroelectric Random-Access Memory*) e uma Flash NOR de maior capacidade de armazenamento, o que mostra uma melhoria clara de capacidade e confiabilidade. Outras duas melhorias importantes foram, primeiramente, a adição de um conector para eventualmente conectar uma *daughter board* à placa, e, secundamente, a adição de *buffers* aos barramentos de I2C (*Inter-Integrated Circuit*) entre os módulos. Isso acrescenta flexibilidade e confiabilidade ao OBDH da segunda geração. Esse projeto será utilizado nas missões GOLDS-UFSC, Catarina-A1 e A3 e Aldebaran-1, que ainda não foram lançadas.

2.2.3 Projetos Comerciais

Abaixo se encontram sintetizados os projetos comerciais estudados, para obtenção de noções sobre a arquitetura e componentes usados. Foram verificados principalmente os processadores, as memórias voláteis e não-voláteis, as interfaces de comunicação e outros periféricos (ADCs, RTC, etc.) utilizados. A Tabela 1 mostra a pesquisa realizada sobre o estado da arte, em conjunto com os dados de George e Wilson (2018), sintetizados na Tabela 2.

Tabela 1 – Comparação entre os principais modelos comerciais de OBDH disponíveis atualmente no mercado.

Fabricante	Nome do Produto	Processador	Memórias	Periféricos	Interfaces de comunicação
GomSpace	NanoMind A3200	AT32UC3C	Flash, SDRAM, FRAM	Giroscópio, Magnetômetro, Transceivers, Sensores de temperatura	CAN, I2C, SPI, JTAG, USART
GomSpace	NanoMind HPMK3	Zynq 7030	Flash, eMMC, DDR3	Watchdog, Sensores de temperatura, VCO, Sensores de tensão e corrente	CAN, USART, USB, I2C, JTAG, LVDS, SpaceWire
ISIS Space	ISIS On Board Computer	Atmel	Flash, SDRAM, FRAM, Cartões SD	Sensores de temperatura, Sensores de tensão e corrente, RTC, ADC	USART, USB, I2C, JTAG, PWM
Nano Avionics	SatBus 3C2	Não informado	Flash, FRAM, Cartões SD	Giroscópio, Magnetômetro, Rádio UHF, ADC	CAN, SPI, I2C, USART, PWM, USB
AAC Clyde Space	Kryten-M3	Smart Fusion 2 SoC	MRAM, eNVM	RTC, Sensores de tensão e corrente	CAN, SPI, I2C, USART, RS422, LVDS

Fonte: Elaboração própria.

Tabela 2 – Síntese da tabela apresentada por George e Wilson (2018).

Fabricante	Processadores	Missões por Fabricante
Xilinx	Zynq 7020, Zynq 7030, Zynq 7045, Ultrascale+, etc.	24
Atmel + Microchip	ATmega329P, AT91SAM9G20, PIC24F, etc.	22
Texas Instruments	MSP430, OMAP3530, Sitara AM3703, etc.	15
Cobham Gaisler	GR712RC, UT699, LEON3FT	8

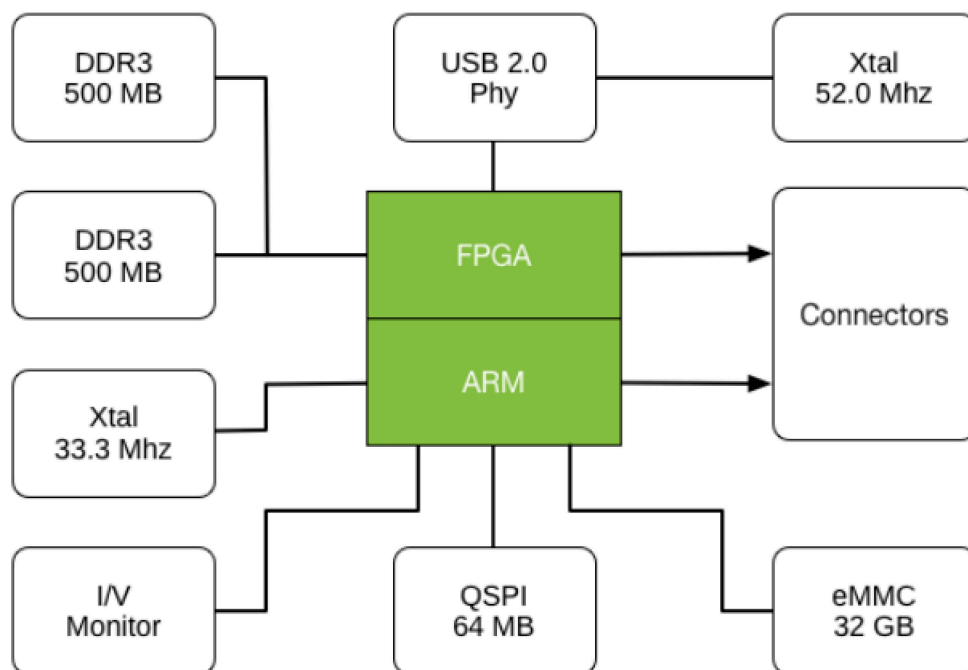
Fonte: Elaboração própria com base em George e Wilson, 2018, página 463.

Comparando ambas tabelas, é possível verificar que a maioria dos proces-

sadores apresentados, no contexto explorado por (GEORGE E WILSON, 2018), são de duas fabricantes: Xilinx (especialmente *chips* da família Zynq 7000) e Microchip (incluindo Atmel). Além disso, a maior parte dos projetos comerciais vistos apresentam memórias FRAM, que possuem um número máximo de ciclos de leitura e escrita muito elevada, além de memórias Flash. Outro destaque foi a presença de sensores de tensão e corrente, bem como magnetômetros e giroscópios.

Além disso, projetos como o OBDH Nanomind Z7000 (GomSpace Nanomind Z7000 Datasheet, 2019) demonstraram sua efetividade em diversas missões, como FSSCAT (CAMPS et al., 2018), ORCA (BARLES et al., 2022) e CubeMAP (WEIDMANN et al., 2020), o que mostra a confiabilidade e herança de voo de *hardwares* contendo SoCs (*System-on-a-Chip*) da família Zynq 7000. Na Figura 4, podemos verificar o diagrama de blocos do anteriormente citado Nanomind Z7000.

Figura 4 – Diagrama de blocos do OBDH Nanomind Z7000.



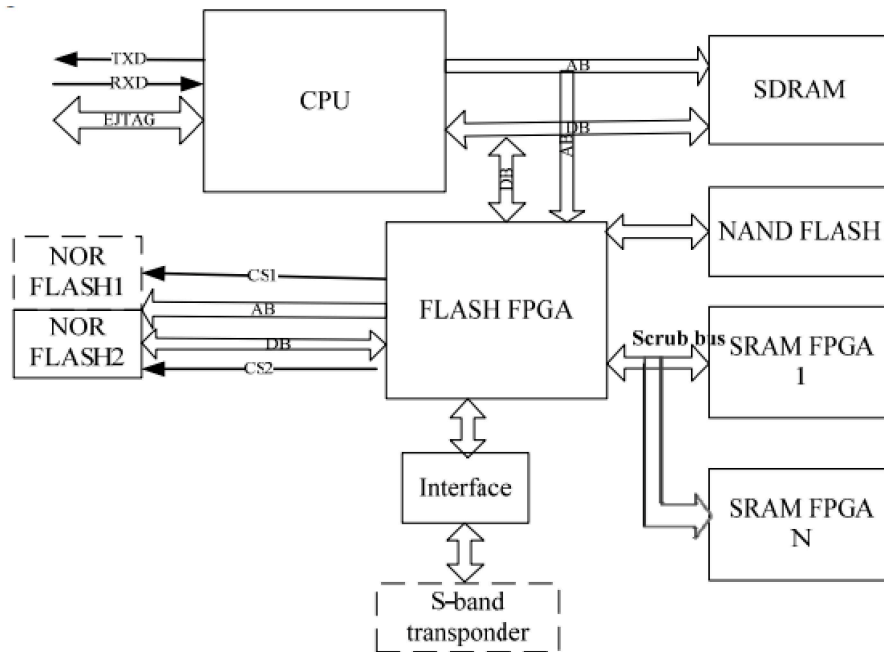
Fonte: GomSpace Nanomind Z7000 Datasheet, 2019.

2.2.4 Projetos Acadêmicos

Outro ponto são os OBDHs propostos em publicações acadêmicas. Serão estudados quatro casos de design de OBDH, ainda no contexto de nanossatélites.

No primeiro caso, o OBDH foi feito para ser compacto e reconfigurável, como o projeto proposto nesse trabalho. O sistema foi pensado para conter um processador, SDRAMs, uma Flash NOR, uma Flash NAND, uma FPGA e algumas interfaces externas (ZHOU et al., 2018). O diagrama de blocos do OBDH proposto pelos autores está disposto na Figura 5.

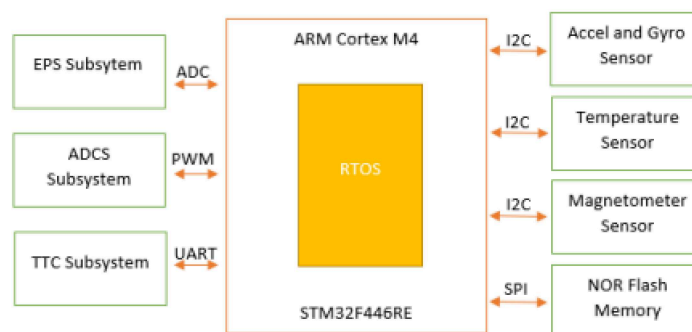
Figura 5 – Diagrama de blocos do OBDH proposto por ZHOU et al., 2018.



Fonte: ZHOU et al., 2018.

Na segunda publicação estudada, o OBDH é parte de um sistema que implementa um sistema operacional em tempo real (RTOS), outro objetivo desse trabalho. Nesse caso, o OBDH é capaz de verificar telecomandos, sincronizar sistemas, reportar eventos e monitorar parâmetros (PUTRA, 2021). Seu diagrama de blocos do *hardware* está disposto na Figura 6.

Figura 6 – Diagrama de blocos do OBDH proposto por PUTRA, 2021.

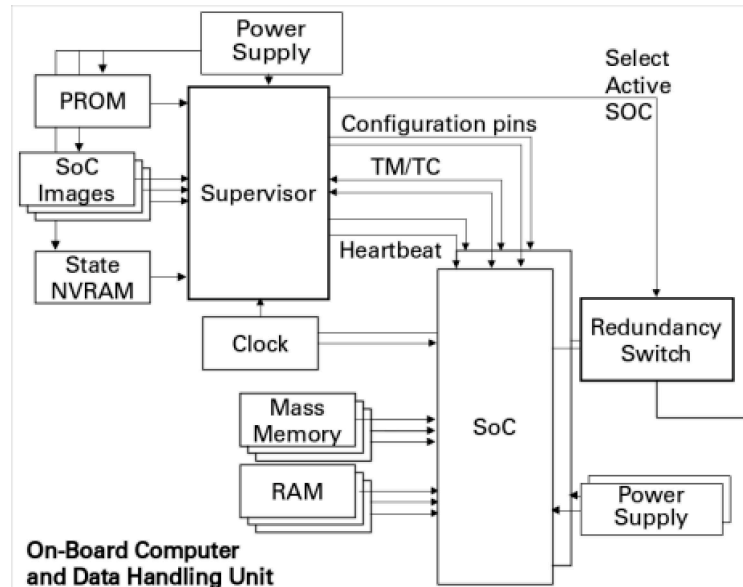


Fonte: PUTRA, 2021.

No terceiro caso, a missão incluía a pesquisa e observação em órbita média (MEO), ou seja, em condições mais críticas do que o propósito do OBDH projetado nesse trabalho. Mesmo assim, as noções da arquitetura proposta são muito parecidas com o estado da arte para LEO, usando inclusive um SoC da família Zynq 7000 (LOF-

FLER, 2021). O diagrama de blocos do OBDH proposto nesse trabalho está disposto na Figura 7.

Figura 7 – Diagrama de blocos do OBDH proposto por LOFFLER et al., 2021.



Fonte: LOFFLER et al., 2021.

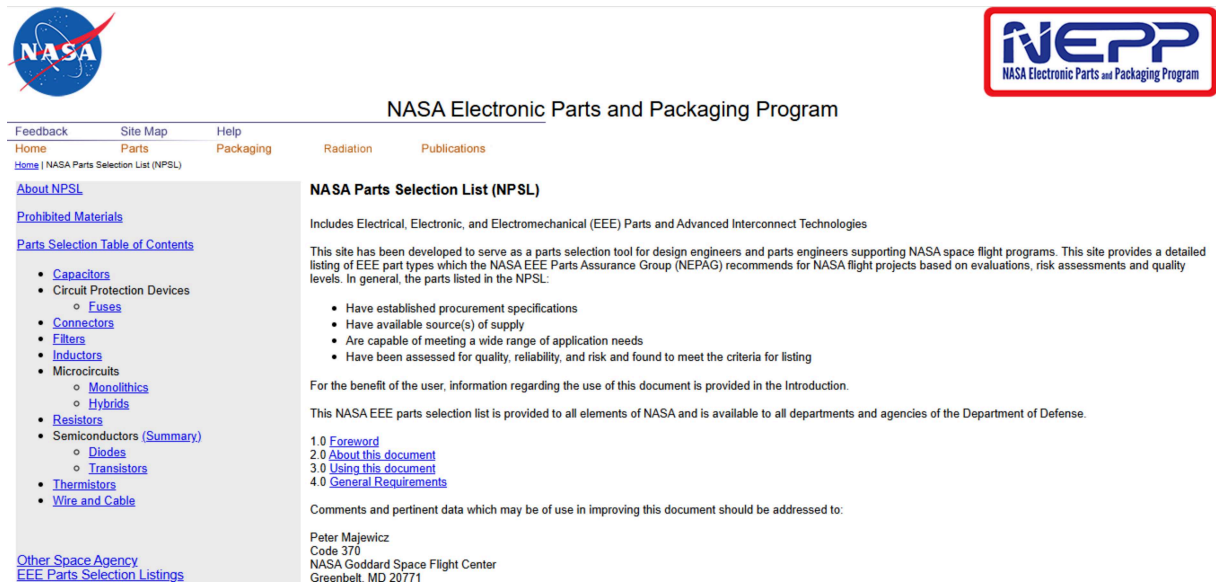
Nos três casos existem semelhanças na arquitetura, incluindo memórias usadas e interfaces de comunicação. Com isso, juntamente com o estudo dos projetos FloripaSat-1 e FloripaSat-2 e projetos comerciais, tem-se uma ampla gama de recursos a serem utilizados no critério de herança de voo para a escolha dos componentes.

2.3 METODOLOGIA PARA ESCOLHA DE COMPONENTES

Por fim, após estudar brevemente os efeitos da radiação em componentes COTS, é possível inferir uma forma de escolha dos mesmos para impactar positivamente na resistência do módulo à radiação. Por meio das diretrizes da ESA (*European Space Agency*) e da NASA (*National Aeronautics and Space Administration*), que já testaram componentes para os contextos de radiação em LEO, principalmente componentes passivos como capacitores e resistores, é possível fazer escolhas mais conscientes. As normas principais são a ECSS-Q-ST-60C para a ESA e da lista NPSL (*NASA Part Selection List*) para a NASA.

A NPSL (Figura 8), foi desenvolvida a fim de indicar justamente os componentes eletrônicos recomendados pela NASA. Nessa lista, se encontram componentes discretos, bem como circuitos integrados, assegurando que os mesmos foram testados em qualidade, confiabilidade e risco.

Figura 8 – Interface web da NPSL.



NASA Electronic Parts and Packaging Program

NASA Parts Selection List (NPSL)

Includes Electrical, Electronic, and Electromechanical (EEE) Parts and Advanced Interconnect Technologies

This site has been developed to serve as a parts selection tool for design engineers and parts engineers supporting NASA space flight programs. This site provides a detailed listing of EEE part types which the NASA EEE Parts Assurance Group (NEPAG) recommends for NASA flight projects based on evaluations, risk assessments and quality levels. In general, the parts listed in the NPSL:

- Have established procurement specifications
- Have available source(s) of supply
- Are capable of meeting a wide range of application needs
- Have been assessed for quality, reliability, and risk and found to meet the criteria for listing

For the benefit of the user, information regarding the use of this document is provided in the Introduction.

This NASA EEE parts selection list is provided to all elements of NASA and is available to all departments and agencies of the Department of Defense.

1.0 [Foreword](#)
 2.0 [About this document](#)
 3.0 [Using this document](#)
 4.0 [General Requirements](#)

Comments and pertinent data which may be of use in improving this document should be addressed to:

Peter Majewicz
 Code 370
 NASA Goddard Space Flight Center
 Greenbelt, MD 20771

Fonte: NASA, 2016.

No caso da ECSS-Q-ST-60C, há uma organização dos componentes em classes, balanceando níveis de risco e confiabilidade. Essa norma indica, de forma geral, os requisitos de seleção e uso de componentes para projetos espaciais da ESA, o que será crucial para realização desse trabalho.

Além disso, ao entender o estado da arte dos OBDHs projetados para nanossatélites, pode-se também escolher componentes por meio da herança de voo, ou seja, escolhendo componentes que já estiveram em missões semelhantes ou mais críticas.

Por fim, em alguns casos de circuitos mais complexos, os requisitos impedem que se tenha herança de voo ou que os componentes estejam presentes em uma base de dados da NASA ou da ESA. Nesse caso, será seguido cada recomendação do fabricante do circuito integrado crítico (como um SoC ou uma memória).

Com isso, é possível começar a projetar o *hardware* do OBDH, utilizando as diretrizes citadas e as heranças de voo, tomando como base os projetos citados, escolhendo os componentes e respeitando os requisitos impostos.

3 ARQUITETURA

Após estudar os desdobramentos dos efeitos de órbita baixa e entender o que é necessário para se realizar um projeto confiável de computador de bordo de um nanossatélite através de projetos anteriores, foi necessária a compreensão dos requisitos de projeto. Com isso, foram escolhidos os componentes principais da placa, propondo-se uma arquitetura para o sistema para um *hardware* confiável, robusto e versátil.

3.1 REQUISITOS DE PROJETO

Como dito, foi preciso entender os requisitos impostos para o OBDH da terceira geração do SpaceLab. Com base nas necessidades levantadas para o laboratório nos próximos projetos e na revisão do estado da arte, são apresentados na Tabela 3 os requisitos gerais do projeto, em conjunto com a *rationale* e com o método de verificação (NASA Product Verification, 2024). Outro ponto importante a ser considerado seriam as revisões de projeto, que não foram consideradas nesse trabalho.

Tabela 3 – Requisitos do OBDH da terceira geração do SpaceLab.

Índice	Descrição	Rationale	Método de Verificação
1	O módulo OBDH deve ser compatível com o padrão CubeSat	Assegura compatibilidade com outros satélites desenvolvidos no SpaceLab	Inspeção
2	O módulo OBDH deve operar corretamente entre -40°C e 85°C	Para operar com segurança em um ambiente LEO	Teste e Análise
3	O módulo OBDH deve possuir um processador capaz de usar um sistema RTOS	Para gerenciar e coordenar operações dentro e fora do módulo, sendo capaz de realizar tarefas complexas definidas pela equipe	Inspeção

4	O módulo OBDH deve possuir uma memória DDR com capacidade de 512Mb (preferencialmente com ECC)	Memória suficiente para operações do OBDH e armazenamento de dados	Inspeção
5	O módulo OBDH deve possuir uma memória FRAM para armazenar parâmetros de configuração	Provê memória não-volátil e duradoura, menos suscetível à radiação	Inspeção
6	O módulo OBDH deve possuir uma memória Flash para armazenar dados do satélite (preferencialmente com ECC)	Para armazenar dados	Inspeção
7	O módulo OBDH deve possuir um WDT (<i>Watchdog Timer</i>) para reiniciar o processador em caso de falha de <i>software</i>	Reinicia automaticamente o processador caso haja a falha	Teste
8	O módulo OBDH deve possuir sensores de medição de tensão e corrente em seus barramentos de alimentação	Para monitoramento de potência consumida	Inspeção
9	O módulo OBDH deve possuir proteção de sobrecorrente (20% acima do valor nominal)	Para proteção contra <i>latch-up</i>	Análise

10	O módulo OBDH deve possuir um giroscópio para medição de velocidade angular	Para permitir controle de atitude ativo do satélite	Inspeção
11	O módulo OBDH deve possuir um magnetômetro	Para permitir controle de atitude ativo do satélite	Inspeção
12	O módulo OBDH deve possuir uma interface RS-422 para transmissão de mensagens de <i>debug/log</i> e receber parâmetros de configuração	Comunicação de longa distância com maior imunidade ao ruído e maior taxa de dados	Teste
13	O módulo OBDH deve possuir uma interface CAN para receber e transmitir comandos e dados	Para comunicação robusta e com suporte a múltiplos subsistemas do CubeSat	Inspeção
14	O módulo OBDH deve possuir uma interface acessível externamente para programação do microcontrolador	Para o módulo ser facilmente programado pelo time	Inspeção
15	O módulo OBDH deve possuir uma interface para um barramento de expansão	Para prover suporte a outras interfaces e periféricos	Inspeção
16	O módulo OBDH deve possuir um sensor de temperatura com precisão menor ou igual a 1 °C	Para monitorar a temperatura de operação	Inspeção

17	O módulo OBDH Para comunicação	Inspeção	
	deve possuir uma in-	robusta e com su-	
	terface RS-485 para	porte a múltiplos	
	receber e transmitir	subsistemas do	
	comandos e dados	CubeSat	

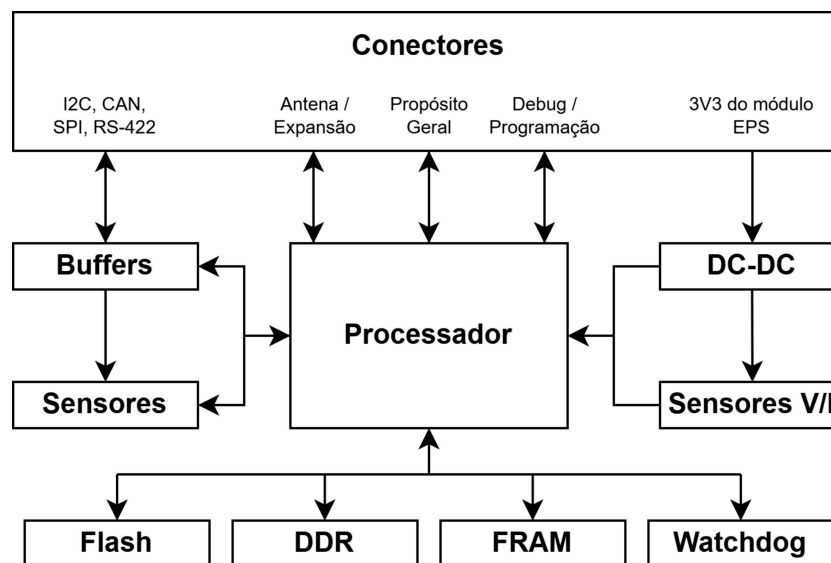
Fonte: Elaboração própria.

Com as definições apresentadas na Tabela 3, foi então necessária a definição da arquitetura do hardware, ou seja, os componentes e sua interconexões, bem como as interfaces de comunicação e saídas necessárias.

3.2 ARQUITETURA PROPOSTA

A partir dos requisitos, o primeiro passo foi definir de forma geral como seria o funcionamento do *hardware* do projeto. Na Figura 9, pode-se verificar um esquema inicial de proposta de arquitetura, usando os pontos descritos anteriormente.

Figura 9 – Esquema geral de arquitetura.



Fonte: Elaboração própria.

Como podemos verificar, o processador será crucial e deverá ter pinos suficientes para interface com todas as memórias, sensores e para se comunicar com os outros módulos do CubeSat. Além disso, a parte dos circuitos dedicados aos barramentos de alimentação deverá ser cuidadosamente estudada, para que seja corretamente dimensionado de acordo com o consumo de potência estimado. A escolha de cada componente será descrita nas seções a seguir, respeitando sempre os seguintes critérios:

- O componente deve funcionar corretamente nas temperaturas entre -40°C e 85°C ;
- Circuitos integrados devem possuir herança de voo sempre que possível;
- Caso o circuito integrado necessite de um circuito específico, o mesmo deve conter itens preferencialmente dispostos na ECSS-Q-ST-60C, na NPSL ou similar aos mesmos, especialmente componentes discretos (capacitores, resistores, indutores, diodos, transistores, entre outros);

3.2.1 Microcontrolador

Como visto na Tabela 2, a fabricante com maior herança de voo estudada é a Xilinx, em especial os chips da família Zynq 7000, que são SoCs. Após um estudo próprio, o SoC Zynq 7030 se mostrou mais adequado pelas seguintes características:

- Foi usado em missões extensivas em pequenos satélites (GomSpace, 2024), ou seja, possui herança de voo em missões similares em LEO e em CubeSats;
- Possui um envelopamento com 484 pinos, suficiente para prover as conexões necessárias para todas as interfaces requeridas (UG865, 2021);
- Capaz de rodar um sistema operacional Linux (KADI et al., 2013) e outros RTOS;
- Por ser um SoC, possui alta adaptabilidade e flexibilidade, disponibilizando no mesmo chip uma FPGA e um microprocessador, denominados respectivamente de PL (*Programmable Logic*) e PS (*Processing System*);

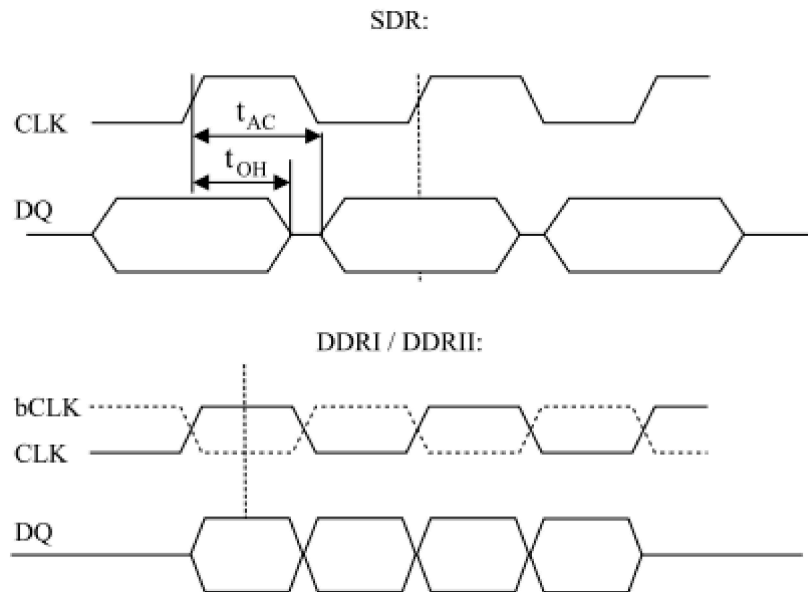
3.2.2 Memórias

As memórias serão necessárias para realizar operações, armazenar dados externos e internos e armazenar parâmetros de configuração do OBDH e de outros subsistemas do CubeSat. Para cada uma dessas funções uma memória diferente é necessária, seguindo suas características principais, sendo elas: tempo de acesso, tamanho do armazenamento e volatilidade.

3.2.2.1 Memórias voláteis

Partindo dos requisitos de projeto, bem como do esforço de se obter um *hardware* capaz de rodar um sistema Linux ou RTOS, a principal opção se tornou as memórias do tipo DDR (*Double Data Rate*), que utilizam ambas a borda de subida e de descida para transferência de dados para atingir o dobro de largura de banda de uma memória com SDR (*Single Data Rate*) para uma mesma frequência de relógio (JEDEC, 2008). Essa relação pode ser ilustrada pela Figura 10, onde pode-se verificar a transferência de dados do sinal DQ em relação ao sinal de relógio (bCLK e CLK) para SDR e DDR.

Figura 10 – Comparação entre DDR e SDR.



Fonte: KLEHN E BROX, 2003.

Por essa razão, bem como pelo fato de que para rodar um sistema operacional complexo existam requisitos de memória RAM, foi escolhida uma memória do tipo DDR3, com capacidade de 2Gb (256 MB) e frequência de operação de 800 MHz.

3.2.2.2 Memórias não voláteis

No caso das memórias não voláteis, é necessária uma atenção especial ao tipo de dado que será armazenado em cada uma delas. Para o caso de dados críticos, é preciso de uma memória que possua alta resistência aos efeitos da radiação, mantendo-se um compromisso com os tempos de escrita e leitura. Por sua vez, para dados de inicialização são mais críticos os tempos de leitura, enquanto para uma memória de dados mais gerais, o importante é o armazenamento total. Por meio desses critérios, foi possível avaliar, por meio da Tabela 4, o tipo de memória ideal para cada caso, considerando o número máximo de ciclos de leitura e escrita de cada tipo de memória.

Tabela 4 – Tabela comparativa de memórias não voláteis.

Memória	Tempo de leitura/escrita	Tolerância à radiação	Armazenamento máximo	Ciclos de escrita / apagamento
Flash NOR	~ 1 μ s	Ruim	~ 1 Gb	10 ⁵
Flash NAND	~ 100 μ s	Ruim	~ 1 Tb	10 ⁵
FRAM	~ 50 ns	Boa	~ 1 Mb	10 ¹⁵

Fonte: Elaboração própria com base em (GERARDIN E PACCAGNELLA, 2010) e (BOUKHOBZA E OLIVIER, 2017).

Com isso, foi então escolhida uma FRAM para armazenar dados críticos, uma Flash NAND para armazenamento de dados gerais e uma Flash NOR para armazenar o boot do sistema operacional no SoC.

3.2.3 Conversores DC-DC

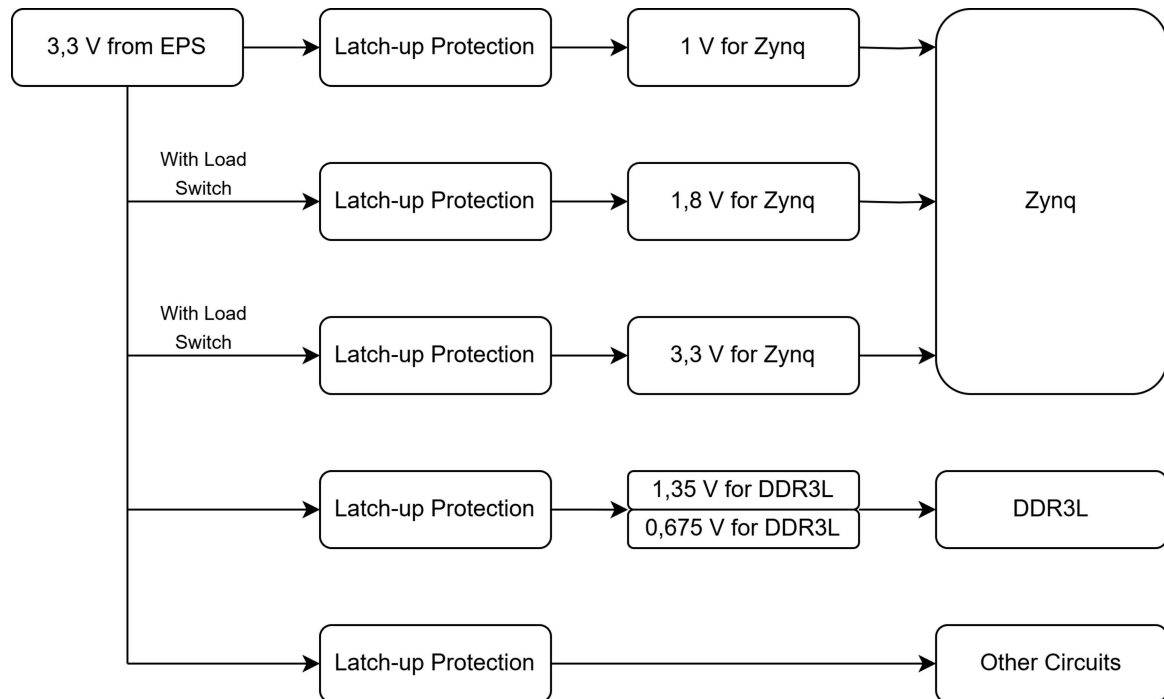
Nos sistemas CubeSat do SpaceLab da UFSC, o módulo responsável pelo fornecimento de potência é o chamado EPS (MARCELINO, 2024). A partir disso, partindo do pressuposto que haverá uma tensão fornecida de 3,3 V, pode-se inferir a cascata dos barramentos de alimentação a partir do mesmo. Para o caso do Zynq e da memória DDR3, circuitos integrados são necessários para gerar as seguintes tensões:

- Zynq: 1 V e 1,8 V;
- DDR3L: 1,35 V e 0,675 V.

Todos os demais periféricos devem aceitar uma tensão de alimentação de 3,3 V. Outro ponto importante são os circuitos de proteção contra *latch-up*, um efeito similar a um curto-circuito na trilha de alimentação de circuitos CMOS (AN-600, 1989). Essa proteção é essencial, pois ao ocorrer, gera um consumo elevado de corrente e conseqüentemente tem potencial de gerar efeitos e falhas catastróficas (ECSS, 2018). No caso desse projeto, será utilizado o LTC4361, anteriormente usado em outras PCBs do SpaceLab, como o Payload HARSH (MATTOS, 2020).

Na Figura 11, está esquematizado o sistema de potência proposto.

Figura 11 – Sistema de potência proposto.



Fonte: Elaboração própria.

3.2.4 Sensores e Periféricos

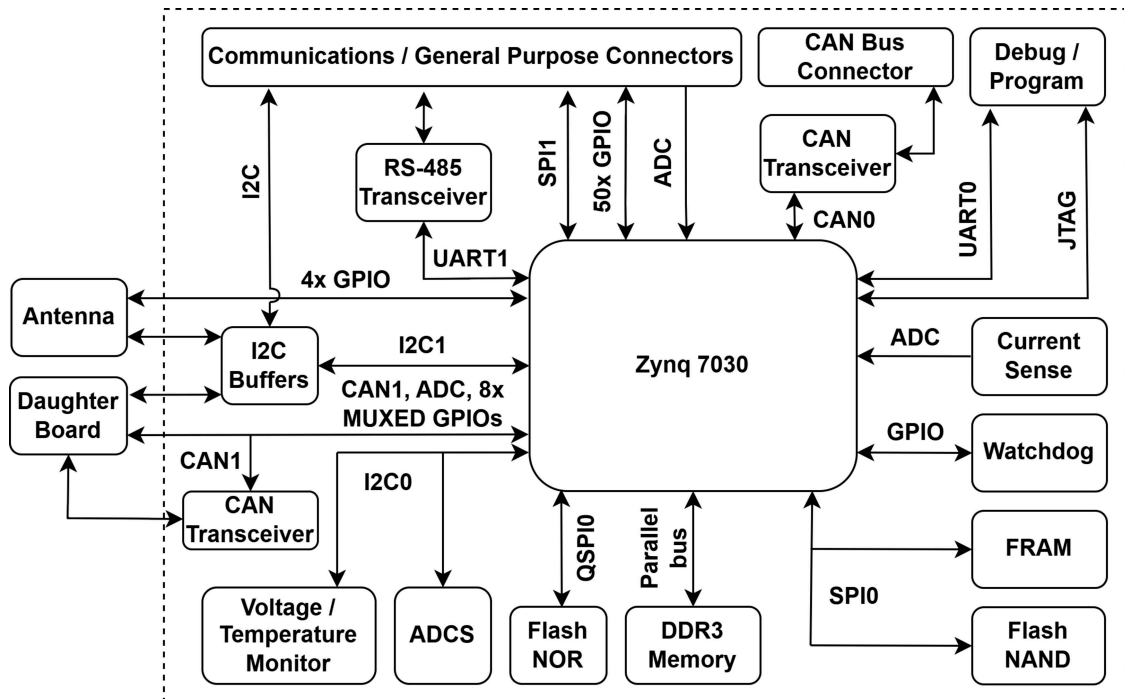
Como dito nos requisitos, alguns sensores precisam estar presentes no OBDH. Entre eles:

- Um monitor de tensão, para todas os barramentos de alimentação importantes do sistema;
- Um sensor de corrente para o barramento de alimentação principal do módulo;
- Um giroscópio para medir a velocidade angular em órbita;
- Um magnetômetro para medição do campo magnético da Terra em órbita;
- Um WDT para reiniciar o sistema em caso de falha de software;
- Um sensor de temperatura para o SoC e um para a região das memórias na PCB;

3.3 VISUALIZAÇÃO DA ARQUITETURA PROPOSTA

Depois das decisões tomadas, foi possível montar um diagrama, apresentado na Figura 12, que mostra cada circuito do computador de bordo. Aqui, por simplicidade, foram suprimidos os circuitos da parte de potência do módulo.

Figura 12 – Arquitetura proposta para o OBDH.



Fonte: Elaboração própria.

Também foram levadas em consideração as interfaces disponibilizadas pelo SoC, os componentes escolhidos e os conectores necessários. Os componentes escolhidos se encontram na Tabela 5, conjuntamente com as interfaces requeridas para cada um, suas tensões de alimentação e suas correntes máximas no terminal de alimentação, no pior caso especificado pelo fabricante.

Tabela 5 – Informações sobre os componentes escolhidos.

Componente	Número do Fabricante	Interface	Tensão de Alimentação	Corrente máxima
FRAM	CY15B104QN-50SXI	SPI	3,3 V	3,7 mA
Flash NOR	MT25QL128ABB1ESE-0AUT	QSPI	3,3 V	35 mA
Flash NAND	MT29F1G01ABAFDSF-AAT:F	SPI	3,3 V	55 mA
DDR3L	MT41K256M8DA-125:K	Paralela	1,35 V	182 mA
WDT	TPS3823-33QDBVRQ1	-	3,3 V	10 mA
Monitor de Temperatura e Tensão	LTC2991IMS#TRPBF	I2C	3,3 V	1,5 mA
Sensor de Corrente	INA180A2IDBVR	-	3,3 V	1 mA
Giroscópio	A3G4250D	I2C	3,3 V	7 mA
Magnetômetro	MMC5983MA	I2C	3,3 V	0,45 mA
Buffer I2C	TCA4311ADR	I2C	3,3 V	7 mA
Transceptor CAN	TCAN330D	CAN	3,3 V	60 mA
Transceptor RS-485	THVD1451DR	Serial	3,3 V	3 mA
Conversor DC-DC	TPS82085SILR	-	3,3 V	-
Conversor DC-DC para DDR3	TPS51200DRCR	-	3,3 V	1 mA
Load Switch	TPS22920YZPR	-	3,3 V	0,2 mA
Proteção contra Latch-up	LTC4361	-	-	-

Fonte: Elaboração própria com base nos Datasheets de cada componente.

3.3.1 Estimativa de Potência Consumida

A fim de garantir o funcionamento correto dos conversores DC-DC e seus respectivos periféricos, foi necessária uma estimativa da potência total consumida por todas as tensões disponíveis no módulo. Para isso, foi utilizada a Tabela 5, bem como o datasheet de cada componente, com a corrente máxima do barramento de alimentação (levando-se em consideração as correntes de chaveamento e quiescentes). No caso do SoC, sua fabricante disponibiliza uma planilha (XPE, 2019) para estimativas de potência em cada tensão de alimentação.

Com isso, foram obtidos os valores da Tabela 6, considerando uma eficiência

de conversão de 85% (TPS82085, 2019), já incluindo as estimativas de potência e os piores casos descritos anteriormente.

Tabela 6 – Estimativas de potência consumida no pior caso.

Tensão [V]	Potência Dissipada [W]	Potência dissipada na tensão de 3,3 V [W]	Corrente máxima da trilha [A]
1,00	2,20	2,59	2,20
1,35	0,25	0,29	0,18
1,80	0,63	0,74	0,35
3,3	3,88	-	-

Fonte: Elaboração própria.

Através dessas estimativas, pode-se inferir que o sistema de potência proposto suporta os componentes escolhidos e suas tensões e variações, mesmo quando se considera o pior caso, totalizando uma potência total consumida de 7,5 W, ou seja, 2,27 A no barramento proveniente do EPS. Agora, partindo do mesmo percentual de eficiência, é considerado um caso típico, apresentado na Tabela 7.

Tabela 7 – Estimativas de potência consumida no caso típico.

Tensão [V]	Potência Dissipada [W]	Potência dissipada na tensão de 3,3 V [W]	Corrente típica da trilha [A]
1,00	0,67	0,79	0,67
1,35	0,127	0,15	0,13
1,80	0,51	0,60	0,28
3,3	3,2	-	-

Fonte: Elaboração própria.

Com esses resultados, já estão sendo considerados os superdimensionamentos dos conversores de potência. Nesse caso, o consumo típico total é próximo de 4,7 W, ou seja, com uma corrente de 1,4 A no barramento proveniente do EPS. Mesmo assim, é possível adotar técnicas no firmware para diminuir o consumo mesmo no caso típico, ativando e desativando entradas e saídas conforme o necessário, visto que essa tabela pressupõe que todos os componentes estão em funcionamento ao mesmo tempo, incluindo memórias e transceptores.

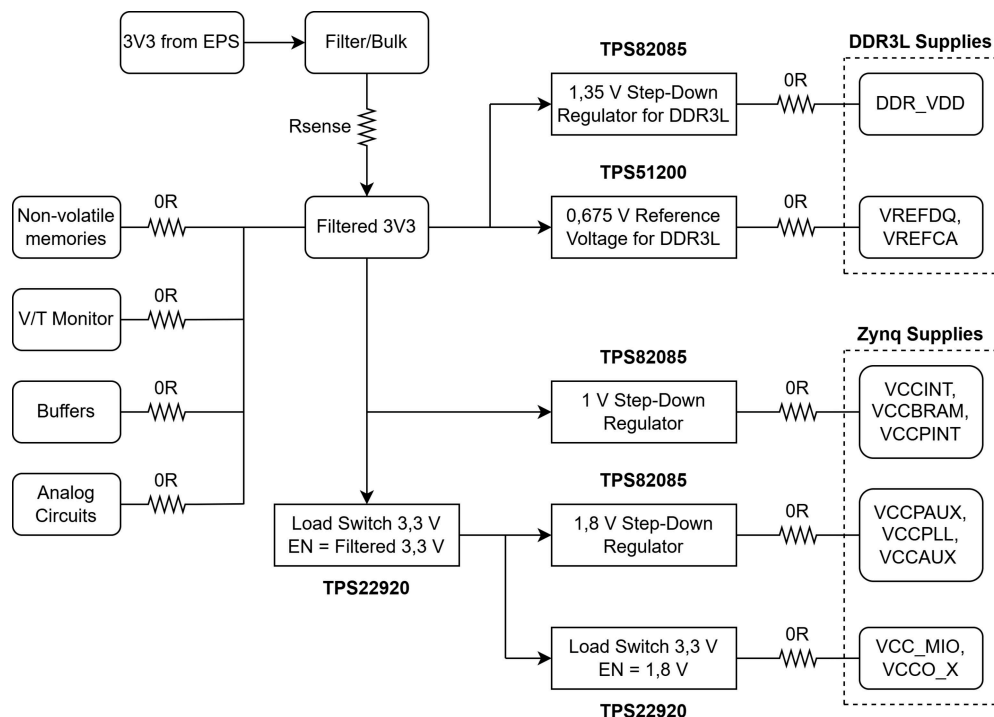
4 DESENVOLVIMENTO DO PROJETO

Depois das definições apresentadas e da escolha de componentes apresentada na seção anterior, foi possível elaborar um esquemático elétrico, que mostra os circuitos relevantes do OBDH. Nesse capítulo, discutir-se-á circuitos específicos mais relevantes do projeto, usando o esquemático pronto, que se encontra no Apêndice A. O *software* utilizado para elaboração desse esquemático foi o Altium Designer (versão 24.4.1).

4.1 CONVERSORES DE POTÊNCIA

Partindo do princípio que o módulo EPS da terceira geração de módulos do SpaceLab será capaz de fornecer 3,3 V para o OBDH, foi proposta uma cascata de potência descrita na Figura 13. Nela, são suprimidos os circuitos de proteção que serão descritos posteriormente.

Figura 13 – Cascata de potência proposta.



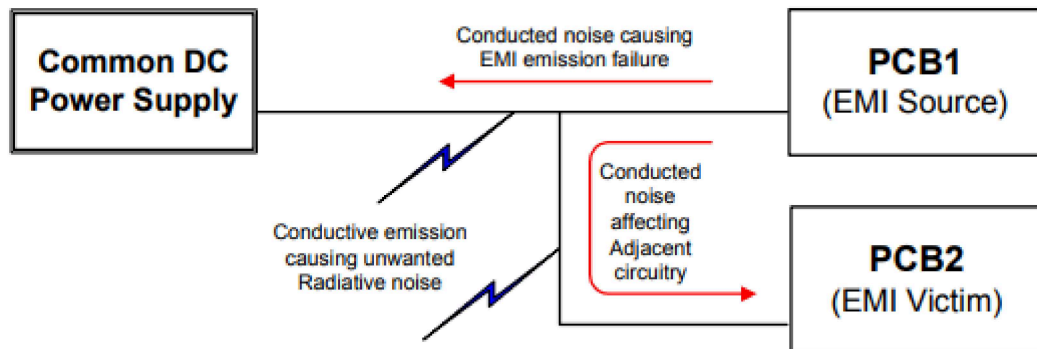
Fonte: Elaboração própria.

4.1.1 Filtro de Entrada

Costumeiramente, a entrada de tensão de uma placa robusta deve ser filtrada, principalmente devido às flutuações do ruído conduzido de outros subsistemas

do satélite, caracterizando o fenômeno de Interferência Eletromagnética (EMI), esquematizado na Figura 14.

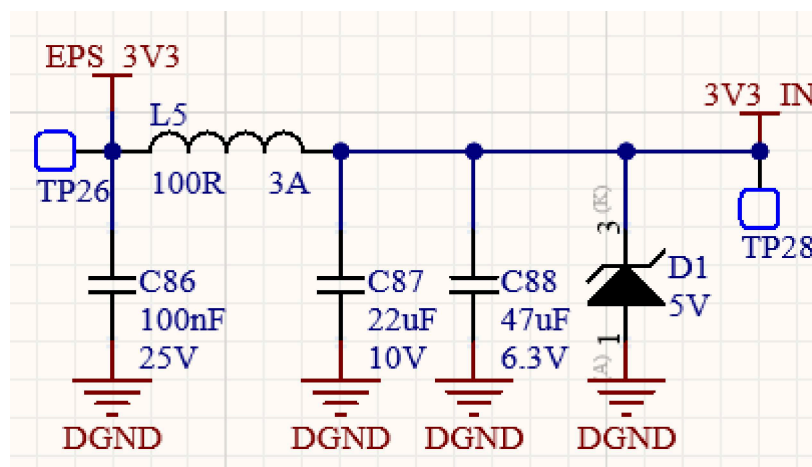
Figura 14 – Interferência com ruído conduzido.



Fonte: SOH et al., 2010.

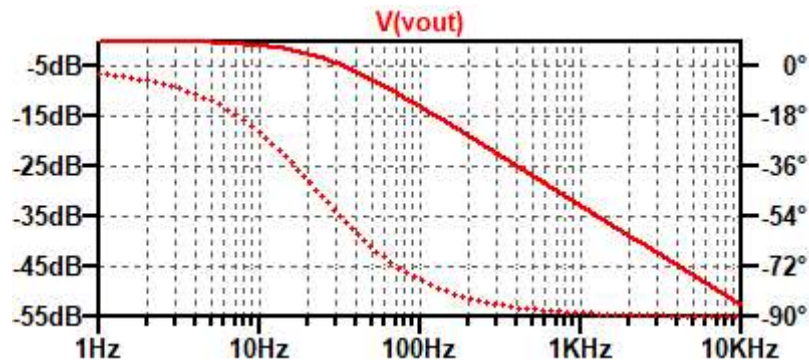
Além disso, também foi necessária a inclusão de um diodo Zener em paralelo à entrada, servindo como um elemento extra de proteção contra perturbações e transientes (CADENCE, 2023). Outra característica explorada foi a colocação de capacitores em paralelo, a fim de reduzir sua resistência em série equivalente (ESR) e sua indutância série (SARJEANT, 1990). O filtro proposto está disposto na Figura 15. Além disso, sua magnitude e fase simuladas estão dispostas na Figura 16, utilizando o software LTSPICE XVII.

Figura 15 – Filtro proposto.



Fonte: Elaboração própria.

Figura 16 – Simulação de magnitude e fase em função da frequência para o filtro proposto.



Fonte: Elaboração própria.

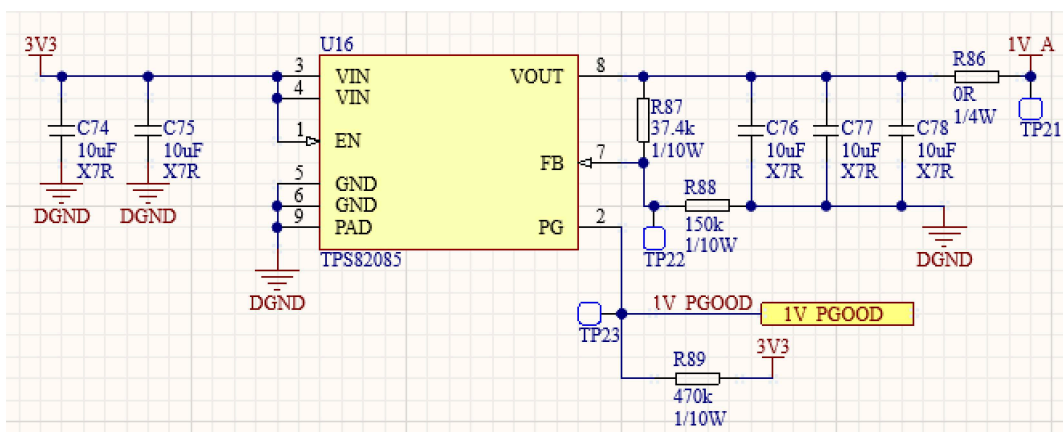
4.1.2 Cascata de potência

Devido à escolha do SoC e da memória DDR3, foi necessária a definição de uma cascata de potência, levando-se em consideração os requisitos de (UG585, 2023), que descreve o sequenciamento das tensões para o menor consumo de potência e para garantir a integridade do fusível interno do SoC. Dessa forma, como pode-se ver na Figura 13, são usados os denominados *load switches*, a fim de garantir o sequenciamento descrito e garantir uma proteção efetiva contra sobrecorrente (MAK, 2018).

O primeiro regulador, que gera a tensão de 1 V, apresentado na Figura 17, é o primeiro da cascata. Seu divisor de tensão de saída foi calculado conforme (TPS82085, 2019):

$$V_{out} = 0,8 * (1 + R_1/R_2) = 0,8 * (1 + 37,4k/150k) = 0,999V \quad (1)$$

Figura 17 – Regulador de tensão de 1 V.

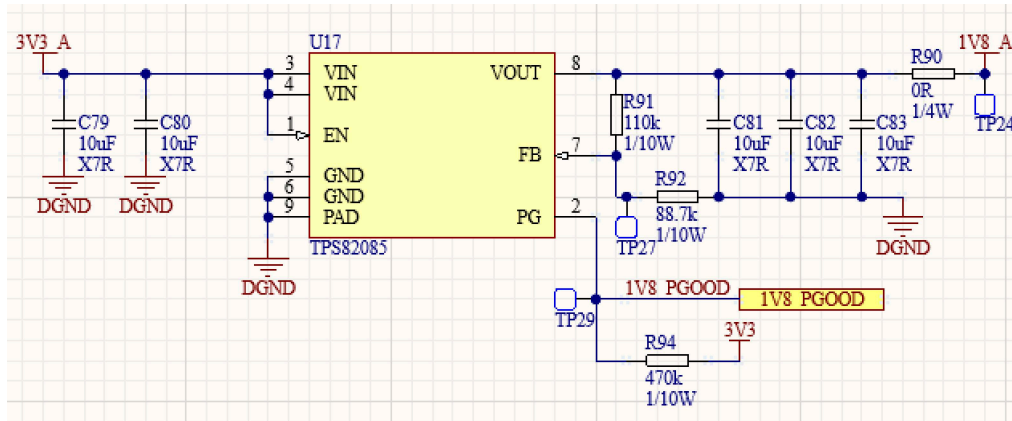


Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

a seguir, conjuntamente com suas equações (3) e (4) para obtenção das resistências requeridas, usando a mesma margem de 20% de corrente máxima.

$$V_{out} = 0,8 * (1 + R_1/R_2) = 0,8 * (1 + 110k/88,7k) = 1,792V \quad (3)$$

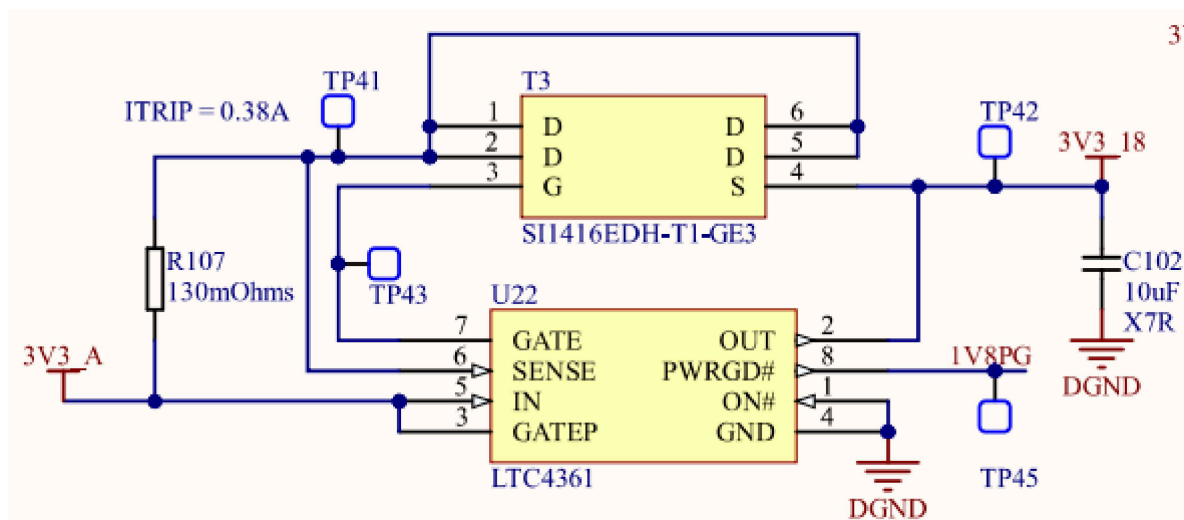
Figura 20 – Regulador de tensão de 1,8 V.



Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

$$R_{sense} = 50mV/I_{max} = 50/0,38 = 131m\Omega \quad (4)$$

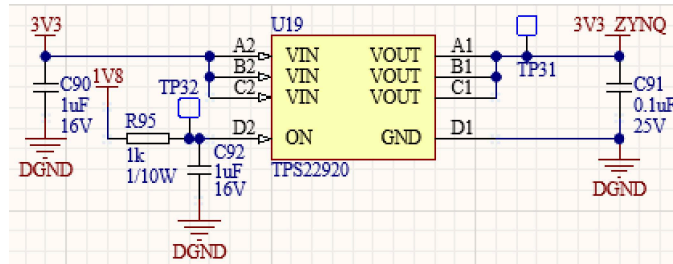
Figura 21 – Proteção contra *latch-up* para a tensão de 1,8 V.



Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Por fim, para ligar a tensão de 3,3 V fornecida para o SoC, é necessário um último circuito de chaveamento, dessa vez com sua ativação realizada pela tensão de 1,8 V, como mostra a Figura 22. Na Figura 23 se encontra o circuito de proteção proposto.

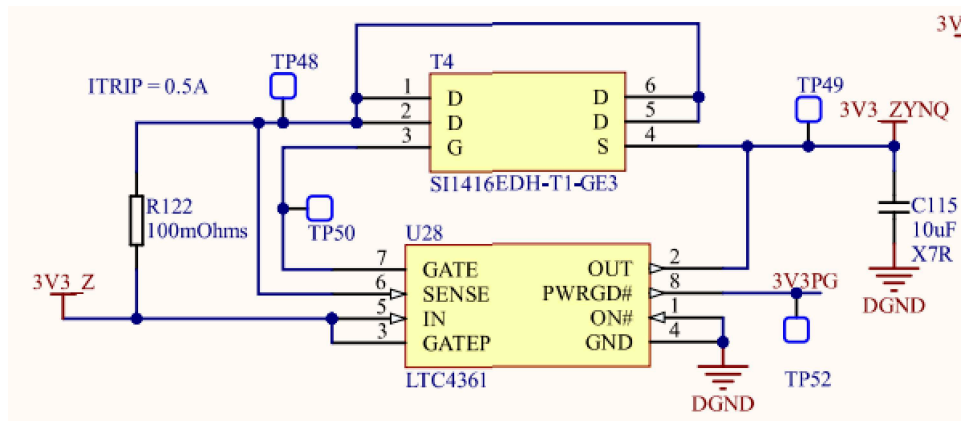
Figura 22 – Circuito de *Load switch* para a tensão de 3,3 V do SoC.



Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

$$R_{sense} = 50mV/I_{max} = 50/0,5 = 100m\Omega \quad (5)$$

Figura 23 – Proteção contra *latch-up* para a tensão de 3,3 V para o SoC.

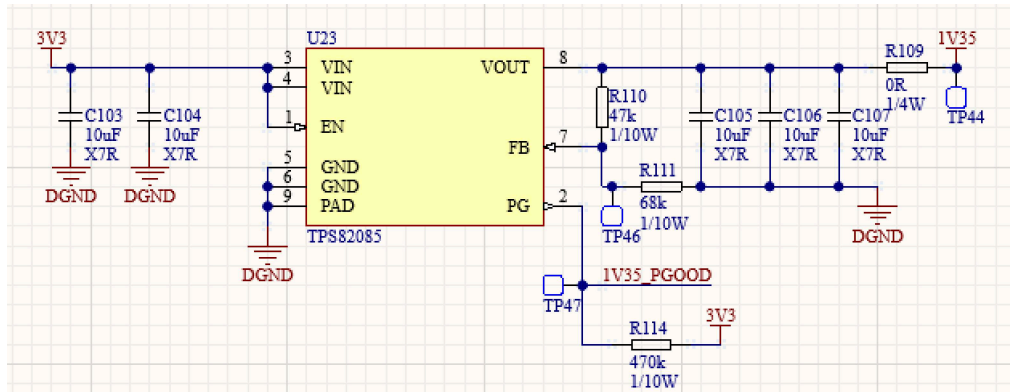


Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Paralelamente, para a memória DDR3L, são necessários um conversor para a alimentação, de 1,35 V, e um conversor para a tensão de referência e de terminação. Esses circuitos estão dispostos respectivamente nas Figuras 24 e 26. No caso da tensão de alimentação de 1,35 V, também foi colocado um circuito de proteção, como mostra a Figura 25.

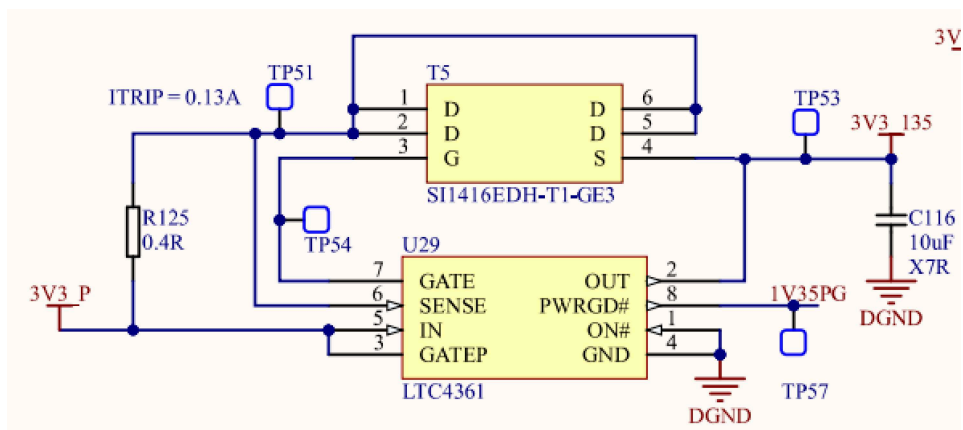
$$V_{out} = 0,8 * (1 + R_1/R_2) = 0,8 * (1 + 47k/68k) = 1,353V \quad (6)$$

Figura 24 – Regulador de tensão de 1,35 V.



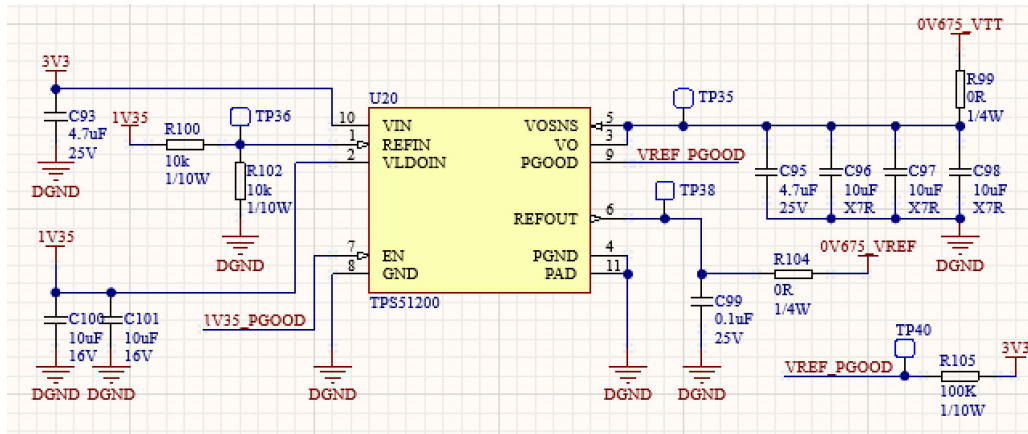
Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

$$R_{sense} = 50mV/I_{max} = 50/0,13 = 384m\Omega \quad (7)$$

Figura 25 – Proteção contra *latch-up* para a tensão de 1,35 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Figura 26 – Regulador de tensão de referência e terminação para a memória DDR3L.

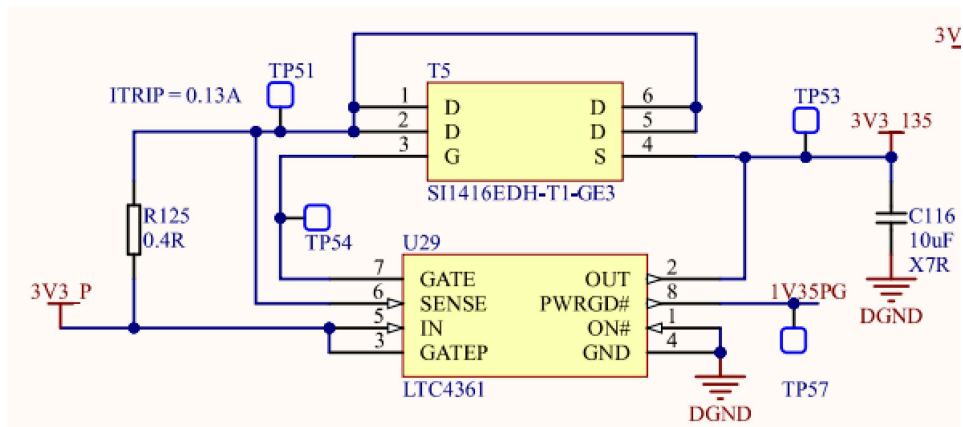


Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Finalmente, para os outros circuitos conectados ao barramento de alimentação de 3,3 V, foi colocada mais uma proteção contra o efeito de *latch-up*, disposta na Figura 27.

$$R_{sense} = 50mV/I_{max} = 50/2,72 = 18,4m\Omega \quad (8)$$

Figura 27 – Proteção contra *latch-up* para a tensão de 3,3 V para outros circuitos do OBDH.



Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

4.2 SOC

No caso do SoC Zynq 7030, temos no total seis blocos operacionais, que incluem o funcionamento do PL e do PS, bem como as configurações e o bloco dedicado ao controlador da memória DDR (UG585, 2023). A seguir, estão dispostas as descrições funcionais e circuitos necessários para o funcionamento correto desse SoC, separados por cada um dos blocos citados.

4.2.1 Bloco de Configuração

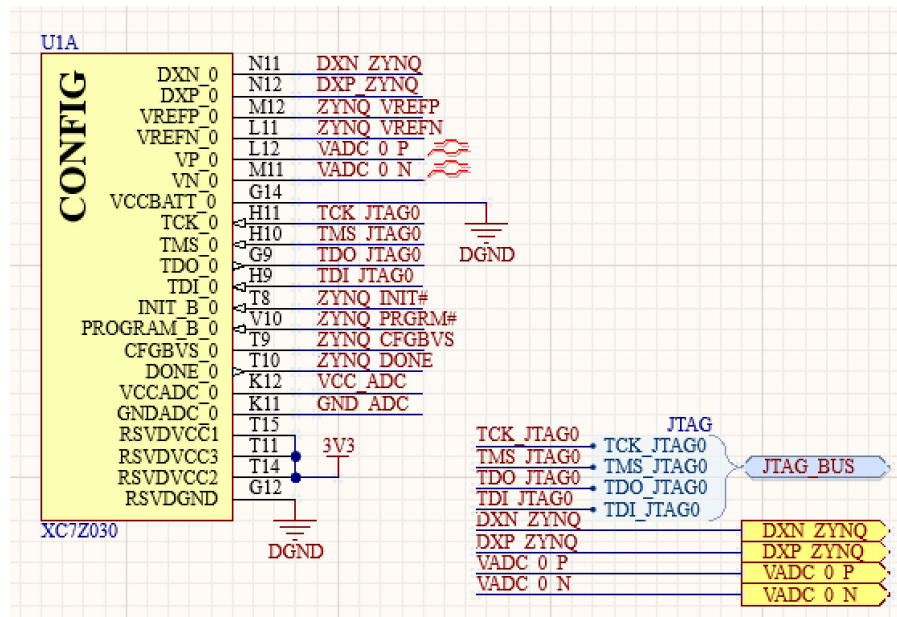
O banco zero do SoC é o responsável por algumas opções e sinais de configuração. Abaixo, na Tabela 8, se encontra a descrição funcional de cada pino desse banco, esquematizado na Figura 28. Esse esquemático, bem como seus resistores de *pull-up* (Figura 29), foram baseados na documentação técnica fornecida pela Xilinx (UG865, 2023) (UG470, 2023) (UG933, 2019) (DS191, 2018).

Tabela 8 – Descrição funcional dos pinos de configuração.

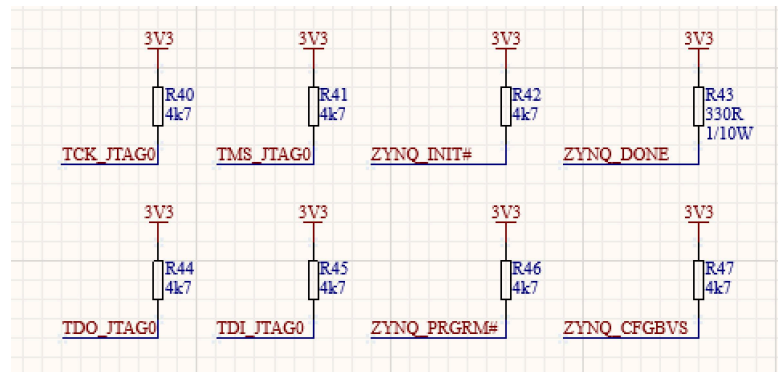
Nome	Função
DXN e DXP	Terminais do diodo interno para medição de temperatura.
VREFP e VREFN	Tensões de referência do conversor analógico digital (XADC) do SoC.
VP e VN	Entrada extra do XADC.
VCCBAT	Não utilizada. Fonte da bateria.
TCK, TMS, TDI e TDO	Sinais da interface JTAG.
INIT_B	Indica inicialização da memória interna de configuração.
PROGRAM_B	Reset assíncrono da lógica de configuração.
CFGBVS	Pino que seleciona o tipo de IO do banco 0.
DONE	Indica que a configuração foi terminada e feita corretamente.
VCCADC e GNDADC	Alimentação do XADC.
RSVDVCC e RSVDGND	Pinos de alimentação reservados.

Fonte: Elaboração própria com base na documentação técnica do fabricante.

Figura 28 – Banco de configuração do SoC.



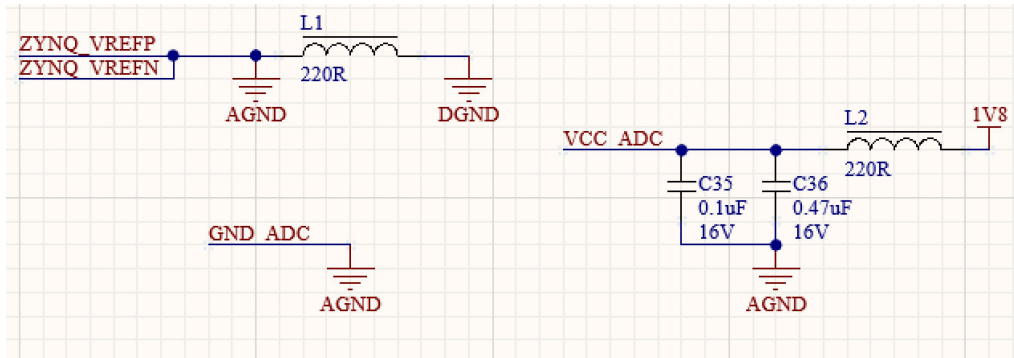
Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Figura 29 – Resistores de *pull-up* necessários.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Além disso, para a alimentação do XADC (*Xilinx Analog to Digital Converter*), foi necessário um circuito de filtragem, disposto na Figura 30, como requerido por (UG480, 2022).

Figura 30 – Filtro da alimentação analógica do SoC.

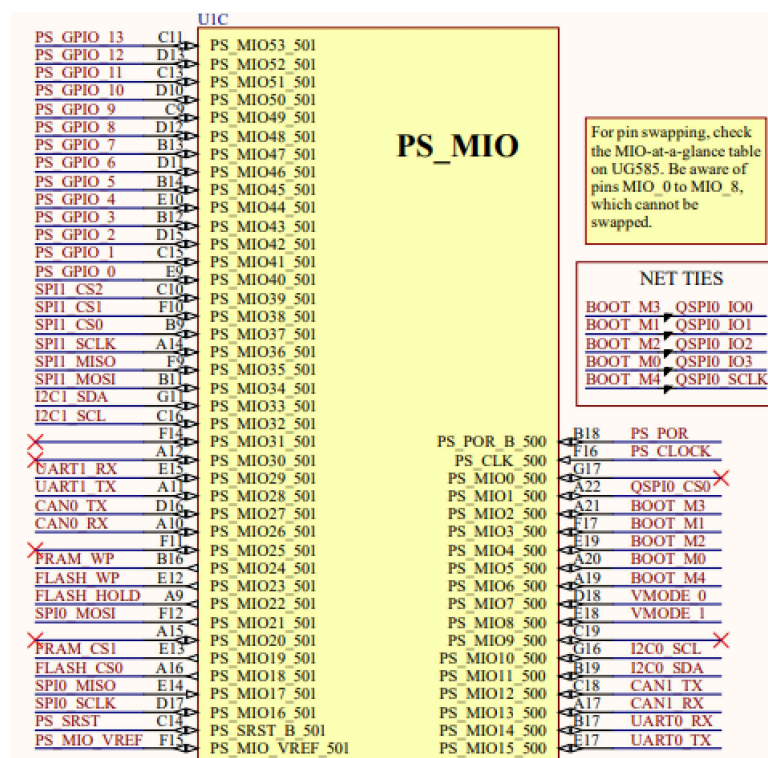


Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

4.2.2 Blocos do PS

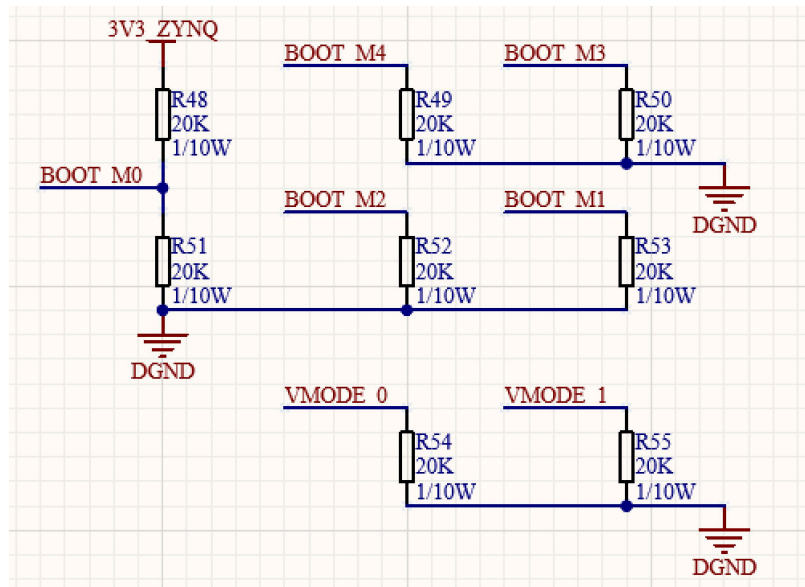
No caso do sistema de processamento (PS), existem três bancos principais. O primeiro, denominado MIO (*Multiplexed In-Out*), é onde se encontram os controladores das interfaces de comunicação, bem como a entrada de relógio e a escolha do *boot*. No caso desse projeto, foi decidido que o SoC poderá inicializar de duas formas, sendo a primeira pela interface JTAG e a segunda pela memória Flash NOR (QSPI), escolhidos pelos resistores R48 e R51. O banco MIO e seus modos de inicialização estão dispostos nas Figuras 31 e 32.

Figura 31 – Banco MIO do SoC com suas respectivas entradas e saídas.



Fonte: Elaboração própria com base na Tabela MIO-at-a-glance (UG585, 2023).

Figura 32 – Modos de inicialização do SoC.



Fonte: Elaboração própria com base em (UG585, 2023).

Por fim, Na Tabela 9, pode-se verificar qual a função de cada barramento de comunicação, em conformidade com a Figura 12.

Tabela 9 – Descrição das interfaces disponibilizadas.

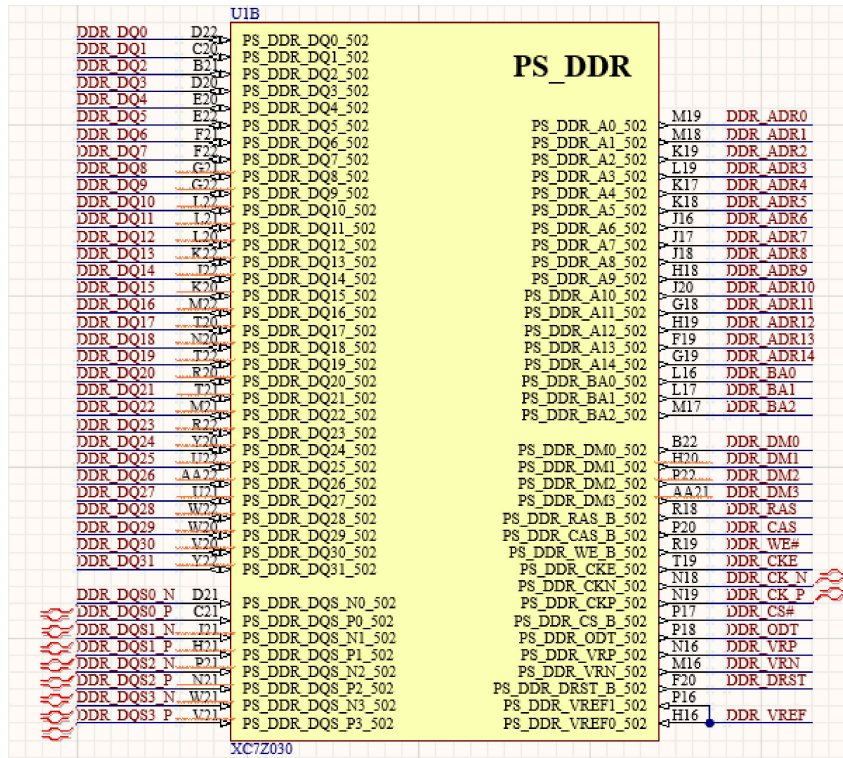
Interface	Função
SPI0	Interface SPI para circuitos internos ao módulo OBDH.
SPI1	Interface SPI para circuitos externos ao módulo OBDH.
QSPI0	Interface Quad-SPI para memória de inicialização.
I2C0	Interface I2C para circuitos internos ao módulo OBDH.
I2C1	Interface I2C para circuitos externos ao módulo OBDH.
CAN0	Interface CAN para circuitos externos ao módulo OBDH.
CAN1	Interface CAN para o barramento de expansão.
UART0	Conexão serial para <i>debugging</i> .
UART1	Conexão serial para o transceiver RS-485.
PS_GPIO	Sinais de propósito geral de entrada e saída.

Fonte: Elaboração própria com base na documentação técnica do fabricante.

Também como mencionado, o projeto terá como memória volátil uma memória do tipo DDR3. Para que se consiga controlá-la, o SoC disponibiliza um banco dedicado para a memória DDR, disposto na Figura 33. Seus pinos são nomeados conforme

(JEDEC, 2008) e suas funções são descritas na Tabela 10. O terceiro banco não é utilizado nesse projeto.

Figura 33 – Banco da Memória DDR do PS.



Fonte: Elaboração própria com base em (UG585, 2023) e (UG933, 2019).

Tabela 10 – Descrição dos pinos da memória DDR3.

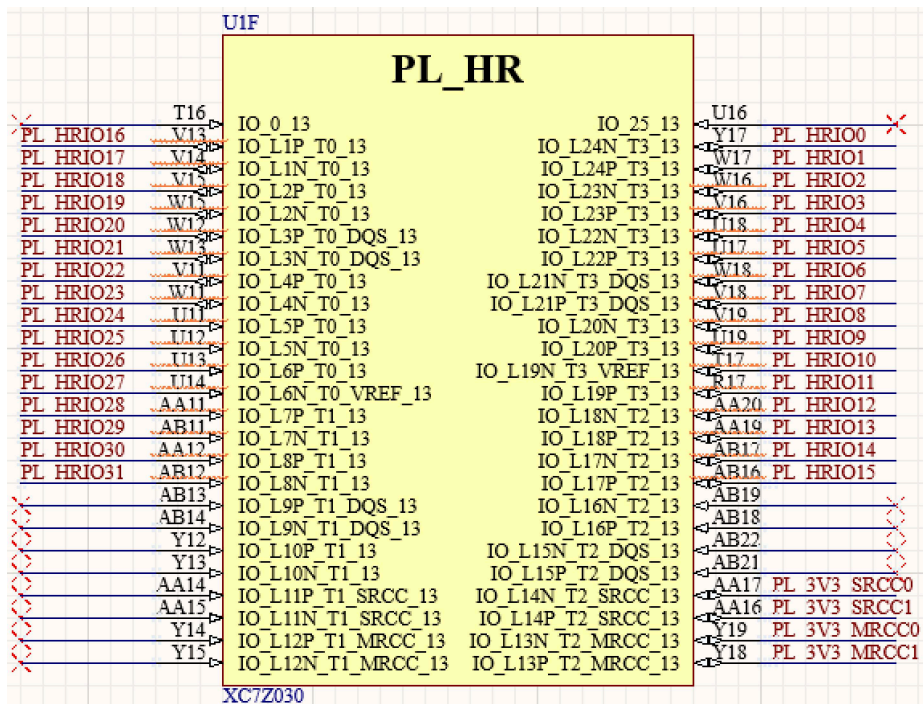
Nome	Descrição
DDR_ADRx	Barramento de endereço da memória.
DDR_DQx	Barramento de dados da memória.
DDR_DMx	Sinal da máscara da interface.
DDR_BAx	Barramento de endereço do banco da memória.
DDR_DQSx	Sinal diferencial de <i>Data Strobe</i> .
DDR_CK	Barramento diferencial do relógio da memória.
DDR_ODT	Sinal de saída de terminação dinâmica.
DDR_CS#	Sinal de <i>Chip Select</i> .
DDR_CKE	Sinal de <i>enable</i> do relógio.
DDR_WE#	Sinal de <i>Write Enable</i> .
DDR_CAS	Sinal de endereço da coluna da memória.
DDR_RAS	Sinal de endereço da linha da memória.
DDR_DRST	Sinal de <i>Reset</i> .

Fonte: Elaboração própria com base em (UG585, 2023) e (JEDEC, 2008).

4.2.3 Blocos do PL

O lado da FPGA do SoC, chamada de PL, é crucial para se ter um hardware versátil. Para isso, tentou-se utilizar a maior parte dos pinos possível, principalmente para o barramento externo. Nesses bancos também se encontram as entradas diferenciais do XADC do SoC. Nas Figuras 34 e 35 se encontram os esquemáticos dos bancos HR (*High Range*) e HP (*High Performance*), respectivamente. Na Tabela 11, por sua vez, se encontra a descrição funcional dos pinos por nome.

Figura 34 – Banco HR do PL.



Fonte: Elaboração própria com base em (UG585, 2023).

Figura 35 – Banco HP do PL.

Pin 35	Signal	Pin 34	Bank
IO_0_VRN	IO_0_VRN	IO_0_VRN	PL_HPIO0
IO_L1P_TO_AD0P	IO_L1P_TO_AD0P	IO_L1P_TO_34	PL_HPIO1
IO_L1N_TO_AD0N	IO_L1N_TO_AD0N	IO_L1N_TO_34	PL_HPIO2
IO_L2P_TO_AD2P	IO_L2P_TO_AD2P	IO_L2P_TO_34	PL_HPIO3
IO_L2N_TO_AD2N	IO_L2N_TO_AD2N	IO_L2N_TO_34	PL_HPIO4
IO_L3P_TO_DQS_AD1P	IO_L3P_TO_DQS_AD1P	IO_L3P_TO_34	PL_HPIO5
IO_L3N_TO_DQS_AD1N	IO_L3N_TO_DQS_AD1N	IO_L3N_TO_34	PL_HPIO6
IO_L4P_TO_35	IO_L4P_TO_35	IO_L4P_TO_34	PL_HPIO7
IO_L4N_TO_35	IO_L4N_TO_35	IO_L4N_TO_34	PL_HPIO8
IO_L5P_TO_AD5P	IO_L5P_TO_AD5P	IO_L5P_TO_34	PL_HPIO9
IO_L5N_TO_AD5N	IO_L5N_TO_AD5N	IO_L5N_TO_34	PL_HPIO10
IO_L6P_TO_35	IO_L6P_TO_35	IO_L6P_TO_34	PL_HPIO11
IO_L6N_TO_VREF	IO_L6N_TO_VREF	IO_L6N_TO_34	PL_HPIO12
IO_L7P_T1_AD7P	IO_L7P_T1_AD7P	IO_L7P_T1_34	PL_HPIO13
IO_L7N_T1_AD7N	IO_L7N_T1_AD7N	IO_L7N_T1_34	PL_HPIO14
IO_L8P_T1_AD10P	IO_L8P_T1_AD10P	IO_L8P_T1_34	PL_HPIO15
IO_L8N_T1_AD10N	IO_L8N_T1_AD10N	IO_L8N_T1_34	PL_IVS_SRCC0
IO_L8P_T1_DQS_AD8P	IO_L8P_T1_DQS_AD8P	IO_L8P_T1_DQS_34	PL_IVS_SRCC1
IO_L8N_T1_DQS_AD8N	IO_L8N_T1_DQS_AD8N	IO_L8N_T1_DQS_34	PL_IVS_MRCC0
IO_L10P_T1_AD11P	IO_L10P_T1_AD11P	IO_L10P_T1_34	PL_IVS_MRCC1
IO_L10N_T1_AD11N	IO_L10N_T1_AD11N	IO_L10N_T1_34	PL_IVS_MRCC2
IO_L11P_T1_SRCC	IO_L11P_T1_SRCC	IO_L11P_T1_SRCC_34	PL_IVS_MRCC3
IO_L11N_T1_SRCC	IO_L11N_T1_SRCC	IO_L11N_T1_SRCC_34	PL_IVS_MRCC4
IO_L12P_T1_MRCC	IO_L12P_T1_MRCC	IO_L12P_T1_MRCC_34	PL_IVS_MRCC5
IO_L12N_T1_MRCC	IO_L12N_T1_MRCC	IO_L12N_T1_MRCC_34	PL_IVS_MRCC6
IO_L13P_T2_MRCC	IO_L13P_T2_MRCC	IO_L13P_T2_MRCC_34	PL_IVS_MRCC7
IO_L13N_T2_MRCC	IO_L13N_T2_MRCC	IO_L13N_T2_MRCC_34	PL_IVS_MRCC8
IO_L14P_T2_AD4P_SRCC	IO_L14P_T2_AD4P_SRCC	IO_L14P_T2_SRCC_34	PL_IVS_MRCC9
IO_L14N_T2_AD4N_SRCC	IO_L14N_T2_AD4N_SRCC	IO_L14N_T2_SRCC_34	PL_IVS_MRCC10
IO_L15P_T2_DQS_AD12P	IO_L15P_T2_DQS_AD12P	IO_L15P_T2_DQS_34	PL_IVS_MRCC11
IO_L15N_T2_DQS_AD12N	IO_L15N_T2_DQS_AD12N	IO_L15N_T2_DQS_34	PL_IVS_MRCC12
IO_L16P_T2_35	IO_L16P_T2_35	IO_L16P_T2_34	PL_IVS_MRCC13
IO_L16N_T2_35	IO_L16N_T2_35	IO_L16N_T2_34	PL_IVS_MRCC14
IO_L17P_T2_AD5P	IO_L17P_T2_AD5P	IO_L17P_T2_34	PL_HPIO16
IO_L17N_T2_AD5N	IO_L17N_T2_AD5N	IO_L17N_T2_34	PL_HPIO17
IO_L18P_T2_AD13P	IO_L18P_T2_AD13P	IO_L18P_T2_34	PL_HPIO18
IO_L18N_T2_AD13N	IO_L18N_T2_AD13N	IO_L18N_T2_34	PL_HPIO19
IO_L19P_T3_35	IO_L19P_T3_35	IO_L19P_T3_34	PL_HPIO20
IO_L19N_T3_VREF	IO_L19N_T3_VREF	IO_L19N_T3_VREF_34	PL_HPIO21
IO_L20P_T3_AD6P	IO_L20P_T3_AD6P	IO_L20P_T3_34	PL_HPIO22
IO_L20N_T3_AD6N	IO_L20N_T3_AD6N	IO_L20N_T3_34	PL_HPIO23
IO_L21P_T3_DQS_AD14P	IO_L21P_T3_DQS_AD14P	IO_L21P_T3_DQS_34	PL_HPIO24
IO_L21N_T3_DQS_AD14N	IO_L21N_T3_DQS_AD14N	IO_L21N_T3_DQS_34	PL_HPIO25
IO_L22P_T3_AD7P	IO_L22P_T3_AD7P	IO_L22P_T3_34	PL_HPIO26
IO_L22N_T3_AD7N	IO_L22N_T3_AD7N	IO_L22N_T3_34	PL_HPIO27
IO_L23P_T3_35	IO_L23P_T3_35	IO_L23P_T3_34	PL_HPIO28
IO_L23N_T3_35	IO_L23N_T3_35	IO_L23N_T3_34	PL_HPIO29
IO_L24P_T3_AD15P	IO_L24P_T3_AD15P	IO_L24P_T3_34	PL_HPIO30
IO_L24N_T3_AD15N	IO_L24N_T3_AD15N	IO_L24N_T3_34	PL_HPIO31
IO_25_VRP	IO_25_VRP	IO_25_VRP_34	PL_HPIO32

Fonte: Elaboração própria com base em (UG585, 2023).

Tabela 11 – Descrição dos sinais dos bancos do PL.

Nome	Descrição
PL_ADx	Entrada diferencial enumerada do XADC.
PL_Lx	Sinal LVDS, presente apenas no banco HP.
PL_HPIOx	Sinal de entrada e saída genérico do banco HP.
PL_HRIOx	Sinal de entrada e saída genérico do banco HR.
PL_xx_SRCCx	Pino capaz de gerar sinal de relógio do tipo <i>Single Region</i> .
PL_xx_MRCCx	Pino capaz de gerar sinal de relógio do tipo <i>Multi Region</i> .

Fonte: Elaboração própria com base em (UG585, 2023).

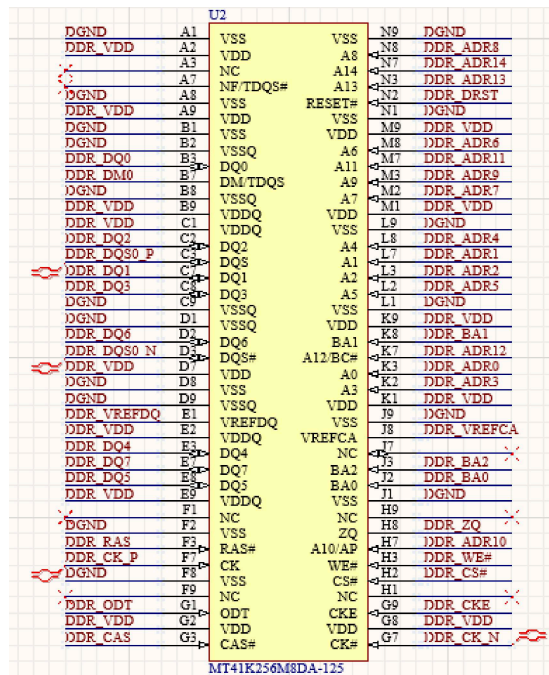
4.2.4 Pinos de Potência

Por fim, os pinos de potência devem ser alimentados corretamente. Além disso, é recomendado por (UG933, 2019) que todos os pinos tenham capacitores de desacoplamento o mais perto possível de seus respectivos pinos. Esse circuito e seus capacitores estão dispostos nas Figuras 36 e 37.

4.3.1 DDR3L

A DDR3L selecionada oferece 2 Gb de capacidade de armazenamento, configurada em uma estrutura de 256M x 8 bits. Essa memória opera com tensão reduzida (1.35V), o que a torna eficiente em termos de consumo de energia, crucial para sistemas de satélite. Seu circuito se encontra na Figura 38.

Figura 38 – Circuito da memória DDR3L.

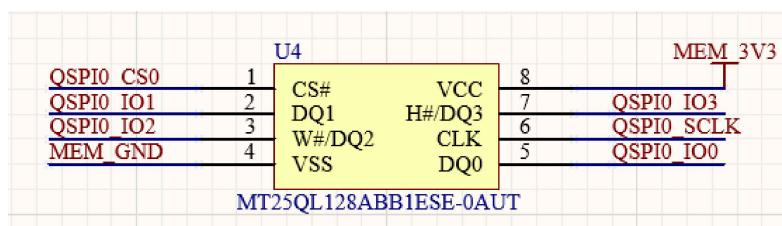


Fonte: (MT41K256M8DA-125:K DDR3L Datasheet).

4.3.2 Flash NOR

A memória flash NOR, acessada por uma interface QSPI, foi escolhida pela sua capacidade de realizar leituras rápidas, característica que torna esse tipo de memória adequado para armazenamento de firmware ou dados de inicialização do sistema. Seu circuito está presente na Figura 39.

Figura 39 – Circuito da memória Flash NOR.

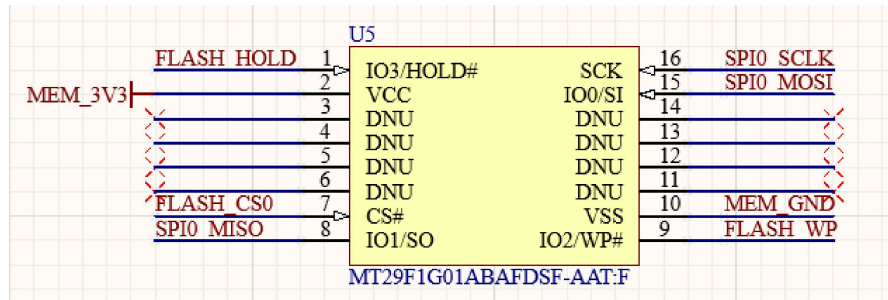


Fonte: (MT25QL128ABB1ESE-0AUT Flash NOR Datasheet).

4.3.3 Flash NAND

Diferente da flash NOR, a memória flash NAND, acessada via SPI, é utilizada para armazenamento de grandes volumes de dados que não necessitam de acesso frequente, ou seja, dados de uso prolongado, como logs e registros. Seu circuito se encontra na Figura 40.

Figura 40 – Circuito da memória Flash NAND.

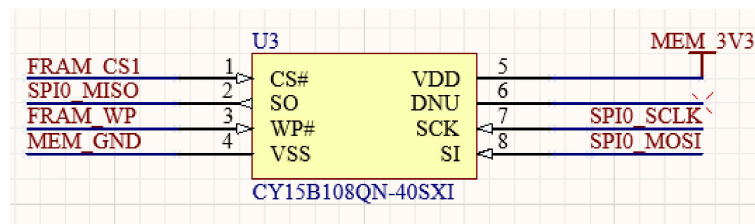


Fonte: (MT29F1G01ABAFDSF-AAT:F Flash NAND Datasheet).

4.3.4 FRAM

A FRAM, com acesso por interface SPI, será usada para armazenar dados críticos por sua alta resistência a radiação e alta velocidade de escrita e leitura. Seu circuito se encontra na Figura 41.

Figura 41 – Circuito da memória FRAM.



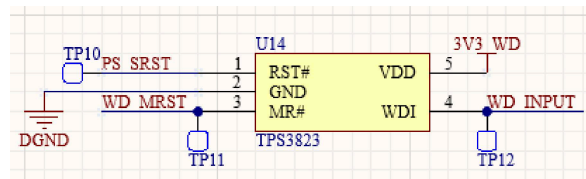
Fonte: (CY15B104QN FRAM Datasheet).

4.4 PERIFÉRICOS

Como previsto nos requisitos, são necessários os circuitos do WDT, dos sensores de tensão, corrente e temperatura e do sistema do ADCS.

Primeiramente, o circuito do WDT, disposto na Figura 42, foi construído para reinicializar o SoC caso o sinal de controle (WDI) não mude por mais de 1,6 segundos (tipicamente). Além disso, o circuito integrado é equipado com um sinal de *reset* manual.

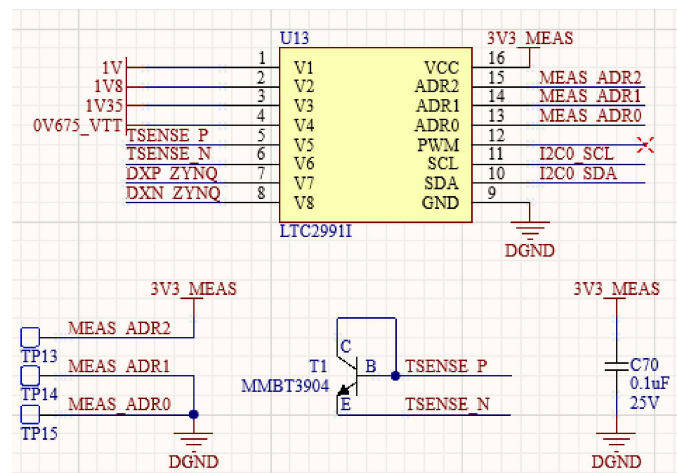
Figura 42 – Circuito do WDT.



Fonte: (TPS3823-33QDBVRQ1 Watchdog Timer Datasheet).

No circuito do sensor de tensão e temperatura, são monitoradas as tensões de 1 V, 1,8 V, 1,35 V e 0,675 V. Além disso, são medidas as temperaturas tanto do SoC, através dos sinais DXP e DXN, provenientes do diodo interno do Zynq (UG865, 2021), quanto a temperatura da placa, em um transistor externo. O mesmo está disposto na Figura 43.

Figura 43 – Circuito do monitor de tensão e temperatura.

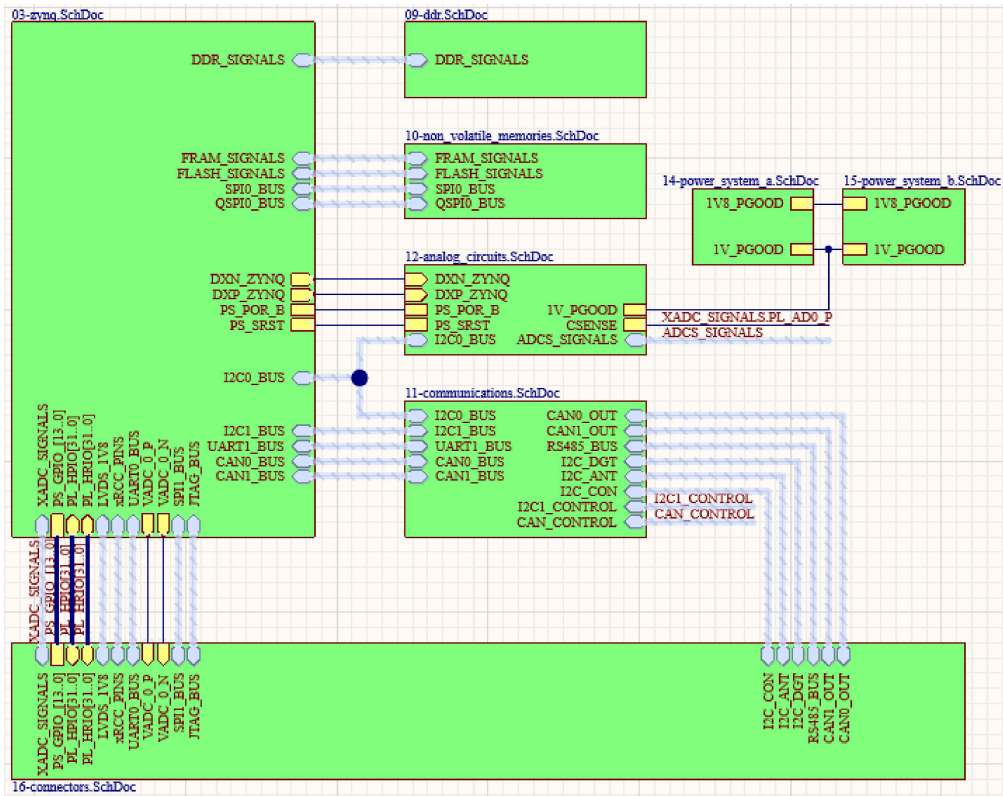


Fonte: (LTC2991IMS#TRPBF Voltage, Current and Temperature Monitor Datasheet).

Quanto ao circuito de medição de corrente, foi necessário o cálculo do resistor de medição (R_{sense}), presente em (6) (INA180A2IDBVR Current Sense Datasheet). Com o valor máximo de R_{sense} , foi escolhido um resistor menor, de $75\text{ m}\Omega$, para obter uma margem com relação à corrente máxima. Sua saída é lida por uma entrada do XADC do SoC. Seu circuito final está disposto na Figura 44.

$$R_{sense} < V_{sp}/(G \times I_{max}) = 1/(50 \times 2,5) = 80\text{m}\Omega \quad (9)$$

Figura 47 – Interconexão dos blocos propostos.



Fonte: Elaboração própria.

5 RESULTADOS

O desenvolvimento deste trabalho teve como principal objetivo a criação de uma arquitetura de hardware robusta e versátil para um computador de bordo destinado a pequenos satélites, especificamente CubeSats. Este computador de bordo foi projetado para operar em ambientes espaciais adversos, assegurando a integridade e a confiabilidade no tratamento de dados, além de possibilitar a adaptação a diferentes tipos de missões e experimentos científicos em órbita.

Dentre os objetivos específicos, estavam a análise dos requisitos de versatilidade para ambientes espaciais, a especificação de uma arquitetura adaptável e a documentação detalhada de todas as decisões de projeto. Para atender esses objetivos, inicialmente, a robustez do sistema foi trabalhada com a seleção cuidadosa de componentes eletrônicos. Tais componentes foram escolhidos de acordo com diretrizes de herança de voo e normas estabelecidas pela ESA e NASA, de forma a garantir maior confiabilidade e segurança operacional.

No aspecto da versatilidade, o sistema foi arquitetado de modo a integrar memórias, sensores e periféricos variados, de modo a atender a diferentes tipos de missões. Esse objetivo foi cumprido por meio do uso de um SoC da família Zynq, que incorpora um microprocessador e um FPGA. As interfaces genéricas disponibilizadas para os conectores (SPI, I2C, UART, CAN e diversos pinos de entrada e saída genéricos), também corroboraram para essa versatilidade, permitindo a interconexão e adaptação a módulos e subsistemas diversos.

A abordagem de modularidade do projeto também reforça sua robustez e flexibilidade. Com o uso de memórias não voláteis (Flash NOR, Flash NAND e FRAM) para o armazenamento de dados críticos e a inicialização segura do sistema, o computador de bordo projetado consegue resistir às adversidades do ambiente espacial. Além disso, cada componente foi avaliado quanto ao consumo energético e às exigências de funcionamento entre -40 e 85 °C.

A arquitetura foi definida conforme a Figura 12, respeitando os requisitos levantados e projetada como mostra a Figura 47. Para fins de comparação, a Tabela 12 mostra uma comparação entre o OBDH projetado e alguns dos OBDHs revisados, mostrando que as principais características estão de acordo com o estado da arte investigado.

Através disso, é possível verificar que a estrutura proposta é condizente com os OBDHs estudados, demonstrando uma evolução clara quando comparado ao OBDH 1.0 e OBDH 2.0, principalmente no que tange as memórias, com a inclusão da DDR. Por fim, o último resultado é o esquemático desenvolvido, apresentado no Apêndice A. Nele estão dispostas todas conexões necessárias entre os circuitos apresentados no

Tabela 12 – Comparação entre o OBDH proposto e o estado da arte.

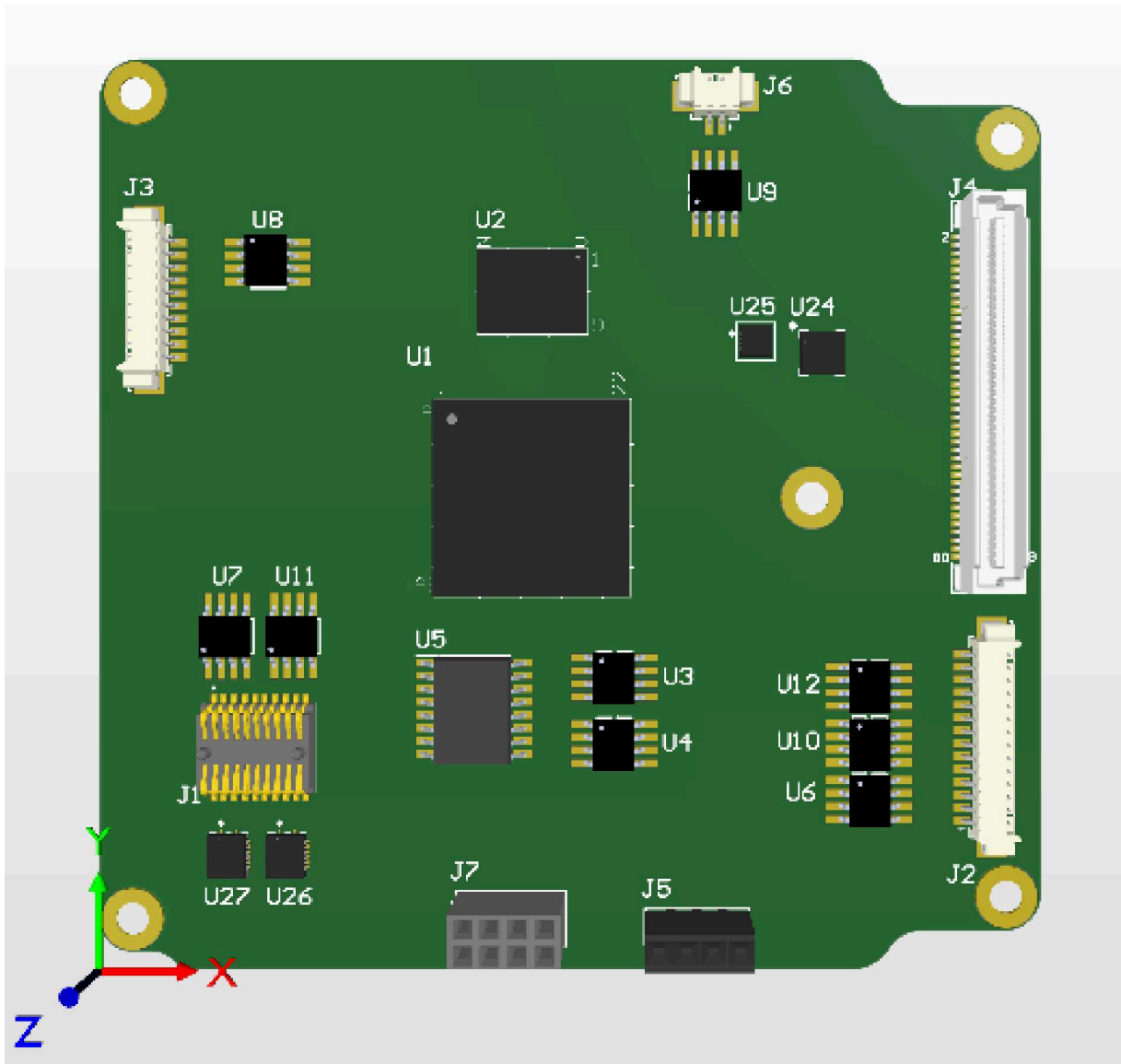
Nome	Memória RAM	Memória não volátil	Sensores	Dimensões	Massa
OBDH proposto	DDR3L (256 MB)	FRAM (8 Mbit), Flash NOR (128 Mbit), Flash NAND (1 Gbit).	Tensão, Corrente, Temperatura, Giroscópio, Magnetômetro	TBD	TBD
OBDH2 (MARCELINO et al., 2024)	SRAM (64 kB)	FRAM (2 Mbit), Flash NOR (128 MB).	Tensão, Corrente, Temperatura	89,15 x 92,13 x 15 mm	53 g
(PUTRA, 2018)	SRAM (128 kB)	Flash NOR (512 kB)	Tensão, Acelerômetro, Giroscópio, Magnetômetro, Temperatura, Umidade	Não informado	Não informado
GomSpace Nanomind Z7000	DDR3 (1 GB)	Flash NAND (32 GB), Flash NOR (64 MB).	Tensão, Corrente.	65 x 40 x 6,5 mm	105,5 g

Fonte: Elaboração própria.

Capítulo 4, respeitando as decisões de projeto tomadas na definição da arquitetura.

Por fim, na Figura 48, pode-se verificar um *placement* inicial, com o microprocessador no centro, os buffers próximos de seus conectores e com uma disposição lógica dos demais componentes. Dessa forma, o responsável pelo layout conseguirá começar o processo de design da PCB partindo de um ponto inicial relevante.

Figura 48 – Placement proposto dos componentes principais em uma PCB.



Fonte: Elaboração própria.

6 CONCLUSÃO

Conclui-se que o projeto realizado cumpre os objetivos propostos, apresentando uma solução adaptável para a operação em CubeSats, respeitando os requisitos. A flexibilidade conferida pela arquitetura do SoC (com FPGA integrada), associada à robustez das interfaces de comunicação e ao uso de memórias para funções específicas permite que o sistema seja facilmente adaptável a diferentes missões. A partir das diretrizes iniciais, os resultados planejados foram atingidos, validando a arquitetura desenvolvida e sua viabilidade para diferentes aplicações em missões usando o padrão CubeSat.

Outro ponto importante é que o OBDH desenvolvido apresenta um potencial significativo para aplicações futuras tanto no SpaceLab quanto em outras instituições. O módulo ter sido projetado como adaptável o permite ser utilizado em missões variadas, com diferentes requisitos e subsistemas. Além disso, sendo um projeto aberto, outras instituições poderão adotar essa solução conforme suas necessidades específicas, o que amplia o escopo de uso e promove um ambiente colaborativo de desenvolvimento de tecnologia espacial. No entanto, esse trabalho é apenas o início, com aprimoramentos e implementações a serem realizados em trabalhos futuros.

6.1 TRABALHOS FUTUROS

Para dar continuidade ao desenvolvimento deste OBDH, ainda restam etapas importantes. A primeira delas é o desenvolvimento do layout da placa de circuito impresso, seguindo as diretrizes da ESA (ECSS, 2014) e do SpaceLab. Depois disso, devem ser conduzidos os testes dos circuitos, visando validar o funcionamento e observar possíveis pontos de melhoria. Outra expectativa é o desenvolvimento do *firmware* do sistema, para que o SoC atue no controle das operações e na comunicação com periféricos, sensores e subsistemas do CubeSat, usando um sistema RTOS ou Linux. Além disso, deve-se desenvolver a parte mecânica requerida, com a conexão entre os submódulos e a estrutura metálica.

Por fim, a proteção contra TID também é uma continuação importante e interessante. Um estudo sobre o uso de *shields* de proteção, a fim de atenuar esse efeito sobre os componentes e sobre a placa como um todo seria de grande valia, visto que isso melhoraria a durabilidade do OBDH e aumentaria a resistência do sistema aos efeitos da radiação em LEO.

REFERÊNCIAS

- AAC Clyde Space. **Datasheet: Kryten-M3**. Disponível em <https://www.aac-clyde.space/wp-content/uploads/2021/10/AAC_DataSheet_Kryten.pdf>. Acesso em: 07 jun. 2024.
- A3G4250D Gyroscope Datasheet**. Disponível em: <<https://www.st.com/content/ccc/resource/technical/document/datasheet/5c/f1/a4/70/1b/fa/40/d2/DM00047823.pdf/files/DM00047823.pdf/jcr:content/translations/en.DM00047823.pdf>>. Acesso em: 27 out. 2024.
- AN-600: Understanding Latch-Up in Advanced CMOS Logic**. [s.l.: s.n.]. Disponível em: <<https://large.stanford.edu/courses/2015/ph241/clark2/docs/AN-600.pdf>>. Acesso em: 26 out. 2024.
- BARLES, A. et al. **Mission ORCA: Orbit refinement for collision avoidance**. *Advances in Astronautics Science and Technology*, v. 5, n. 2, p. 149–165, 2022.
- BOUKHOBZA, J.; OLIVIER, P. **Emerging Non-volatile Memories**. Em: *Flash Memory Integration*. [s.l.] Elsevier, 2017. p. 203–224.
- CADENCE PCB SOLUTIONS. **Zener diode applications: Circuit protection**. Disponível em: <<https://resources.pcb.cadence.com/blog/2023-zener-diode-applications-circuit-protection>>. Acesso em: 28 out. 2024
- CARMO, T. A.; MOREIRA, J. Q.; MANEA, S. **Análise de blindagem à radiação “TID” e “SEU” em memória do tipo SRAM em órbita LEO (Low Earth Orbit)**. 12° Workshop em Engenharia e Tecnologia Espaciais, 6 nov. 2021.
- CAMPS, A. et al. **Fsscatt, the 2017 Copernicus masters’ “Esa sentinel small satellite challenge” winner: A federated polar and soil moisture tandem mission based on 6U cubesats**. *IGARSS 2018 - 2018 IEEE International Geoscience and Remote Sensing Symposium*. Anais...IEEE, 2018.
- CAPPELLETTI, C.; BATTISTINI, S.; MALPHRUS, B. **Cubesat Handbook: From Mission Design to Operations**. Editora Elsevier, 2021.
- CubeSat101: Basic Concepts and Processes for First-Time CubeSat Developers*. [S.l.: s.n.], 2017. Disponível em <https://www.nasa.gov/wp-content/uploads/2017/03/nasa_csli_cubesat_101_508.pdf?emrc=05d3e2>. Acesso em 28 out. 2024.

CUBESAT Design Specification. [S.l.: s.n.], 2022. Disponível em <<https://www.cubesat.org/cubesatinfo>>. Acesso em: 25 out. 2024.

CY15B104QN FRAM Datasheet. Disponível em: <[https://www.infineon.com/dgdl/Infineon-CY15B104QN_CY15V104QN_Excelon\(TM\)_LP_4-Mbit_\(512K_X_8\)_Serial_\(SPI\)_F-RAM-DataSheet-v12_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0ee7709b704a&utm_source=cypress&utm_medium=referral&utm_campaign=202110_globe_en_all_integr](https://www.infineon.com/dgdl/Infineon-CY15B104QN_CY15V104QN_Excelon(TM)_LP_4-Mbit_(512K_X_8)_Serial_(SPI)_F-RAM-DataSheet-v12_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0ee7709b704a&utm_source=cypress&utm_medium=referral&utm_campaign=202110_globe_en_all_integr)>. Acesso em: 27 out. 2024.

DS191 - Zynq-7000 SoC (Z-7030, Z-7035, Z-7045, and Z-7100): DC and AC Switching Characteristics. 2018. Disponível em <<https://docs.amd.com/v/u/en-US/ds191-XC7Z030-XC7Z045-data-sheet>>. Acesso em: 29 out. 2024.

ECSS. **ECSS-Q-ST-60C Rev.3 – Electrical, electronic and electromechanical (EEE) components (12 May 2022).** Disponível em: <<https://ecss.nl/standard/ecss-q-st-60c-rev-3-electrical-electronic-and-electromechanical-eee-components-2-may-2022/>>. Acesso em: 6 out. 2024.

ECSS. **ECSS-E-ST-10-04C - Space Environment.** The Netherlands: [s.n.], 2008.

ECSS. **ECSS-Q-ST-70-12C - Design of printed circuit board.** The Netherlands: [s.n.], 2014.

GERARDIN, S.; PACCAGNELLA, A. **Present and future non-volatile memories for space.** IEEE transactions on nuclear science, 2010.

GEORGE, A. D.; WILSON, C. M. **Onboard processing with hybrid and reconfigurable computing on small satellites.** Proceedings of the IEEE. Institute of Electrical and Electronics Engineers, 2018.

GomSpace NanoMind A3200 Datasheet. Disponível em <https://gomspace.com/UserFiles/Subsystems/datasheet/gs-ds-nanomind-a3200_1006901-117.pdf>. Acesso em: 07 jun. 2024.

GomSpace NanoMind HP MK3 Datasheet. Disponível em <https://gomspace.com/UserFiles/Subsystems/datasheet/gs-ds-NanoMind_HP_MK3.pdf>. Acesso em: 07 jun. 2024.

GomSpace Nanomind Z7000 Datasheet. 2019. Disponível em: <<https://gomspace.com/UserFiles/Subsystems/datasheet/gs-ds-nanomind-z7000-15.pdf>>. Acesso em: 30 oct. 2024.

INA180A2IDBVR Current Sense Datasheet. Disponível em: <https://www.ti.com/lit/ds/symlink/ina180.pdf?HQS=dis-dk-null-digikeymode-dsf-pf-null-ww&ts=1727202734954&ref_url=https%253A%252F%252Fwww.ti.com%252Fgeneral%252Fdocs%25>

2Fsuppproductinfo.tsp%253Fdistld%253D10%2526gotoUrl%253Dhttps%253A%252F%252Fwww.ti.com%252Fflit%252Fgpn%252Fina180>. Acesso em: 27 out. 2024.

ISIS Space On Board Computer. Disponível em <<https://www.isispace.nl/product/on-board-computer/>>. Acesso em: 07 jun. 2024.

JEDEC. **Double Data Rate (DDR) SDRAM Standard.** 2008. Disponível em: <<https://www.jedec.org/standards-documents/docs/jesd-79f>>. Acesso em: 26 out. 2024.

JUNQUEIRA, B. C.; MANEA, S. **Utilização de COTS em nano satélites.** Brazilian Journal of Development, v. 6, n. 1, p. 1476-1490, 2020.

KADI, M. A. et al. **Dynamic and partial reconfiguration of Zynq 7000 under Linux.** 2013 International Conference on Reconfigurable Computing and FPGAs (ReConFig). Anais...IEEE, 2013.

KLEHN, B.; BROX, M. A. **Comparison of current SDRAM types: SDR, DDR, and RDRAM.** Advances in radio science, v. 1, p. 265–271, 2003.

LABEL, K. A. **Radiation Effects on Electronics 101: Simple Concepts and New Challenges.** NEPP Webex Presentation, 2004.

LOFFLER, T. et al. **Research and Observation in Medium Earth Orbit (ROME) with a cost-effective microsatellite platform.** 72nd International Astronautical Congress (IAC), Dubai, United Arab Emirates. 2021.

Low earth orbit. Disponível em: <https://www.esa.int/ESA_Multimedia/Images/2020/03/Low_Earth_orbit>. Acesso em: 6 out. 2024.

LTC2991IMS#TRPBF Voltage, Current and Temperature Monitor Datasheet. Disponível em: <<https://www.analog.com/media/en/technical-documentation/data-sheets/2991ff.pdf>>. Acesso em: 27 out. 2024.

LTC4361 Overcurrent Protection Controller Datasheet. 2018. Disponível em: <<https://www.analog.com/media/en/technical-documentation/data-sheets/LTC4361-1-4361-2.pdf>>. Acesso em: 27 out. 2024.

MAYANBARI, Masood; KASESAZ, Yaser. **Design and analyse space radiation shielding for a nanosatellite in Low Earth Orbit (LEO).** In: Proceedings of 5th International Conference on Recent Advances in Space Technologies-RAST2011. IEEE, 2011. p. 489-493.

MAK, B. **Basics of Load Switches**. 2018. Disponível em: <<https://www.ti.com/lit/an/slva652a/slva652a.pdf?ts=1730079105016>>. Acesso em: 28 out. 2024.

MARCELINO, G. M. et al. **A critical embedded system challenge: The FloripaSat-1 mission**. IEEE Latin America Transactions, 2020.

MARCELINO, G. M. et al. **FloripaSat-2: An Open-Source Platform for CubeSats**. IEEE embedded systems letters, 2024.

MATTOS, A. M. P. **HARSH ENVIRONMENT CUBESAT PAYLOAD**. 2020. Disponível em <<https://github.com/andrempmattos/harsh-payload>>. Acesso em: 06 nov. 2024.

MMC5983MA Magnetometer Datasheet. Disponível em: <https://mm.digikey.com/Volume0/opasdata/d220001/medias/docus/333/MMC5983MA_RevA_4-3-19.pdf>. Acesso em: 27 out. 2024.

MT25QL128ABB1ESE-0AUT Flash NOR Datasheet. Disponível em: <<https://www.micron.com/content/dam/micron/global/secure/products/data-sheet/nor-flash/serial-nor/mt25q/die-rev-b/mt25q-qlht-l-128-abb-xt.pdf>>. Acesso em: 27 out. 2024.

MT29F1G01ABAFDSF-AAT:F Flash NAND Datasheet. Disponível em: <<https://www.micron.com/content/dam/micron/global/secure/products/data-sheet/nand-flash/70-series/m78a-1gb-spi-auto.pdf>>. Acesso em: 27 out. 2024.

MT41K256M8DA-125:K DDR3L Datasheet. Disponível em: <<https://www.micron.com/content/dam/micron/global/secure/products/data-sheet/dram/ddr3/2gb-1-35v-ddr3l.pdf>>. Acesso em: 27 out. 2024.

Nano Avionics. **CubeSat On-Board Computer – Main Bus Unit SatBus 3C2**. Disponível em <<https://nanoavionics.com/cubesat-components/cubesat-on-board-computer-main-bus-unit-satbus-3c2/>>. Acesso em: 07 jun. 2024.

NASA Parts Selection List (NPSL). 2016. Disponível em: <<https://nepp.nasa.gov/npsl/>>. Acesso em: 6 out. 2024.

NASA Product Verification. Disponível em: <<https://www.nasa.gov/reference/5-3-product-verification/>>. Acesso em: 30 out. 2024.

PUTRA, A. C. A. Y.; WIJANTO, H.; EDWAR. **Design and implementation RTOS (real time operating system) as a nano satellite control for responding to space environmental conditions**. 2021 IEEE Asia Pacific Conference on Wireless and Mobile (APWiMob). Anais...IEEE, 2021.

SARJEANT, W. **Capacitors**. IEEE transactions on electrical insulation, v. 25, n. 5, p. 861–922, 1990.

SOH, W.-S. et al. **Filter design for suppression of noise coupling from PCB to DC power supply**. 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility. Anais...IEEE, 2010.

TCA4311ADR I2C Buffer Datasheet. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftca4311a>>. Acesso em: 27 out. 2024.

TCAN330D CAN Transceiver Datasheet. Disponível em: <https://www.ti.com/lit/ds/symlink/tcan330.pdf?ts=1729084231140&ref_url=https%253A%252F%252Fbr.mouser.com%252F>. Acesso em: 27 out. 2024.

THVD1451DR RS-485 Transceiver Datasheet. Disponível em: <https://www.ti.com/lit/ds/symlink/thvd1410.pdf?HQS=dis-dk-null-digikeymode-dsf-pf-null-ww&ts=1722094226249&ref_url=https%253A%252F%252Fwww.ti.com%252Fgeneral%252Fdocs%252Fsuppproductinfo.tsp%253FdistId%253D10%2526gotoUrl%253Dhttps%253A%252F%252Fwww.ti.com%252Flit%252Fgpn%252Fthvd1410>. Acesso em: 27 out. 2024.

TPS22920YZPR Load Switch Datasheet. 2016. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps22920>>. Acesso em: 27 out. 2024.

TPS3823-33QDBVRQ1 Watchdog Timer Datasheet. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps3828-q1>>. Acesso em: 27 out. 2024.

TPS51200DRCR DC-DC Voltage Regulator Datasheet. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps51200>>. Acesso em: 27 out. 2024.

TPS82085SILR DC-DC Voltage Regulator Datasheet. 2019. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps82085>>. Acesso em: 27 out. 2024.

UG470 - 7 Series FPGAs Configuration User Guide. 2023. Disponível em <https://docs.amd.com/v/u/en-US/ug470_7Series_Config>. Acesso em: 29 out. 2024.

UG480 - 7 Series FPGAs and Zynq-7000 SoC XADC Dual 12-Bit 1 MSPS Analog-to-Digital Converter User Guide. 2022. Disponível em <https://docs.amd.com/r/en-US/ug480_7Series_XADC>. Acesso em: 29 out. 2024.

UG585 - Zynq 7000 SoC Technical Reference Manual - AMD technical information portal. 2023. Disponível em: <<https://docs.amd.com/r/en-US/ug585-zynq-7000-SoC-TRM/Zynq-7000-SoC-Technical-Reference-Manual>>. Acesso em: 25 out. 2024.

UG865 - Zynq-7000 SoC Packaging and Pinout Product Specification - AMD technical information portal. 2021. Disponível em: <<https://docs.amd.com/v/u/en-US/ug865-Zynq-7000-Pkg-Pinout>>. Acesso em: 25 out. 2024.

UG933 - Zynq-7000 SoC PCB Design Guide. 2019. Disponível em <<https://docs.amd.com/v/u/en-US/ug933-Zynq-7000-PCB>>. Acesso em: 29 out. 2024.

WEIDMANN, D. et al. **Cubesats for monitoring atmospheric processes (CubeMAP): a constellation mission to study the middle atmosphere.** Sensors, Systems, and Next-Generation Satellites XXIV. Anais...SPIE, 2020.

XPE - Power Estimator. 2019. Disponível em: <<https://www.amd.com/en/products/adaptive-socs-and-fpgas/technologies/power-efficiency/power-estimator.html>>. Acesso em: 28 out. 2024.

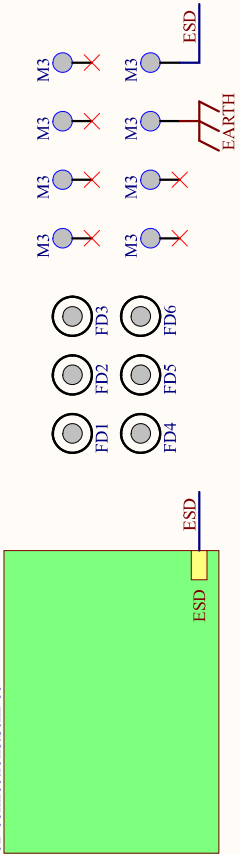
ZHOU, Q. et al. **Design of a compact and reconfigurable onboard data handling system.** 2018 IEEE Intl Conf on Parallel & Distributed Processing with Applications, Ubiquitous Computing & Communications, Big Data & Cloud Computing, Social Computing & Networking, Sustainable Computing & Communications (ISPA/IUCC/BDCLOUD/SocialCom/SustainCom). Anais...IEEE, 2018.

APÊNDICE A – ESQUEMÁTICO COMPLETO

Rev	Description	Date	Author
0.1	- Schematics are being created	15/08/2024	Yuri G. Rezende

Revision History

02-connections_SchDoc

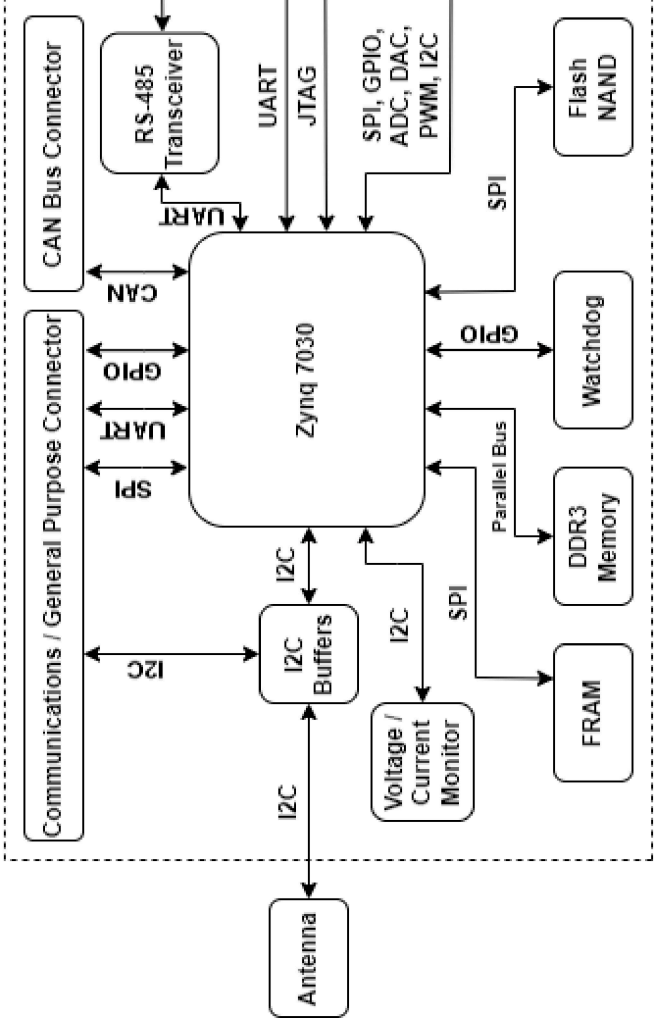


PCB

OBDH3 Hardware:

- Drawn by: Yuri G. Rezende
- Reviewer: Gabriel M. Marcelino
- Based on FloripaSat-II OBDH designed by: André M. P. Mattos
- Support: Gabriel M. Marcelino

Project Contributions



Block Diagram

Copyright © 2024
by Universidade Federal de Santa Catarina.

OBDH3 Hardware
Based on the FloripaSat-II OBDH2

This work is licensed under the CERN-OHL-S Open Hardware License version 2.
To view a copy of this license, visit <https://ohwr.org/project/cernohl/wikis/Documents/CERN-OHL-version-2>.

Github repository: <https://github.com/yuriggazzoni/TCC>
More info about SpaceLab: <https://spacelab.ufsc.br/>

Project Information

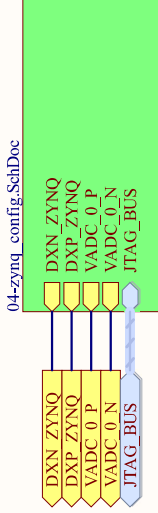
SpaceLab - Federal University of Santa Catarina	
Project: OBDH3_PrjFeb	
Title: 01-architecture_SchDoc	
Designed by: Yuri G Rezende	
Date: 24/10/2024	Revision: v0.1
Sheet 1 of 17	
Project code: obdh3	Size: A4



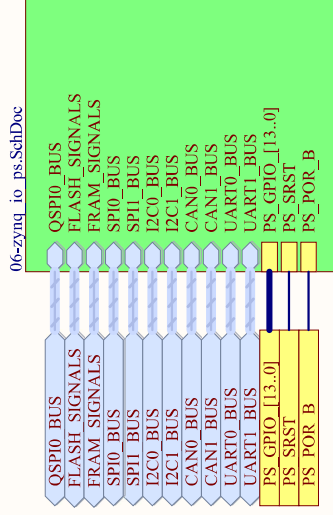
ZYNQ POWER PINS



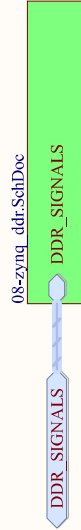
ZYNQ CONFIGURATION PINS



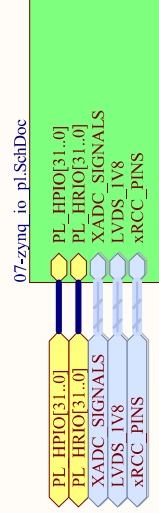
ZYNQ IO PINS FROM PS SIDE



ZYNQ CONFIGURATION PINS



ZYNQ IO PINS FROM PL SIDE



SpaceLab - Federal University of Santa Catarina

Project: OBDDH3.PrjFeb

Title: 03-zynq.SchDoc

Designed by: Yuri G Rezende

Date: 24/10/2024

Revision: v0.1

Sheet 3 of 17

Project code: obddh3

Size: A4



A

A

B

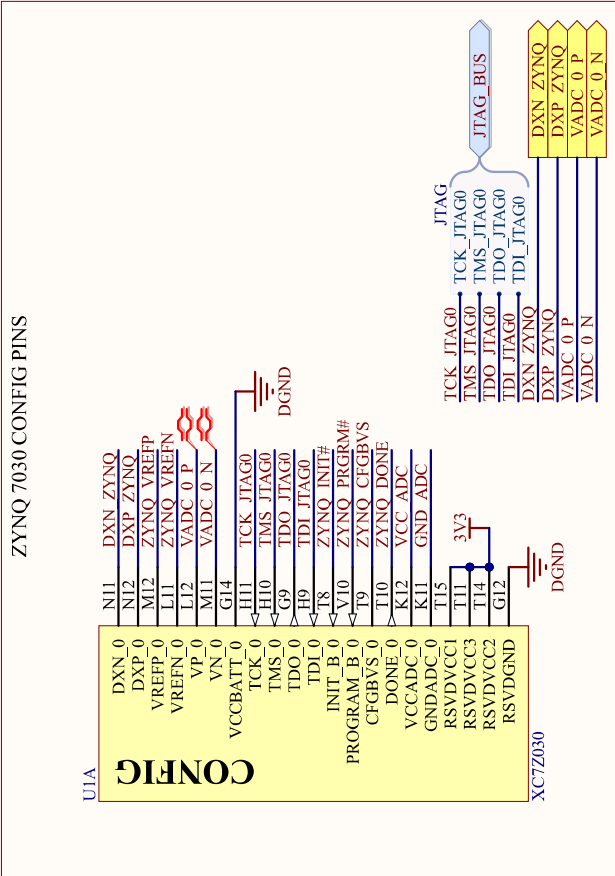
B

C

C

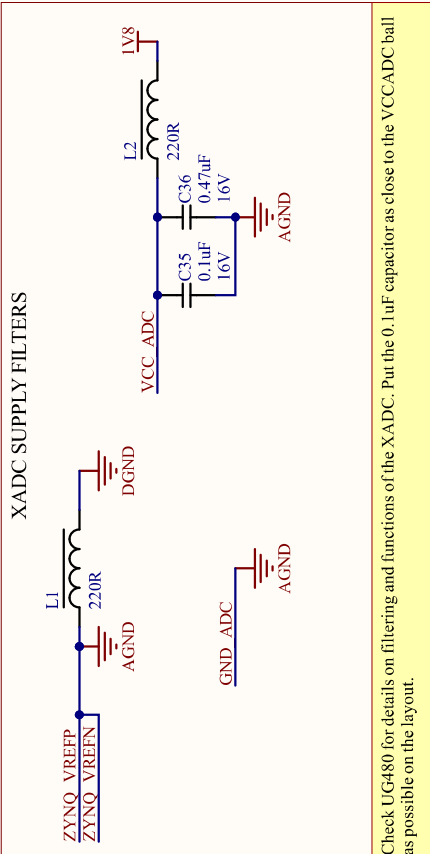
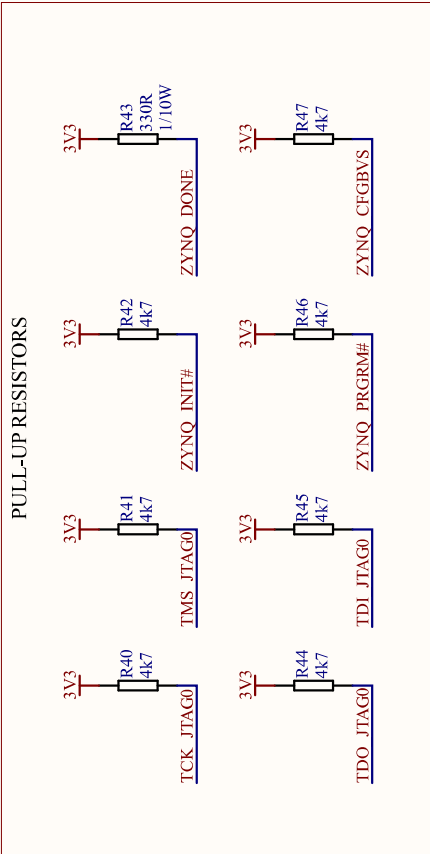
D

D



This is the bank 0 of the Zynq IC. Following UG470, UG480, UG865, UG933 and DS191, the pins are described as the following:

- DXN and DXP: Cathode and Anode of the internal temperature-measuring diode.
- VREFP and VREFN: Reference voltages for XADC (1.25V).
- VP and VN: Differential input for XADC.
- VCCBAT: Battery power supply. Should be pulled to ground when not used.
- TCK, TMS, TDO and TDI: JTAG signals.
- INIT_B: Active Low, indicates initialization of configuration memory.
- PROGRAM_B: Active Low, asynchronous reset to configuration logic.
- CFGBVS: This pin pre-selects the IO standard type for bank 0. Since VCCCO_0 is 3.3V, this should be pulled-up to 3.3V.
- DONE: Active High, indicates successful completion of configuration. It should be pulled-up to 3.3V by a 330R resistor.
- VCCADC and GNDADC: XADC supply voltage.
- RSVDVCC and RSVDGND: Reserved VCC pins. Should be connected to 3.3V.



SpaceLab - Federal University of Santa Catarina

Project: OBDDH3.PrjFeb

Title: 04-zynq_config.SchDoc

Designed by: Yuri G Rezende

Date: 24/10/2024

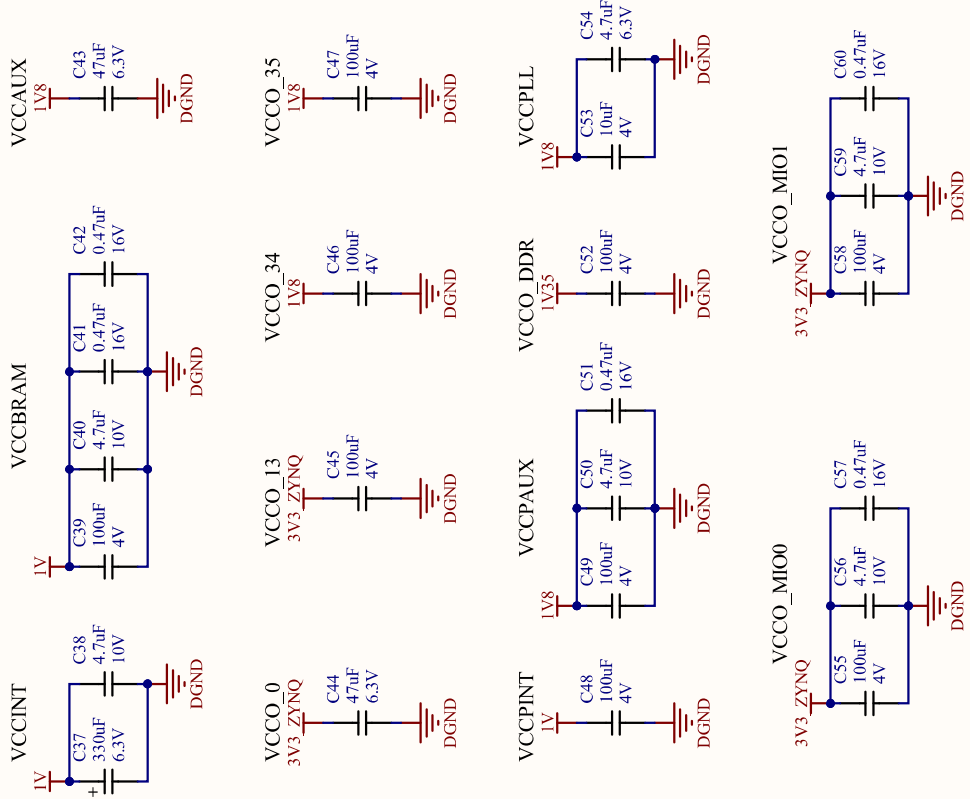
Revision: v0.1

Sheet 4 of 17

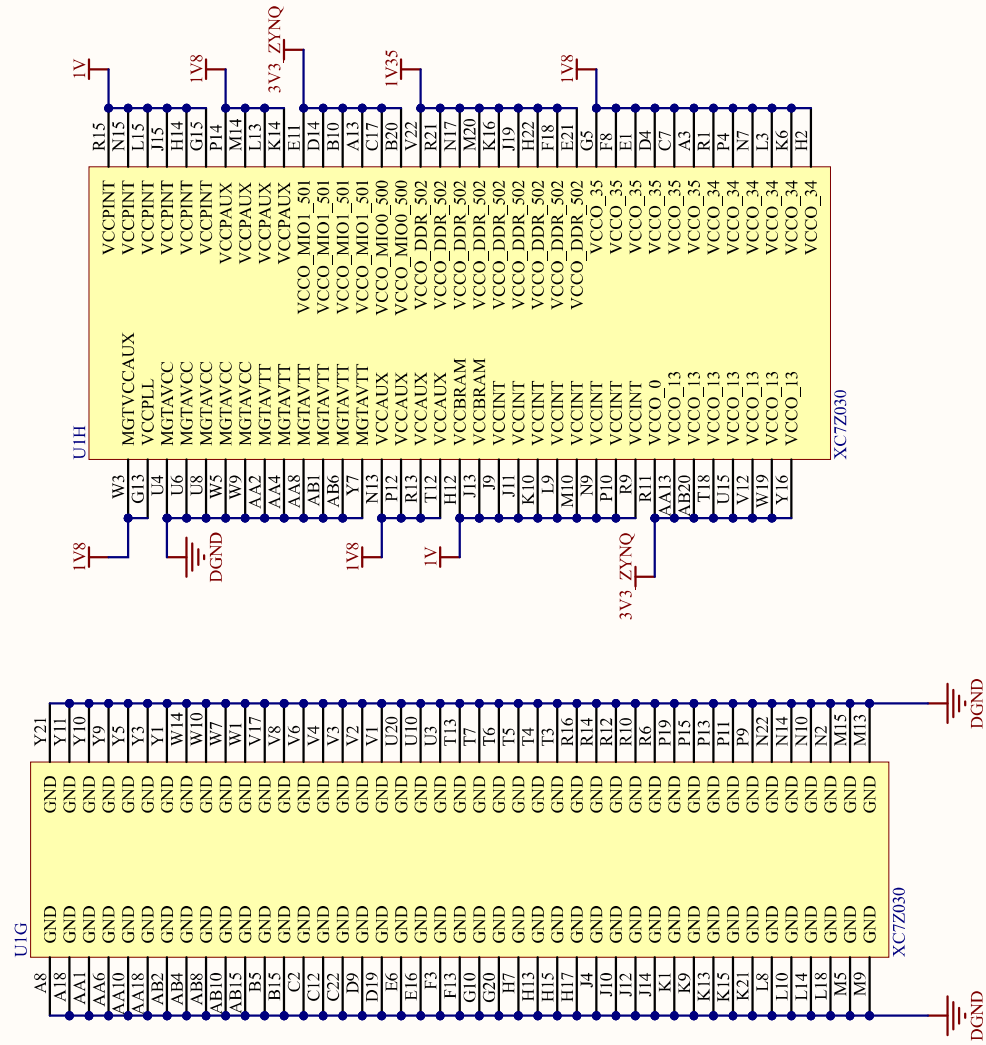
Project code: obddh3

Size: A4

DECOUPLING CAPACITORS

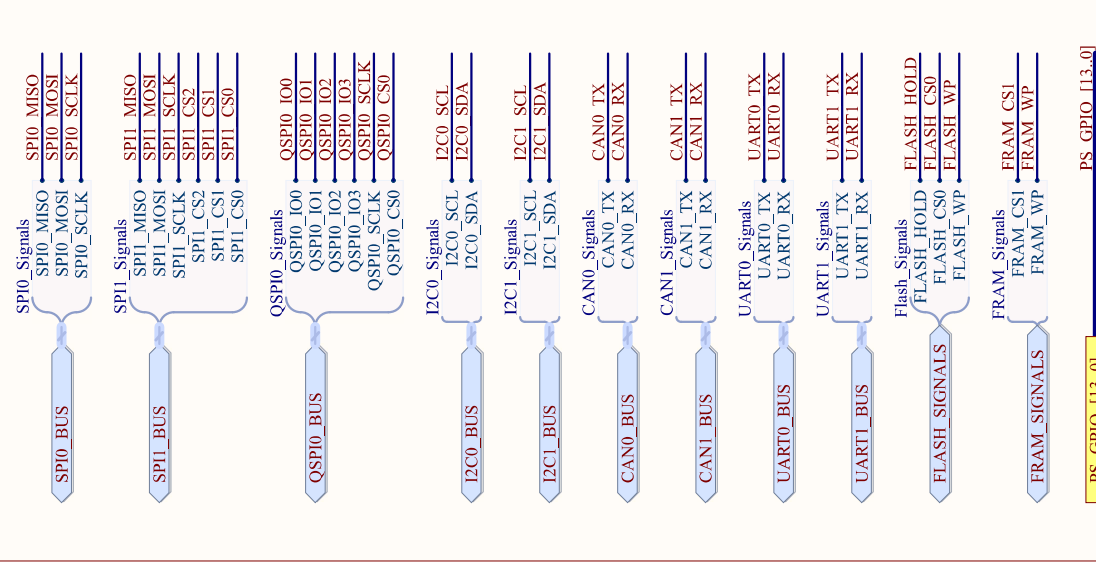


ZYNQ 7030 POWER PINS

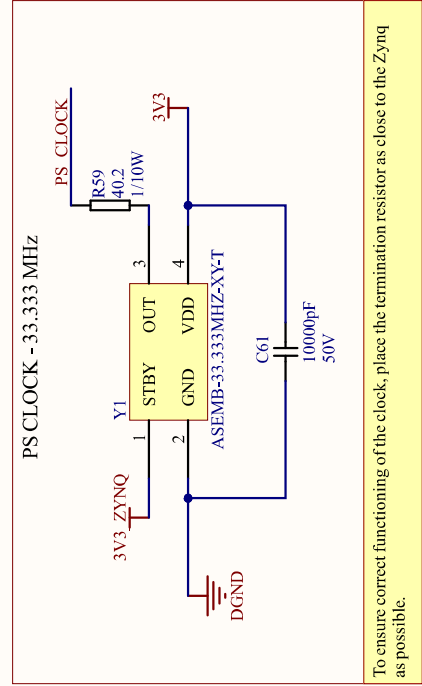
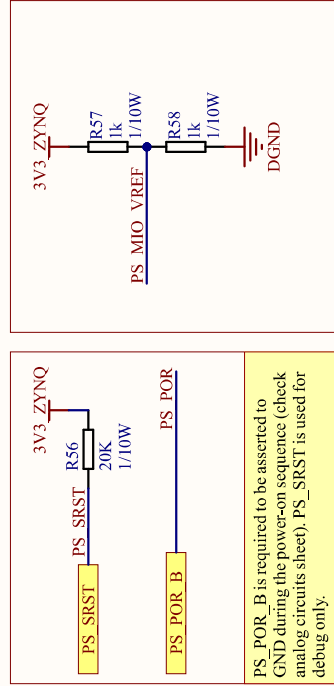
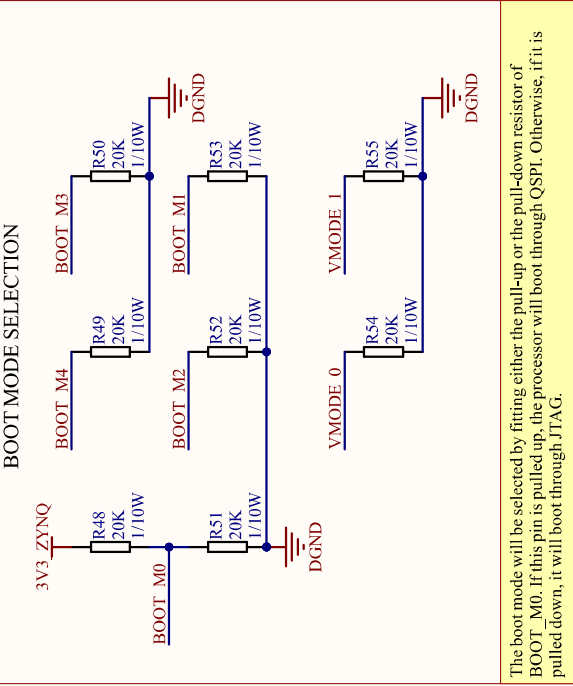


This is the power pins for the Zynq 7030. Check the power system sheets for detailed description on power sequence. The GTX transceiver system will not be used, so its power pins should be connected to GND (see UG482, Table 5-4). VCC0 for banks 34 and 35 MUST be 1.8V. Check UG933 for decoupling capacitors requirements for each VCC pin.





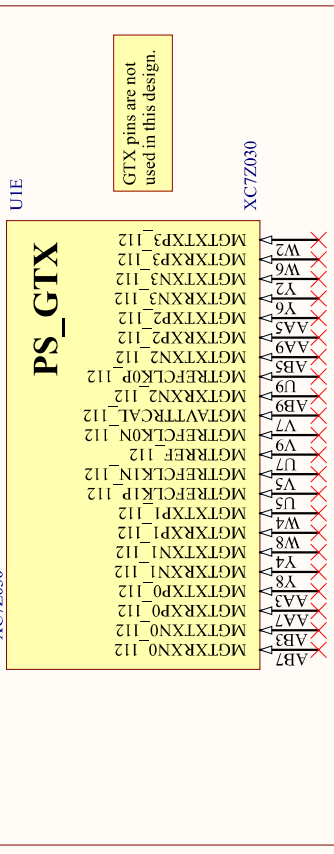
- SPI0: SPI bus used for parts from inside the OBDH board.
 - SPI1: SPI bus used for parts from outside the OBDH board.
 - QSPI0: Interface for connection to boot memory.
 - I2C0: I2C bus used for parts from inside the OBDH board.
 - I2C1: I2C bus used for parts from outside the OBDH board (buffers needed for this one).
 - CAN0: CAN bus interface to external boards of the system.
 - CAN1: CAN bus interface to daughter card.
 - UART0: Serial connection for debug purposes.
 - UART1: Serial connection to RS485 transceiver.
 - X_SIGNALS: Extra signals from non-volatile memories.
 - PS_GPIO: General purpose PS pins.



UIC	
PS_GPIO_13	C11
PS_GPIO_12	D13
PS_GPIO_11	C13
PS_GPIO_10	D10
PS_GPIO_9	C9
PS_GPIO_8	D8
PS_GPIO_7	B13
PS_GPIO_6	D11
PS_GPIO_5	B14
PS_GPIO_4	E14
PS_GPIO_3	B12
PS_GPIO_2	D15
PS_GPIO_1	C15
PS_GPIO_0	E0
PS_CS2	C10
SPI_CS1	F10
SPI_CS0	B9
SPI_SCLK	A14
SPI_MISO	F0
SPI_MOSI	B11
I2C1_SDA	G11
I2C1_SCL	C16
PS_MIO32_501	F16
PS_MIO31_501	A12
PS_MIO30_501	E15
PS_MIO29_501	A11
PS_MIO28_501	D16
PS_MIO27_501	A10
PS_MIO26_501	F11
PS_MIO25_501	B16
PS_MIO24_501	E12
PS_MIO23_501	A9
PS_MIO22_501	F12
PS_MIO21_501	A15
PS_MIO20_501	A15
PS_MIO19_501	A16
PS_MIO18_501	E14
PS_MIO17_501	D17
PS_MIO16_501	C14
PS_SRST_B_501	F15
PS_MIO_VREF_501	F15

NET TIES	
BOOT_M3	QSPI0_IO0
BOOT_M1	QSPI0_IO1
BOOT_M2	QSPI0_IO2
BOOT_M0	QSPI0_IO3
BOOT_M4	QSPI0_SCLK

PS_POR	
B18	PS_POR_B_500
F16	PS_CLK_500
G17	PS_MIO0_500
A22	QSPI0_CS0
A21	BOOT_M3
F17	BOOT_M1
E19	BOOT_M2
A20	BOOT_M0
A19	BOOT_M4
D18	VMODE_0
E18	VMODE_1
C19	PS_MIO9_500
G16	I2C0_SCL
B19	I2C0_SDA
C18	CAN1_TX
A17	CAN1_RX
B17	UART0_RX
E17	UART0_TX



PS_MIO

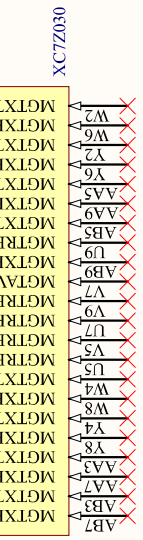
For pin swapping, check the MIO-at-a-glance table on UG585. Be aware of pins MIO_0 to MIO_8, which cannot be swapped.

NET TIES

PS_POR	
B18	PS_POR_B_500
F16	PS_CLK_500
G17	PS_MIO0_500
A22	QSPI0_CS0
A21	BOOT_M3
F17	BOOT_M1
E19	BOOT_M2
A20	BOOT_M0
A19	BOOT_M4
D18	VMODE_0
E18	VMODE_1
C19	PS_MIO9_500
G16	I2C0_SCL
B19	I2C0_SDA
C18	CAN1_TX
A17	CAN1_RX
B17	UART0_RX
E17	UART0_TX

PS_GTX

GTX pins are not used in this design.



SpaceLab - Federal University of Santa Catarina

Project: OBDH3.PjtFeb

Title: 06-zynq_io_ps.SchDoc

Designed by: Yuri G Rezende

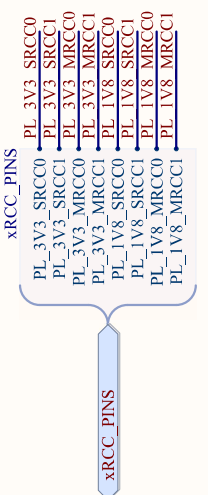
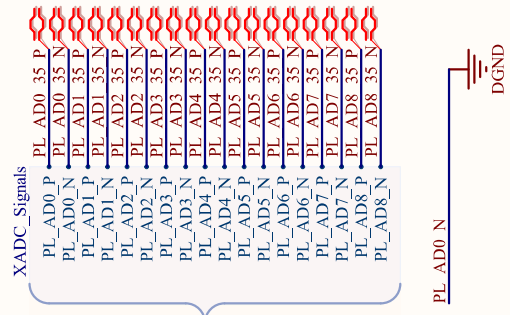
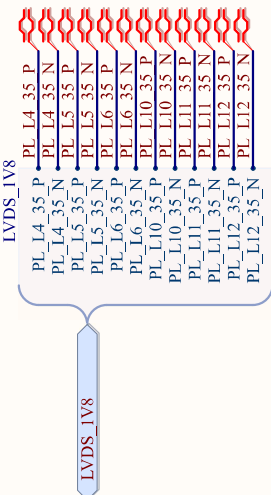
Date: 24/10/2024 Revision: v0.1 Sheet 6 of 17

Project code: obdh3

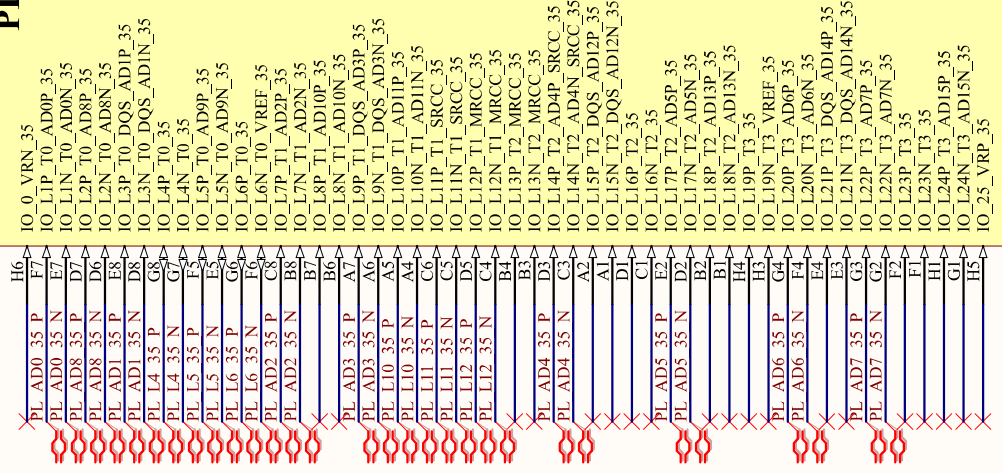
Size: A4

PL_HRIO[31..0]

PL_HPIO[31..0]



PL_HP



XC7Z030

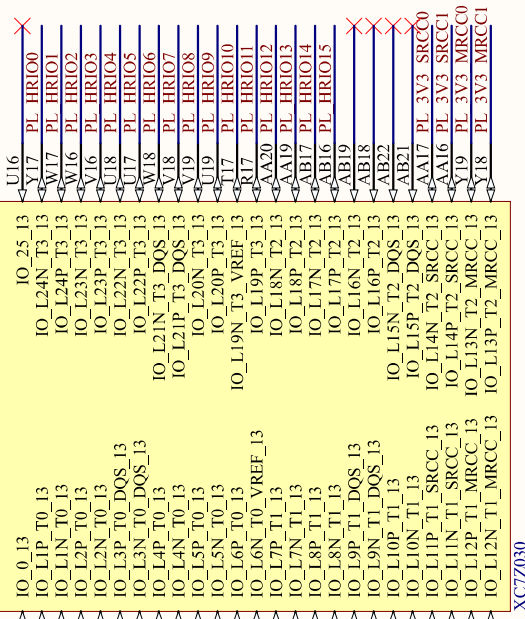
Banks 34 and 35 are 1.8V only. All single ended signals, differential signals, clocks and XADC signals should be 1.8V compatible, otherwise dire consequences may happen to the Zynq IC.

When doing the layout, feel free to pin-swap all the IO signals and/or the LVDS signals (pay close attention to the voltage level and to the correct P/N of the differential pair).

Also, this is the signal description for all three PL banks, according to their net names:

- PL_ADx: Input of XADC. All of them are on bank 35, which means that the differential signal must be compatible with 1.8V.
- PL_Lx: LVDS signals. Present only on the HP (high performance) banks, compatible with LVDS_18.
- PL_HPIOx: general purpose IOs on bank 34 (HP, 1.8V only).
- PL_HRIOx: general purpose IOs on bank 13 (HR).
- PL_xx_SRCCx: Single Region Clock Capable pins.
- PL_xx_MRCCx: Multi Region Clock Capable pins.

PL_HR



XC7Z030

SpaceLab - Federal University of Santa Catarina

Project: OBDDH3_PrtJpb

Title: 07-zynq_io_pl_SchDoc

Designed by: Yuri G Rezende

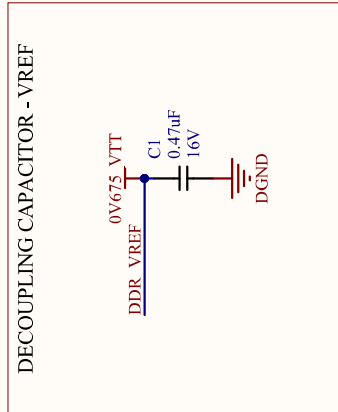
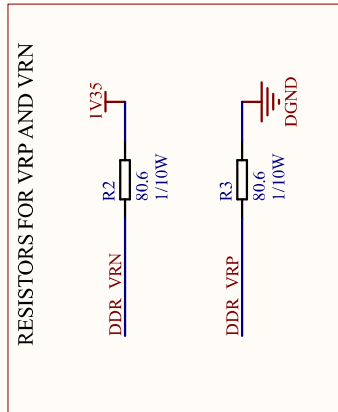
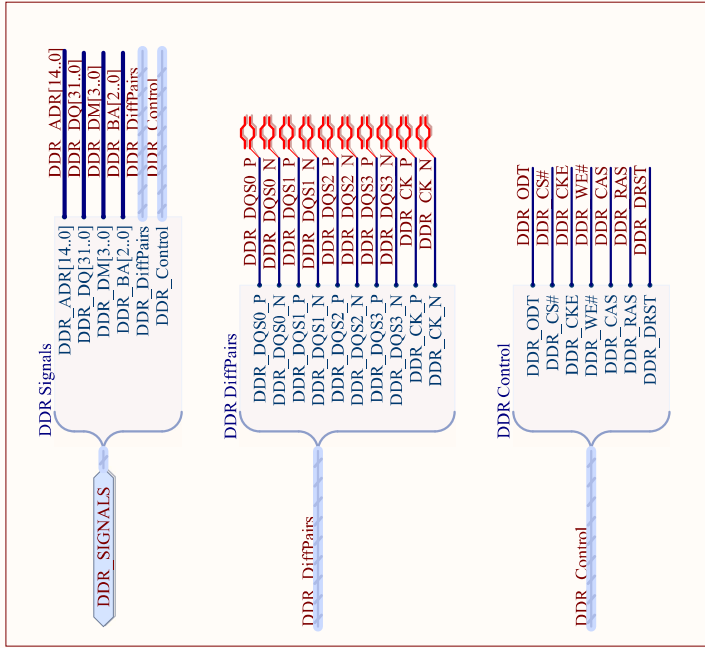
Date: 28/10/2024 Revision: v0.1

Sheet 7 of 17

Proj code: obddh3

Size: A4



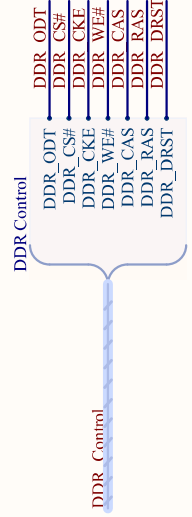
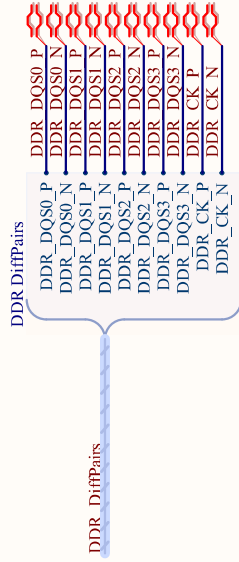
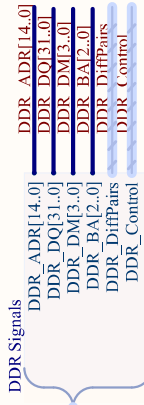


UIIB	
DDR_DQ00	D22
DDR_DQ01	C20
DDR_DQ02	B2
DDR_DQ03	D3
DDR_DQ04	E20
DDR_DQ05	E22
DDR_DQ06	F2
DDR_DQ07	F7
DDR_DQ08	G2
DDR_DQ09	G22
DDR_DQ10	L2
DDR_DQ11	L22
DDR_DQ12	L3
DDR_DQ13	K2
DDR_DQ14	J22
DDR_DQ15	K20
DDR_DQ16	M2
DDR_DQ17	T20
DDR_DQ18	N20
DDR_DQ19	T22
DDR_DQ20	R20
DDR_DQ21	T2
DDR_DQ22	M2
DDR_DQ23	R22
DDR_DQ24	Y70
DDR_DQ25	U3
DDR_DQ26	AA2
DDR_DQ27	U2
DDR_DQ28	W2
DDR_DQ29	W20
DDR_DQ30	V20
DDR_DQ31	Y22
DDR_DQS0_N	D21
DDR_DQS0_P	C21
DDR_DQS1_N	J21
DDR_DQS1_P	H21
DDR_DQS2_N	P21
DDR_DQS2_P	N21
DDR_DQS3_N	W21
DDR_DQS3_P	W2
PS_DDR_DQ00_502	D22
PS_DDR_DQ01_502	C20
PS_DDR_DQ02_502	B2
PS_DDR_DQ03_502	D3
PS_DDR_DQ04_502	E20
PS_DDR_DQ05_502	E22
PS_DDR_DQ06_502	F2
PS_DDR_DQ07_502	F7
PS_DDR_DQ08_502	G2
PS_DDR_DQ09_502	G22
PS_DDR_DQ10_502	L2
PS_DDR_DQ11_502	L22
PS_DDR_DQ12_502	L3
PS_DDR_DQ13_502	K2
PS_DDR_DQ14_502	J22
PS_DDR_DQ15_502	K20
PS_DDR_DQ16_502	M2
PS_DDR_DQ17_502	T20
PS_DDR_DQ18_502	N20
PS_DDR_DQ19_502	T22
PS_DDR_DQ20_502	R20
PS_DDR_DQ21_502	T2
PS_DDR_DQ22_502	M2
PS_DDR_DQ23_502	R22
PS_DDR_DQ24_502	Y70
PS_DDR_DQ25_502	U3
PS_DDR_DQ26_502	AA2
PS_DDR_DQ27_502	U2
PS_DDR_DQ28_502	W2
PS_DDR_DQ29_502	W20
PS_DDR_DQ30_502	V20
PS_DDR_DQ31_502	Y22
PS_DDR_DQS_N0_502	D21
PS_DDR_DQS_P0_502	C21
PS_DDR_DQS_N1_502	J21
PS_DDR_DQS_P1_502	H21
PS_DDR_DQS_N2_502	P21
PS_DDR_DQS_P2_502	N21
PS_DDR_DQS_N3_502	W21
PS_DDR_DQS_P3_502	W2
PS_DDR_DM0_502	H20
PS_DDR_DM1_502	P22
PS_DDR_DM2_502	AA21
PS_DDR_DM3_502	R18
PS_DDR_RAS_B_502	P20
PS_DDR_CAS_B_502	R19
PS_DDR_WE_B_502	T19
PS_DDR_CKE_502	N18
PS_DDR_CK_N_502	N19
PS_DDR_CK_P_502	P17
PS_DDR_CS_B_502	P18
PS_DDR_ODT_502	N16
PS_DDR_VRP_502	E20
PS_DDR_VRN_502	F20
PS_DDR_DRST_B_502	H16
PS_DDR_VREF1_502	H16
PS_DDR_VREF0_502	H16
PS_DDR_A0_502	M19
PS_DDR_A1_502	M18
PS_DDR_A2_502	K19
PS_DDR_A3_502	L19
PS_DDR_A4_502	K17
PS_DDR_A5_502	K18
PS_DDR_A6_502	J16
PS_DDR_A7_502	J17
PS_DDR_A8_502	J18
PS_DDR_A9_502	H18
PS_DDR_A10_502	J20
PS_DDR_A11_502	G18
PS_DDR_A12_502	H19
PS_DDR_A13_502	F19
PS_DDR_A14_502	G19
PS_DDR_BA0_502	L16
PS_DDR_BA1_502	L17
PS_DDR_BA2_502	M17
PS_DDR_DM0	B22
PS_DDR_DM1	H20
PS_DDR_DM2	P22
PS_DDR_DM3	AA21
PS_DDR_RAS	R18
PS_DDR_CAS	P20
PS_DDR_WE	R19
PS_DDR_CKE	T19
PS_DDR_CK_N	N18
PS_DDR_CK_P	N19
PS_DDR_CS	P17
PS_DDR_ODT	P18
PS_DDR_VRP	N16
PS_DDR_VRN	M16
PS_DDR_DRST	E20
PS_DDR_VREF	F20

For more information on the DDR3 pins, check sheet 09 and UG933.

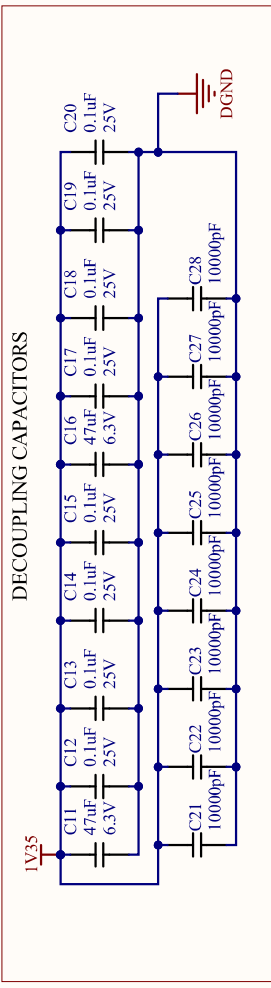
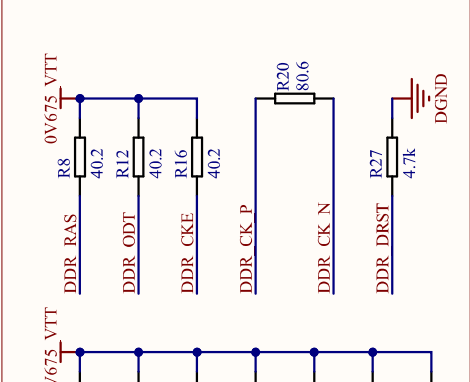
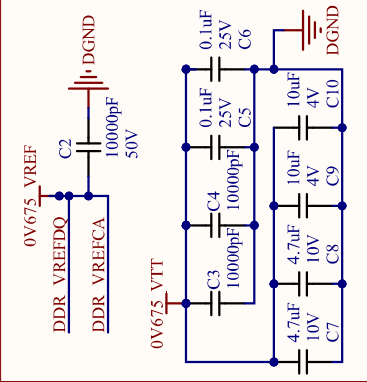
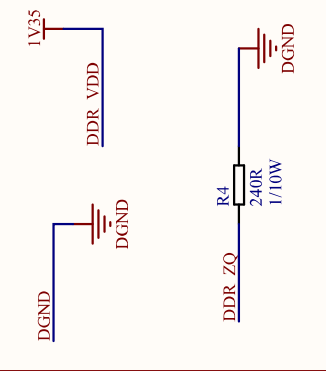
SpaceLab - Federal University of Santa Catarina	
Project: OBDDH3.PrjFeb	
Title: 08-zynq_ddr.SchDoc	
Designed by: Yuri G Rezende	
Date: 24/10/2024	Revision: v0.1
Sheet 8 of 17	Project code: obddh3
	Size: A4





DDR3 NETS' DESCRIPTION:

- DDR_ADR[14..0]: Address Bus.
- DDR_DQ[31..0]: DO input/output Data Bus.
- DDR_DM[3..0]: Mask signal.
- DDR_BA[2..0]: Bank Address Bus.
- DDR_DQSx: Differential Data Strobe signal.
- DDR_Ck: Differential Clock.
- DDR_ODT: Output dynamic termination signal.
- DDR_CS#: Chip Select signal.
- DDR_CKE: Clock Enable signal.
- DDR_WE#: Write Enable signal.
- DDR_CAS: RAS column address strobe.
- DDR_RAS: RAS row address strobe.
- DDR_DRST: Reset signal.

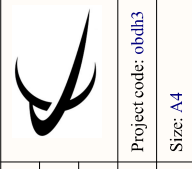


Set rules for DDR3 signals' length tuning and put the decoupling capacitors as close to the VDD pins as possible. The terminations should also be as close as possible to their respective pins. Check the relevant references and Micron datasheet.

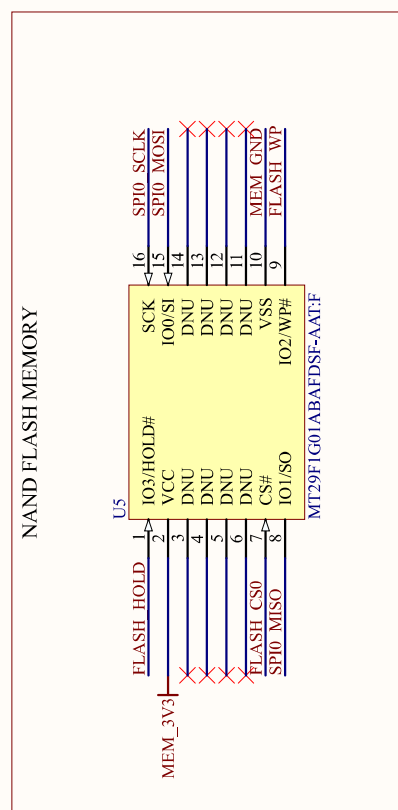
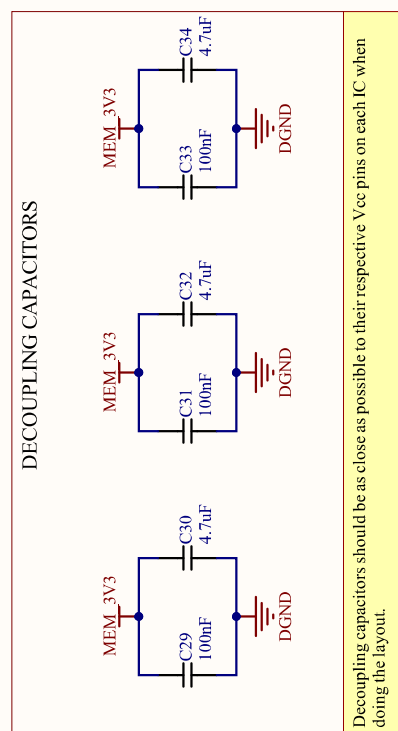
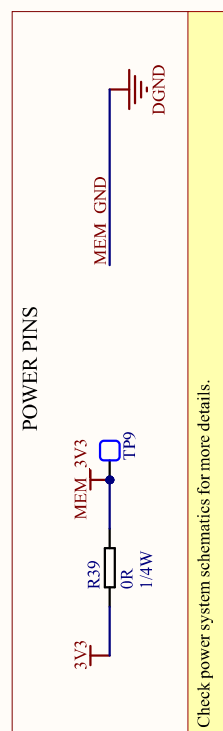
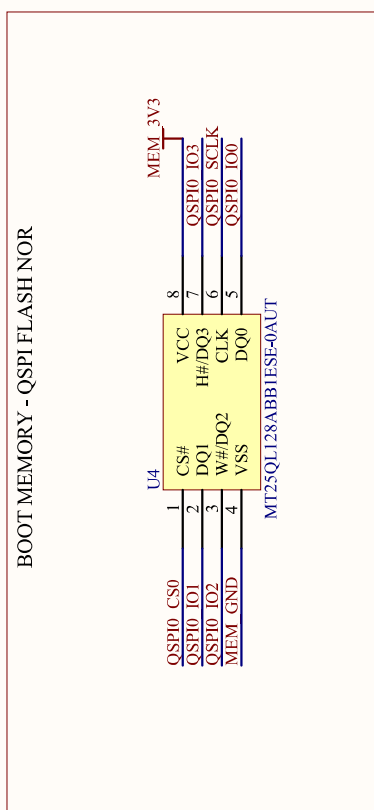
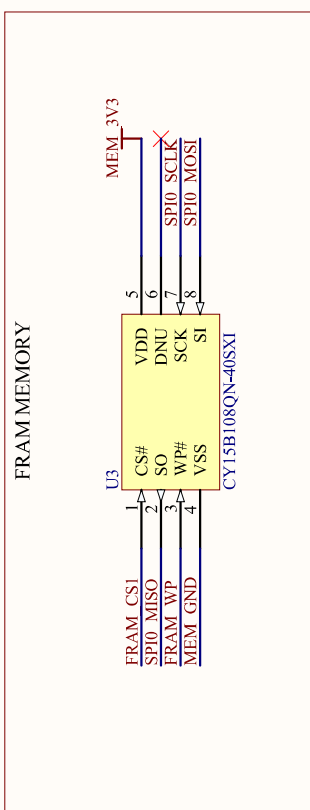
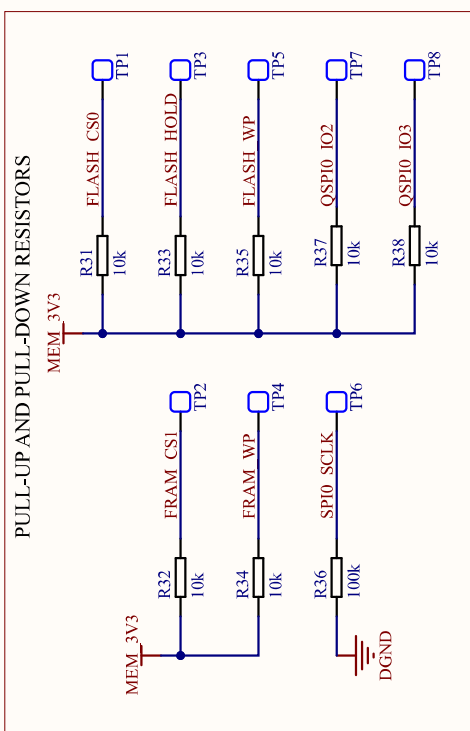
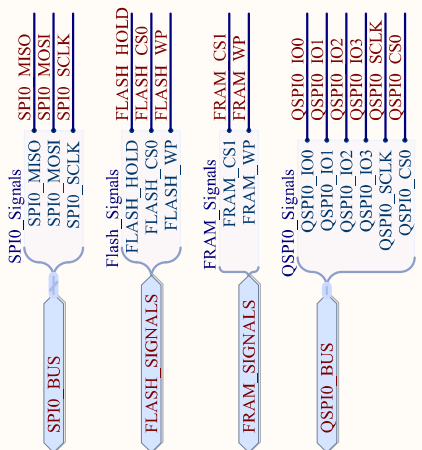
DGND	A1	VSS	N9	DGND
DDR_VDD	A2	VSS	N8	DDR_ADR8
	A3	NC	N7	DDR_ADR14
	A7	NC	N4	DDR_ADR13
	A8	NF/TDQS#	N2	DDR_DRST
	A9	VSS	N1	DGND
	B1	VDD	M9	DDR_VDD
	B2	VSS	M8	DDR_ADR6
	B3	VSSQ	A6	DDR_ADR11
	B7	DM/TDQS	A11	DDR_ADR9
	B8	VSSQ	M3	DDR_ADR7
	B9	VDD	M2	DDR_VDD
	C1	VDDQ	L9	DGND
	C2	VDDQ	L8	DDR_ADR4
	C3	DQ0	L7	DDR_ADR1
	C4	DQ1	L3	DDR_ADR2
	C5	DQ3	L2	DDR_ADR5
	C6	DQ6	L1	DGND
	C7	VSSQ	K9	DDR_VDD
	C8	VSSQ	K8	DDR_BA1
	C9	VSSQ	K7	DDR_ADR12
	D1	VDD	K3	DDR_ADR0
	D2	DQ5#	K2	DDR_ADR3
	D3	VDD	A0	DDR_VDD
	D4	VSS	A3	DDR_VDD
	D5	VSSQ	K1	DDR_VDD
	D6	VSSQ	J9	DGND
	D7	VREFDQ	J8	DDR_VREFCA
	D8	VDDQ	V7	DDR_VREFCA
	D9	VDDQ	NC	DDR_BA2
	E1	DQ7	J3	DDR_BA0
	E2	DQ4	BA2	DDR_BA0
	E3	DQ7	BA0	DDR_BA0
	E4	DQ5	J1	DGND
	E5	VDDQ	H9	DDR_VDD
	E6	VSS	H8	DDR_ZQ
	E7	VSS	H7	DDR_ADR10
	E8	RAS#	H2	DDR_WE#
	E9	CK	H3	DDR_CSE#
	F1	VSS	H1	DDR_CSE#
	F2	VSS	G9	DDR_CKE
	F3	ODT	G8	DDR_VDD
	F4	ODT	G7	DDR_CK_N
	F5	VDD	CAS#	DDR_CK_N
	F6	CAS#		

Trace impedances:
Single-ended: 40 Ohms
Differential: 80 Ohms

SpaceLab - Federal University of Santa Catarina
Project: OBDDH3.PjtFeb
Title: 09-ddr-SchDoc
Designed by: Yuri G Rezende
Date: 24/10/2024
Revision: v0.1
Sheet 9 of 17

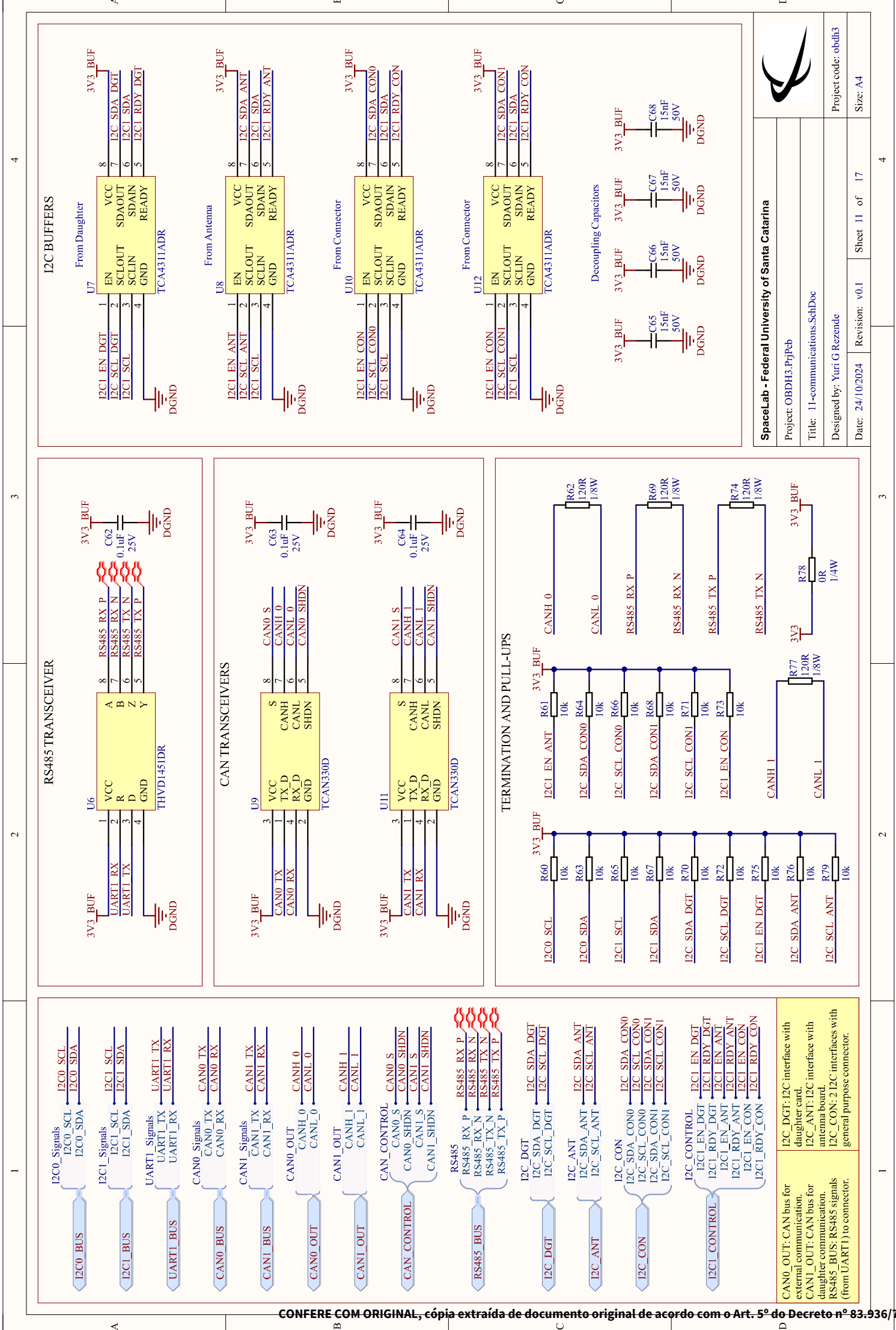


Project code: obddh3
Size: A4



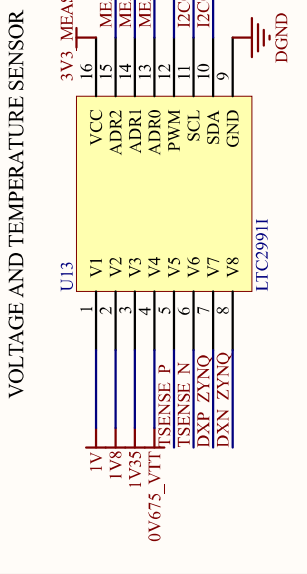
SpaceLab - Federal University of Santa Catarina	
Project: OBDDH3.PrijFeb	
Title: 10-non_volatile_memories.SchDoc	
Designed by: Yuri G Rezende	Revision: v0.1
Date: 24/10/2024	Sheet 10 of 17
Project code: obddh3	
Size: A4	



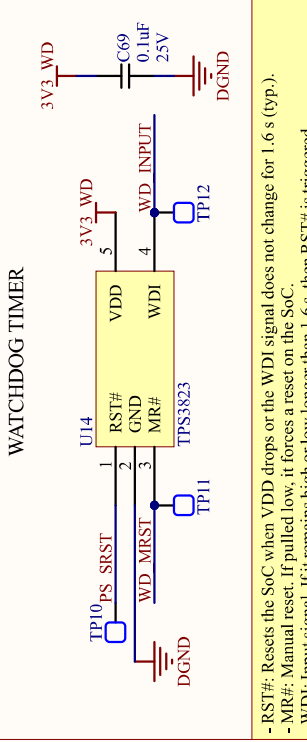


SpaceLab - Federal University of Santa Catarina

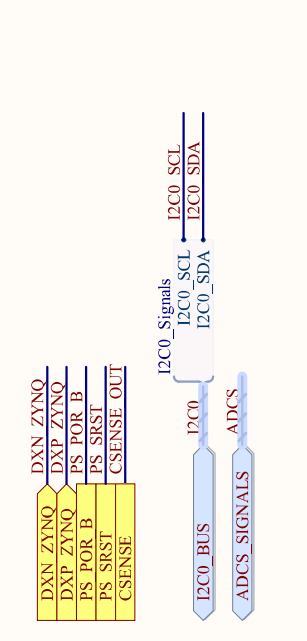
Project: OBDDH3_PrtJpEb	Revision: v0.1	Sheet 11 of 17	Size: A4
Title: 11-communications_SchDoc			
Designed by: Yuri G Rezende			
Date: 24/10/2024			
Project code: obddh3			



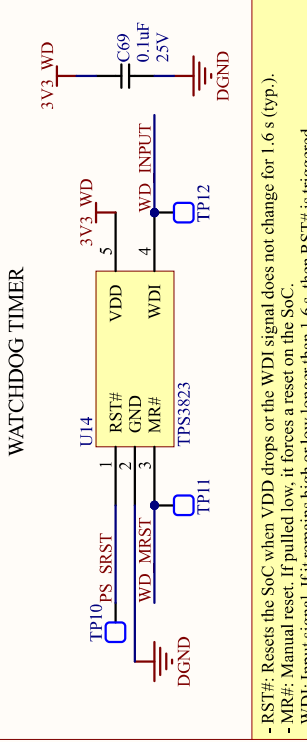
I2C0 Address (chosen by the MEAS_ADDRx nets): 98h
 This sensor measures the voltages on pins V1-V4 and the temperatures on board (V5 and V6) and on Zynq (V7 and V8). Put the decoupling capacitor as close as possible to the VCC pin.



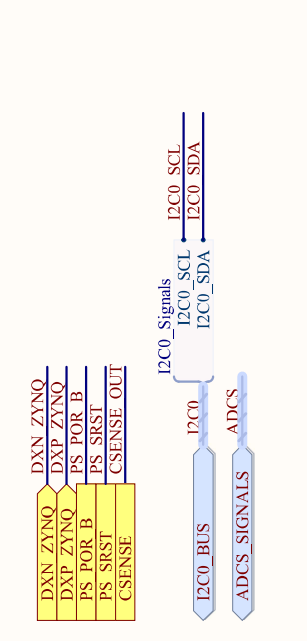
- RST#: Resets the SoC when VDD drops or the WDI signal does not change for 1.6 s (typ.).
 - MR#: Manual reset. If pulled low, it forces a reset on the SoC.
 - WDI: Input signal. If it remains high or low longer than 1.6 s, then RST# is triggered.



For Zynq PS eFuse integrity, POR must be asserted low on power up and down. The truth table is identical to the Power Good signal from the 1V regulator.



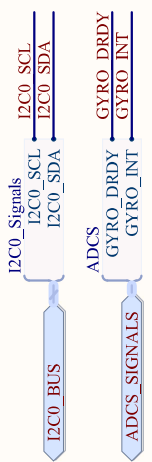
Using the power estimation from the Zynq SoC, along with a buffer factor, the total power of the board typically will be around 7W on the 3V3 rail, implying a current of 2.5 A (I'm using 2.5 A in the calculations). The XADC inputs must be less than 1V (Vsp below).
 $R_{sense} < V_{sp} / (G \times I_{max}) = 1V / (50 \mu V \times 2.5 A) = 80 \text{ m}\Omega$
 $R_{sense} \text{ chosen} = 75 \text{ m}\Omega$
 $R_{sense} \text{ Power Dissipation} = R_{sense} \times I_{max}^2 = 75 \text{ m}\Omega \times (2.5 A)^2 = 0.47 \text{ W}$



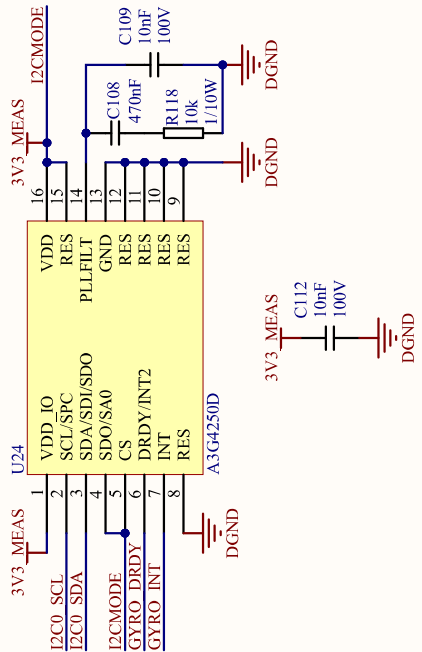
The ADCS system is composed of a magnetometer and a gyroscope. Check its sheet for details.

SpaceLab - Federal University of Santa Catarina
 Project: OBDDH3.PrjFeb
 Title: 12-analog_circuits.SchDoc
 Designed by: Yuri G Rezende
 Date: 09/11/2024 Revision: v0.1 Sheet 12 of 17
 Project code: obddh3
 Size: A4

13-ades.SchDoc

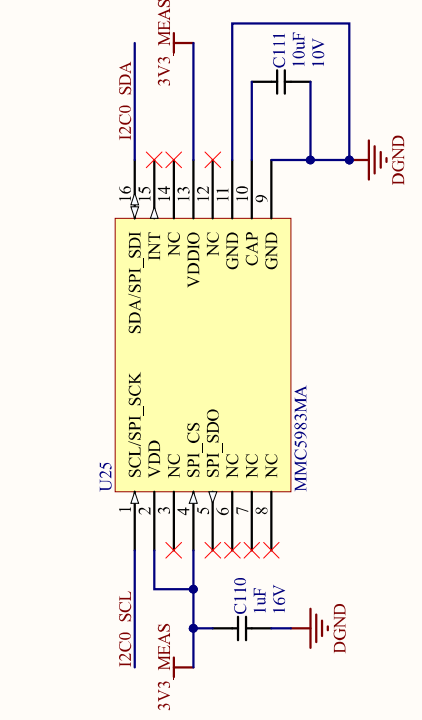


GYROSCOPE



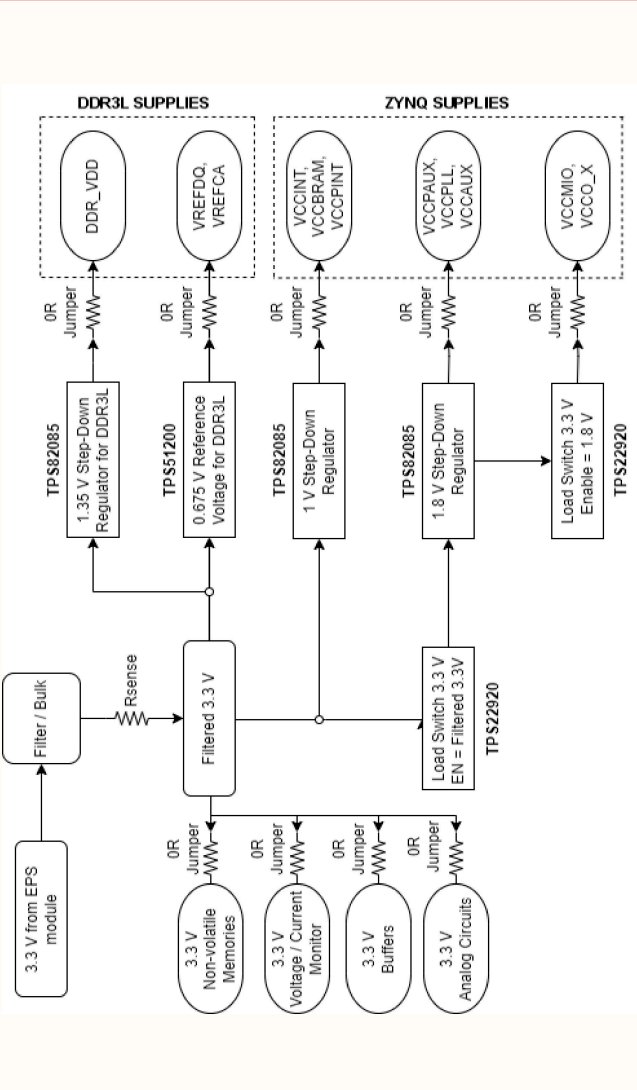
This gyroscope uses I2C to communicate. I2C Address = 1101001b.
 - DRDY: Data Ready interrupt.
 - INT: Programmable interrupt signal.

MAGNETOMETER



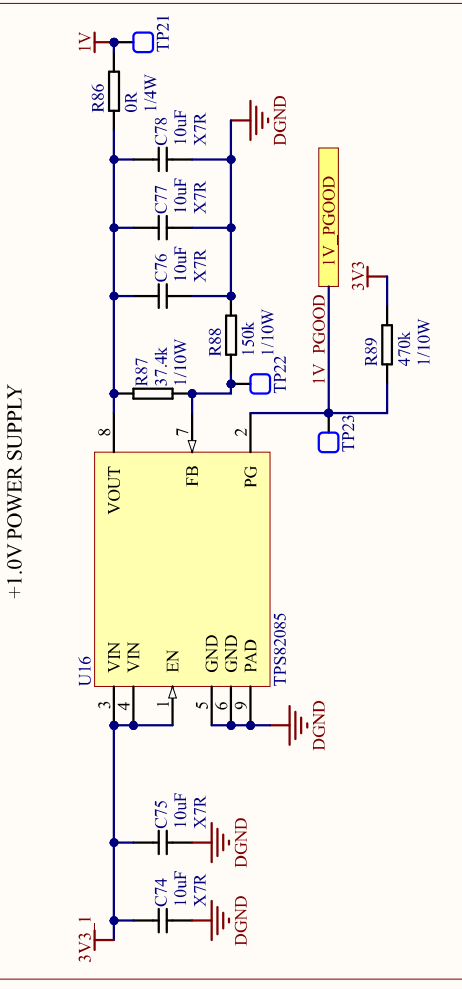
This magnetometer uses I2C to communicate. I2C Address = 0110000b.
 Put the capacitors as close to their respective pins as possible.



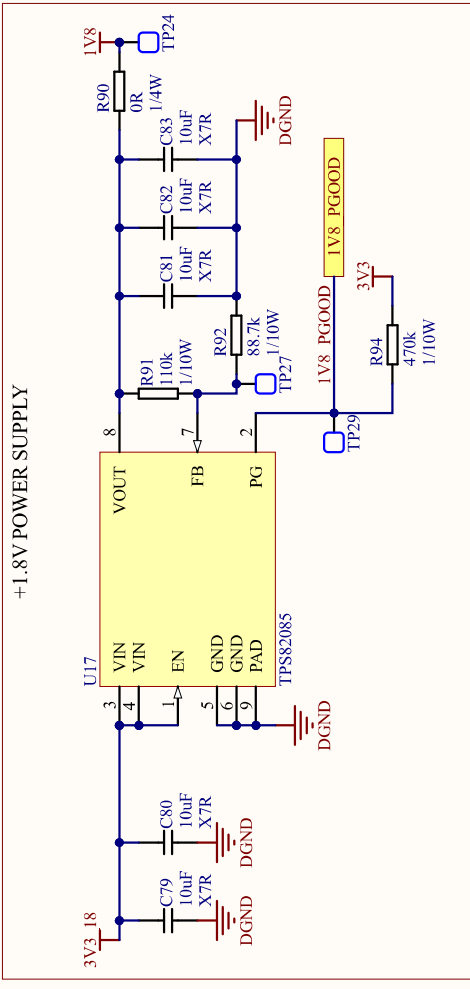


The 3.3 V supply is the main one for this board. It is connected to the non-volatile memories, buffers, analog circuits and the current and voltage monitor. It is also the source for the other voltages.

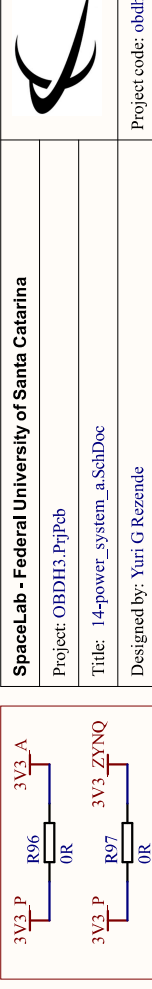
Zynq requires a power sequence for minimum current draw. It should be as follows (check UG585 for more details): 1V then 1.8V then 3.3V.



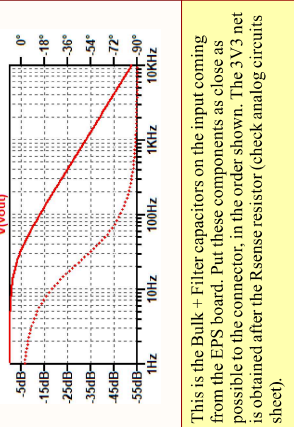
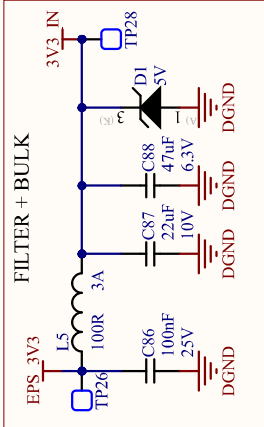
This is the power supply for VCCINT, VCCBRAM and VCCPINT. Check page 15 for overcurrent protection. According to the DC-DC datasheet:

$$V_{out} = 0.8 * (1 + R1/R2) = 0.8 * (1 + 37.4/150) = 0.8 * 1.249 = 0.999 \text{ V}$$


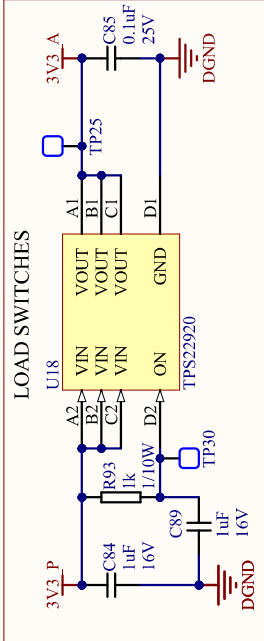
This is the power supply for VCCPAUX, VCCPLL and VCCAUX. Check page 15 for overcurrent protection. According to the DC-DC datasheet:

$$V_{out} = 0.8 * (1 + R1/R2) = 0.8 * (1 + 110/88.7) = 0.8 * 2.24013 = 1.792 \text{ V}$$


SpaceLab - Federal University of Santa Catarina
 Project: OBDDH3.PrjFeb
 Title: 14-power_system_a.SchDoc
 Designed by: Yuri G Rezende
 Date: 20/11/2024
 Revision: v0.1
 Sheet 14 of 17
 Project code: obddh3
 Size: A4

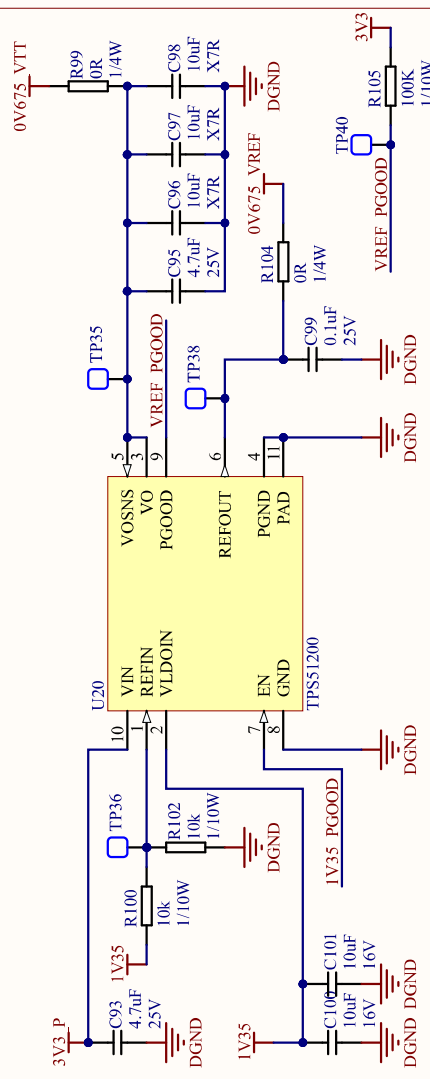


This is the Bulk + Filter capacitors on the input coming from the EPS board. Put these components as close as possible to the connector, in the order shown. The 3V3 net is obtained after the Resense resistor (check analog circuits sheet).



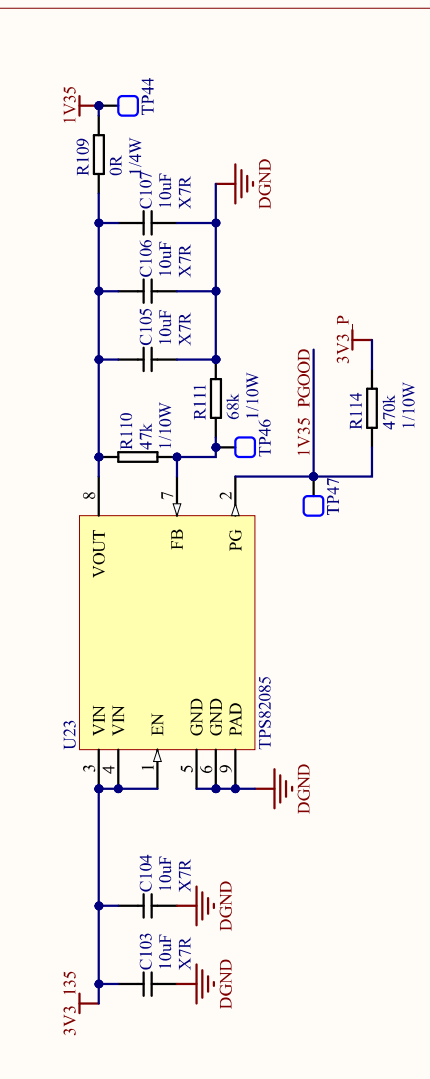
The load switches are configured as the description given by the datasheet. The input capacitance should be approximately 10x bigger than the load capacitance.

DDR3L REFERENCE VOLTAGES



This is a specialized IC to provide the DDR3L memory with its termination and reference voltages. Refer to the datasheet for layout recommendations.

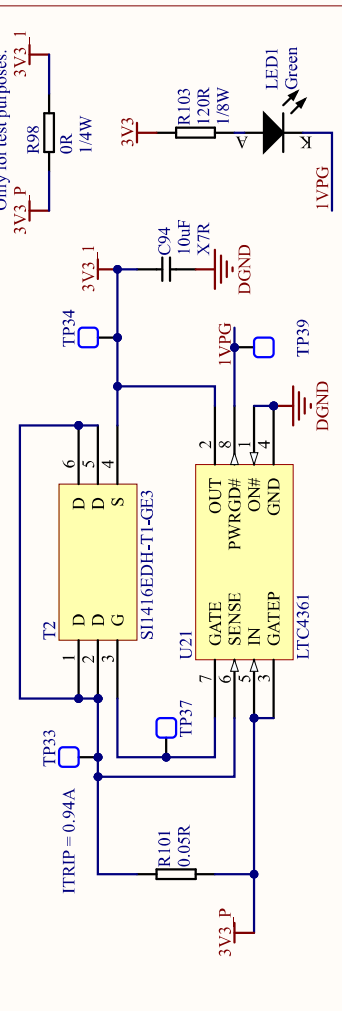
+1.35V POWER SUPPLY



This is the power supply for the DDR3L VCC. According to the DC-DC datasheet:

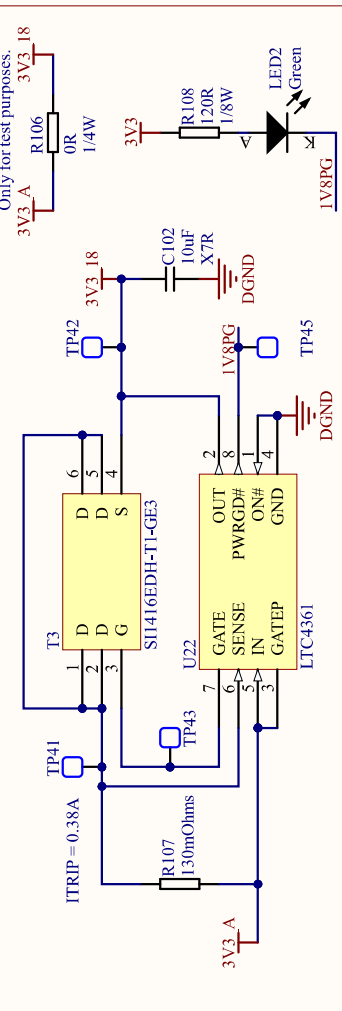
$$V_{out} = 0.8 * (1 + R1/R2) = 0.8 * (1 + 47/68) = 0.8 * 1.691 = 1.353 \text{ V}$$

1V OVERCURRENT PROTECTION



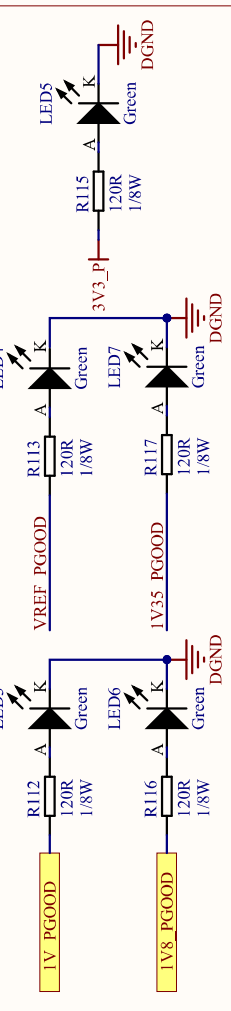
According to the datasheet: $R_{sense} = V_{oc} / I_{max} = 50 \text{ mV} / 0.94 \text{ A} = 53 \text{ mOhms}$

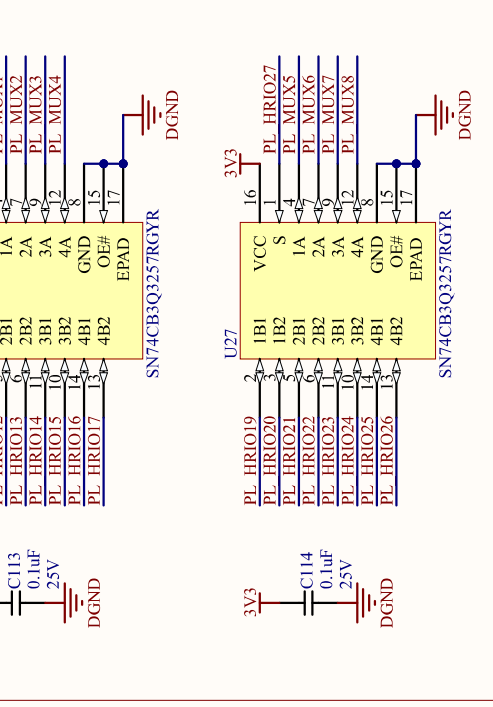
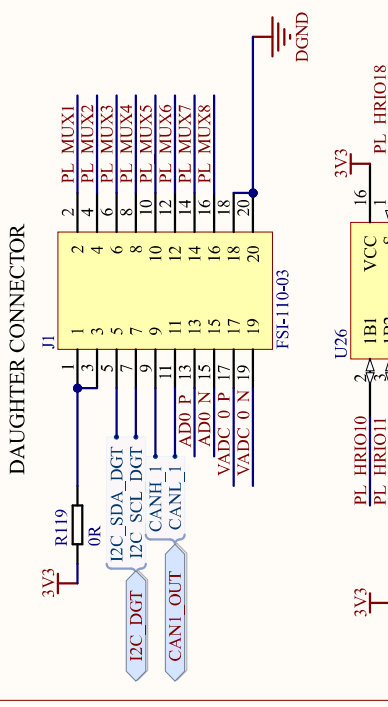
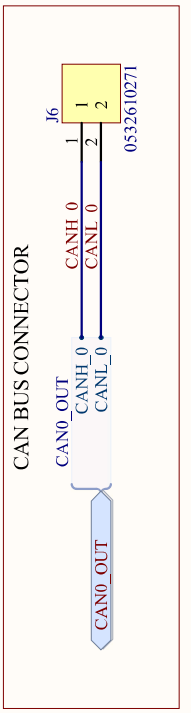
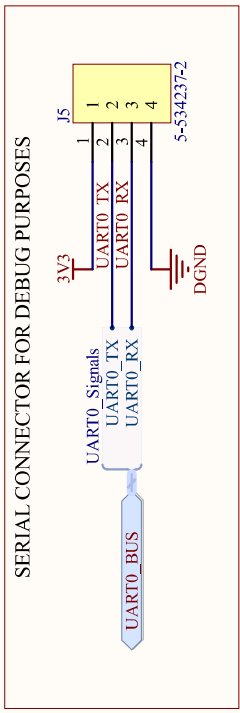
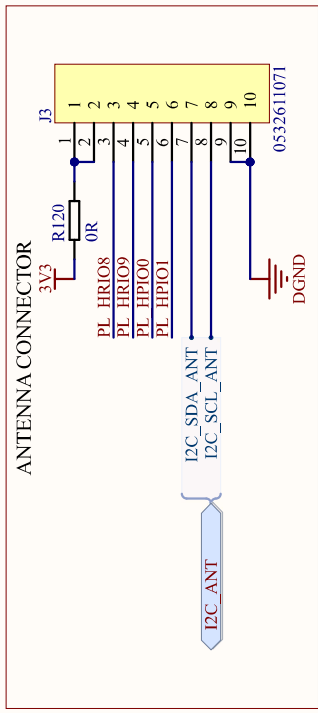
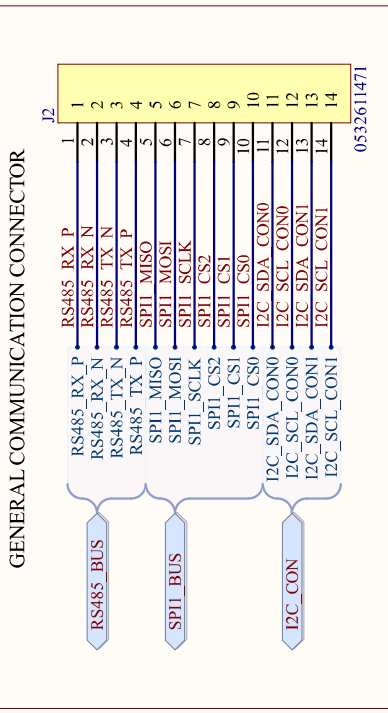
1V8 OVERCURRENT PROTECTION



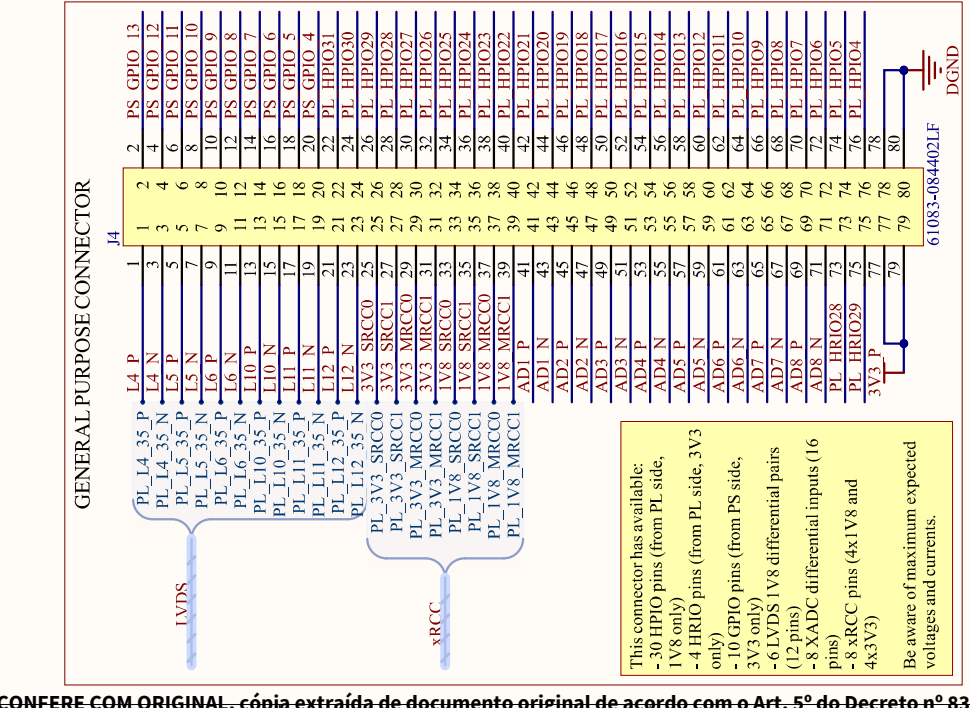
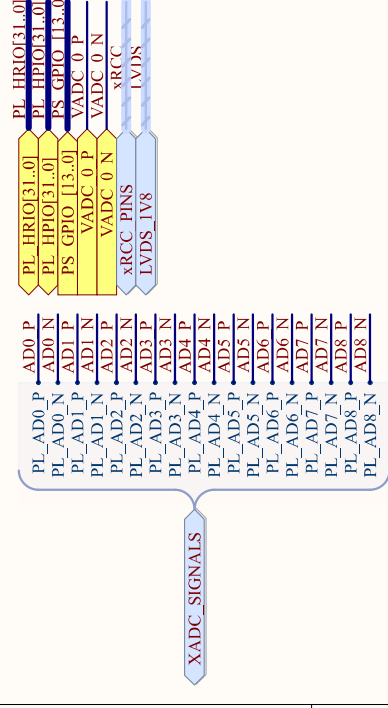
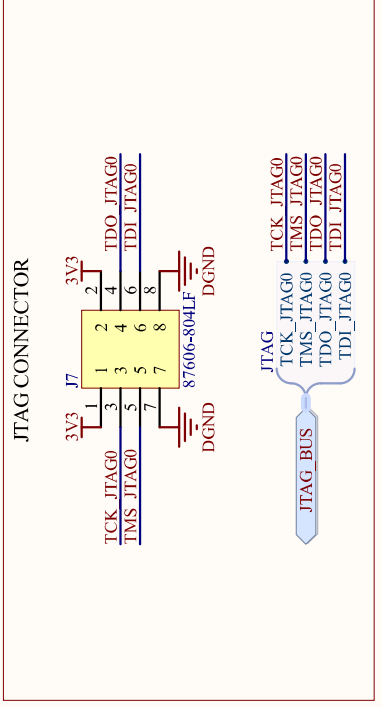
According to the datasheet: $R_{sense} = V_{oc} / I_{max} = 50 \text{ mV} / 0.38 \text{ A} = 131 \text{ mOhms}$

POWER SYSTEM LEADS





The daughter card connector has 8 multiplexed PL IO signals.
When S is low -> A = B1
When S is high -> A = B2



This connector has available:
- 30 GPIO pins (from PL side, 3V3 IV8 only)
- 4 HRIO pins (from PL side, 3V3 only)
- 10 GPIO pins (from PS side, 3V3 only)
- 6 LVDS IV8 differential pairs (12 pins)
- 8 XADC differential inputs (16 pins)
- 8 xRCC pins (4x IV8 and 4x 3V3)
Be aware of maximum expected voltages and currents.



SpaceLab - Federal University of Santa Catarina
Project: OBDDH3_PrtJeb
Title: 17-connectors.SchDoc
Designed by: Yuri G Rezende
Date: 20/11/2024
Revision: v0.1
Sheet 17 of 17
Project code: obddh3
Size: A4