



UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELETRÔNICA

Gabriel Egidio de Paula Leal e Silva

Protótipo Discreto de Circuito de Captura de Fase (PLL)

Florianópolis

2026

Gabriel Egidio de Paula Leal e Silva

Protótipo Discreto de Circuito de Captura de Fase (PLL)

Trabalho de Conclusão de Curso submetido ao curso de Graduação em Engenharia Eletrônica do Centro Tecnológico da Universidade Federal de Santa Catarina como requisito parcial para a obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Márcio Cherem Schneider, Dr.

Florianópolis

2026

Ficha catalográfica gerada por meio de sistema automatizado gerenciado pela BU/UFSC.
Dados inseridos pelo próprio autor.

Silva, Gabriel Egidio de Paula Leal e
Protótipo Discreto de Circuito de Captura de Fase
(PEA) Gabriel Egidio de Paula Leal e Silva ; orientador,
Márcio Cherem Schneider, 2026.
59 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro
Tecnológico, Graduação em Engenharia Eletrônica,
Florianópolis, 2026.

Inclui referências.

1. Engenharia Eletrônica. 2. PLL. 3. protótipo
discreto. I. Schneider, Márcio Cherem. II. Universidade
Federal de Santa Catarina. Graduação em Engenharia
Eletrônica. III. Título.

Gabriel Egidio de Paula Leal e Silva

Protótipo Discreto de Circuito de Captura de Fase (PLL)

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do título de Bacharel em Engenharia Eletrônica e aprovado em sua forma final pelo Curso de Graduação em Engenharia Eletrônica.

Florianópolis, 26 de março de 2026.

Insira neste espaço
a assinatura

Coordenação do Curso

Banca examinadora

Insira neste espaço
a assinatura

Prof. Márcio Cherem Schneider, Dr.

Orientador

Insira neste espaço
a assinatura

Prof. Fabian Leonardo Cabrera Riano, Dr.

Universidade Federal de Santa Catarina

Insira neste espaço
a assinatura

Prof. Walter Pereira Carpes Junior, Dr.

Universidade Federal de Santa Catarina

Florianópolis, 2026.

Dedico este trabalho a minha mãe e a
minha irmã

AGRADECIMENTOS

Agradeço, em primeiro lugar, a minha mãe Elisa, cujo apoio incondicional, carinho e valores foram essenciais para que eu chegasse a este momento, e me tornasse quem sou hoje. Agradeço a meus tios, Eloisa e Leandro, por serem sempre meus exemplos de sabedoria e conhecimento. A meus demais familiares, agradeço por todos os momentos em que estiveram ao meu lado ao longo dos anos, e a meu pai Rafael agradeço o apoio financeiro.

Agradeço a meu orientador, Prof. Márcio Cherem Schneider, pela paciência e dedicação durante a realização deste trabalho, e por todo o conhecimento em eletrônica que recebi desde os tempos de laboratório e monitoria, tempos estes que agora parecem tão longínquos. Similarmente, agradeço a todos os professores da instituição que contribuíram com seus conhecimentos ao longo de minha formação, e expresse minha admiração para com seus esforços no avanço da ciência e tecnologia em nosso país.

Por fim, agradeço a todos os amigos que fiz nestes anos de graduação. Independente de distâncias, barreiras e discordâncias, deixo claro que valorizo o papel que cada um teve em minha jornada.

故有之以为利，无之以为用。

“Assim, da existência surge o valor; e da
não-existência surge a utilidade.”

Laozi

RESUMO

PLLs são sistemas de controle realimentados nos quais a frequência do sinal de saída é múltipla da frequência de um sinal de referência. PLLs são frequentemente utilizados em aplicações de comunicação, RF, processamento de sinais, entre outras. Os blocos que tipicamente compõem o PLL são um oscilador de referência, um detector de fase, um filtro passa-baixas, um oscilador controlado por tensão (VCO) e um divisor de frequências. Este trabalho buscou simular um PLL no software Simulink e implementá-lo com componentes discretos em protoboard. O sinal de referência foi gerado por um oscilador a cristal de 32,768 kHz. O detector de fase utilizado foi baseado em uma porta lógica XOR, o VCO em um oscilador em anel polarizado por corrente controlada por tensão e o divisor de frequências em dois contadores com fator de multiplicação 2^7 , resultando em uma frequência de saída de 4,19 MHz. Para o filtro, duas topologias diferentes foram utilizadas, bem como múltiplas frequências de corte para a primeira. As faixas de retenção e captura foram estimadas em 7,19 kHz e 6,15 kHz, respectivamente. Simulações iniciais foram realizadas com parâmetros arbitrários, que foram readequados conforme os blocos eram montados e analisados experimentalmente. Por fim, foram feitas comparações entre os resultados obtidos na simulação e no PLL montado, tanto para blocos individuais quanto para o sistema como um todo.

Palavras-chave: PLL; oscilador de referência; detector de fase; VCO; divisor de frequência; protótipo discreto de PLL.

ABSTRACT

PLLs are feedback control systems in which the frequency of the output signal is a multiple of the frequency of a reference signal. Such systems are frequently used in communications applications, RF, signal processing, etc. The blocks which the PLL typically consists of are a reference oscillator, a phase detector, a low-pass filter, a voltage-controlled oscillator (VCO) and a frequency divider. This thesis sought to simulate a PLL in the software Simulink and implement it with discrete components on a protoboard. The reference signal was generated by a crystal oscillator with 32.768 kHz. The phase detector utilized was based on an XOR logic gate, the VCO on a ring oscillator with a bias current controlled by voltage and the frequency divider on two counters with a multiplication factor of 2^7 , resulting in an output frequency of 4.19 MHz. For the filter, two different topologies were used, as well as multiple cut-off frequencies for the first one. The hold range and acquisition range were estimated as 7.19 kHz and 6.15 kHz, respectively. Initial simulations were run with arbitrary parameters, which were then readjusted as blocks were assembled and analyzed experimentally. Finally, comparisons were made between results obtained in the simulation and in the assembled PLL, both for individual blocks and for the system as a whole.

Keywords: PLL; reference oscillator; phase detector; VCO; frequency divider; discrete prototype of PLL.

LISTA DE FIGURAS

<u>Figura 1 – Diagrama de blocos de um PLL</u>	16
<u>Figura 2 – Tensão de erro em função da diferença de fase entre as entradas</u>	18
<u>Figura 3 – Funcionamento de uma porta XOR como detector de fase</u>	19
<u>Figura 4 – Sinal de erro para duas frequências diferentes</u>	20
<u>Figura 5 – Current-starved ring oscillator</u>	21
<u>Figura 6 – Diagrama de blocos com funções de transferência do PLL</u>	23
<u>Figura 7 – Diagramas de Bode de magnitude e fase da função de transferência em malha aberta do PLL</u>	24
<u>Figura 8 – Diagramas de bode da função de transferência em malha aberta do PLL com a alteração mencionada no filtro</u>	25
<u>Figura 9 – Oscilador de referência</u>	27
<u>Figura 10 – Sinal de referência na simulação</u>	28
<u>Figura 11 – Sinal de saída da implementação do circuito na figura 8</u>	28
<u>Figura 12 – Simulação do VCO</u>	29
<u>Figura 13 – Demonstração do funcionamento do VCO com uma rampa de tensão na entrada</u>	30
<u>Figura 14 – Frequências medidas em função da tensão de controle para diferentes configurações do VCO</u>	30
<u>Figura 15 – Saída do VCO no circuito final</u>	31
<u>Figura 16 – Simulações de filtros diferentes</u>	32
<u>Figura 17 – Saída do filtro simulado para diferenças de fase pouco acima de 0 e pouco abaixo de π</u>	32
<u>Figura 18 – Primeiro filtro utilizado nos testes experimentais</u>	33
<u>Figura 19 – Saída do filtro com frequência de corte de 54 kHz, com variação no duty cycle da entrada</u>	35
<u>Figura 20 – Alteração final realizada no filtro</u>	36
<u>Figura 21 – Tensão de controle comparada ao sinal de erro</u>	37
<u>Figura 22 – Flip-flops D utilizados para simular o divisor de frequências</u>	38
<u>Figura 23 – Diagrama lógico de um dos dois contadores do CD4520</u>	38
<u>Figura 24 – Saída do divisor de frequências e saída do primeiro contador do CI</u>	39
<u>Figura 25 – Simulação do detector de fase</u>	40

<u>Figura 26 – Exemplos de sinal de erro simulado, na situação de travamento e ausência deste</u>	40
<u>Figura 27 – Sinal de erro experimental em caso de não travamento</u>	41
<u>Figura 28 – Sinal de erro experimental com 32,768 kHz na referência</u>	41
<u>Figura 29 – Método para determinação das faixas de operação do PLL</u>	42
<u>Figura 30 – Tensão de controle simulada com uma varredura triangular na frequência de entrada</u>	43
<u>Figura 31 – Sinal de referência e saída do divisor de frequências para frequências próximas dos limites inferior e superior das faixas de operação do PLL</u>	45
<u>Figura 32 – Tensão de controle simulada em regime transitório</u>	46
<u>Figura 33 – Medição de atraso na tensão de controle</u>	47
<u>Figura 34 – Sistema completo do PLL simulado</u>	48
<u>Figura 35 – Sistema completo do PLL em protoboard</u>	49

LISTA DE TABELAS

<u>Tabela 1 – Resultados dos filtros com as três frequências de corte diferentes</u>	34
<u>Tabela 2 – Resultados da montagem final do filtro</u>	36
<u>Tabela 3 – Resultados das faixas de operação do PLL</u>	44

LISTA DE ABREVIATURAS E SIGLAS

CI	Circuito Integrado
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
PLL	Phase-Locked Loop
VCO	Voltage-Controlled Oscillator

LISTA DE SÍMBOLOS

C	Capacitor do filtro
K_D	Ganho do detector de fase
K_{VCO}	Ganho do VCO
N	Fator do divisor de frequências
R	Resistência do filtro
$V_{controle}$	Tensão de controle do VCO
V_{DD}	Tensão de alimentação
V_e	Sinal de erro
V_{in}	Sinal de referência
V_{out}	Tensão de saída
ζ	Fator de amortecimento
τ	Constante de tempo dos filtros
φ_{in}	Fase do sinal de referência
φ_{out}	Fase do sinal de saída
ω_0	Frequência do VCO
ω_1	Frequência do pólo do filtro
ω_2	Frequência do zero do filtro
ω_{in}	Frequência angular do sinal de referência
ω_n	Frequência natural de oscilação
ω_{out}	Frequência angular do sinal de saída

SUMÁRIO

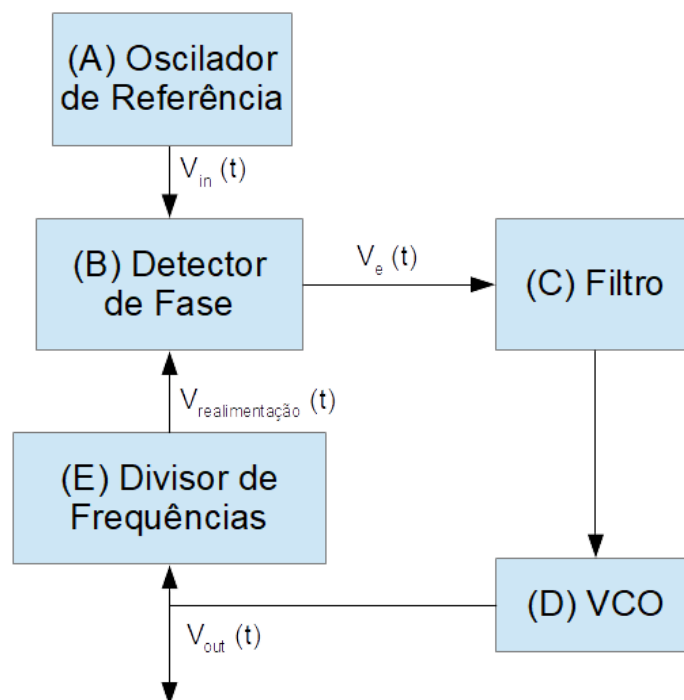
1. INTRODUÇÃO	16
2. ESPECIFICAÇÕES DO SISTEMA	18
2.1. DETECTOR DE FASE	18
2.2. OSCILADOR CONTROLADO POR TENSÃO	20
2.3. DIVISOR DE FREQUÊNCIAS	22
2.4. FILTRO	22
2.5. COMPORTAMENTO DO LOOP COMPLETO	22
3. RESULTADOS DE SIMULAÇÕES E EXPERIMENTOS	27
3.1. OSCILADOR DE REFERÊNCIA	27
3.2. VCO	28
3.3. FILTRO	31
3.4. DIVISOR DE FREQUÊNCIAS	37
3.5. DETECTOR DE FASE	39
3.6. LOOP COMPLETO	42
4. CONCLUSÃO	48
REFERÊNCIAS	50
APÊNDICE A - DIAGRAMAS DO SISTEMA E DOS BLOCOS INDIVIDUAIS	51
ANEXO A – DATASHEETS DOS COMPONENTES	54

1. INTRODUÇÃO

O PLL (Phase-Locked Loop, ou malha de captura de fase) é um sistema de controle realimentado no qual a frequência do sinal de saída é um múltiplo da frequência de referência (LONG, 2005). A função da realimentação é comparar as fases dos sinais de referência e de uma cópia dividida em frequência do sinal de saída do VCO. A diferença entre estes sinais é, então, aplicada aos blocos subsequentes do sistema para manter a igualdade entre as frequências dos sinais aplicados ao comparador de fases.

PLLs são encontrados em uma alta gama de aplicações em comunicações, instrumentação digital, processamento de sinais, microcontroladores, RF, entre outras, especialmente quando a precisão da frequência é um aspecto relevante, tais quais receptores e demoduladores FM, telefones sem fio, modems, etc (BRAGA, 2025). Também são cruciais em aplicações que exigem precisão e estabilidade do sinal gerado, com uma versatilidade que permite sua utilização em síntese de frequências e sincronização (EVERYTHINGRF, 2025). Ainda, em sistemas digitais, utiliza-se PLLs para gerar e recuperar sinais de clock, e em compensação de “skew” (LEE, 2003).

Figura 1 - Diagrama de blocos de um PLL



Fonte: elaborado pelo próprio autor

Há cinco componentes básicos associados a um PLL (figura 1): um oscilador de referência, um detector de fase, um filtro, um oscilador controlado por tensão (VCO) e, em geral, um divisor de frequência. Na figura, V_{in} corresponde ao sinal de referência, e V_{out} à saída. Suas frequências angulares e fases são ω_{in} e φ_{in} , e ω_{out} e φ_{out} , respectivamente. O objetivo do sistema é “travar” as fases e frequências, situação na qual idealmente seus valores serão múltiplos ($\omega_{out} = N \omega_{in}$), e idênticos no caso da ausência de um divisor de frequências (BRAGA, 2025). Na prática, o que ocorre é que o sistema é considerado travado quando a diferença de fase entre os sinais de entrada do detector de fase é constante.

Primeiramente serão descritas as especificações, nas quais serão apresentados, quando for o caso, os comportamentos e as equações associadas a cada bloco que compõe o PLL e ao sistema como um todo. Em seguida, serão apresentados os resultados de simulações realizadas no software Simulink e suas respectivas implementações com componentes discretos em protoboard. Por fim, serão apresentadas conclusões sobre o trabalho.

2. ESPECIFICAÇÕES DO SISTEMA

Conforme supracitado, o PLL é composto por um oscilador de referência, um detector de fase, um filtro passa-baixas, um VCO e um divisor de frequências. Para o gerador do sinal de referência, optou-se por um sinal de onda quadrada gerado por um oscilador com cristal de quartzo. A frequência escolhida, determinada pelo cristal, foi de 32,768 kHz.

2.1. DETECTOR DE FASE

O detector de fase tem como função gerar uma saída proporcional à diferença de fase entre dois sinais, no caso o sinal de referência e o sinal proveniente da realimentação (RAZAVI, 2011). O sinal de saída deste bloco é denominado “sinal de erro” (V_e) (LONG, 2005). Há também um ganho associado, K_D , em unidade volts por radiano e que depende da implementação do detector de fase (LEE, 2003). Na figura 2, pode-se observar o comportamento típico de um detector de fase.

Figura 2 - Tensão de erro em função da diferença de fase entre as entradas

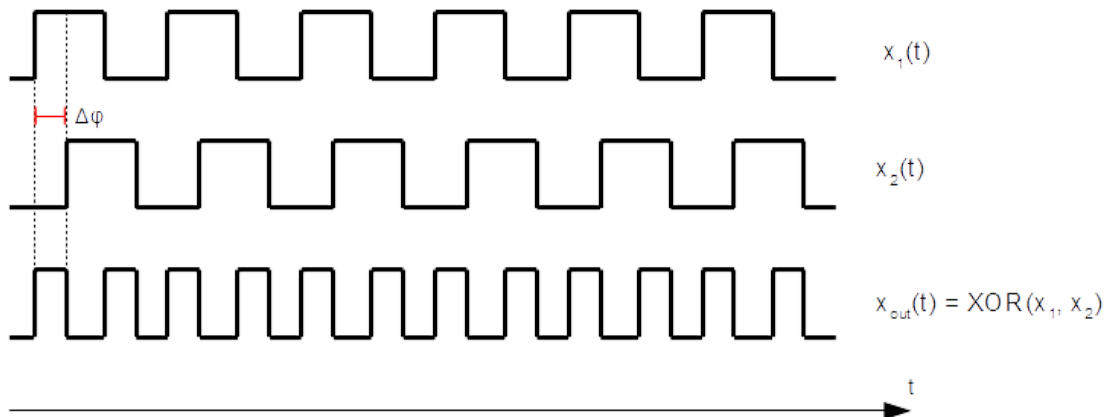


Fonte: LONG (2005, p. 2)

Uma implementação comum de detector de fase é o multiplicador analógico, no qual a multiplicação entre dois sinais senoidais resulta em duas componentes senoidais: uma que depende somente da diferença de fase, e outra que depende da

frequência e da soma das fases, porém esta será removida pelo filtro. Assim, o sinal resultante dependerá apenas da diferença de fase (LEE, 2003).

Figura 3 - Funcionamento de uma porta XOR como detector de fase

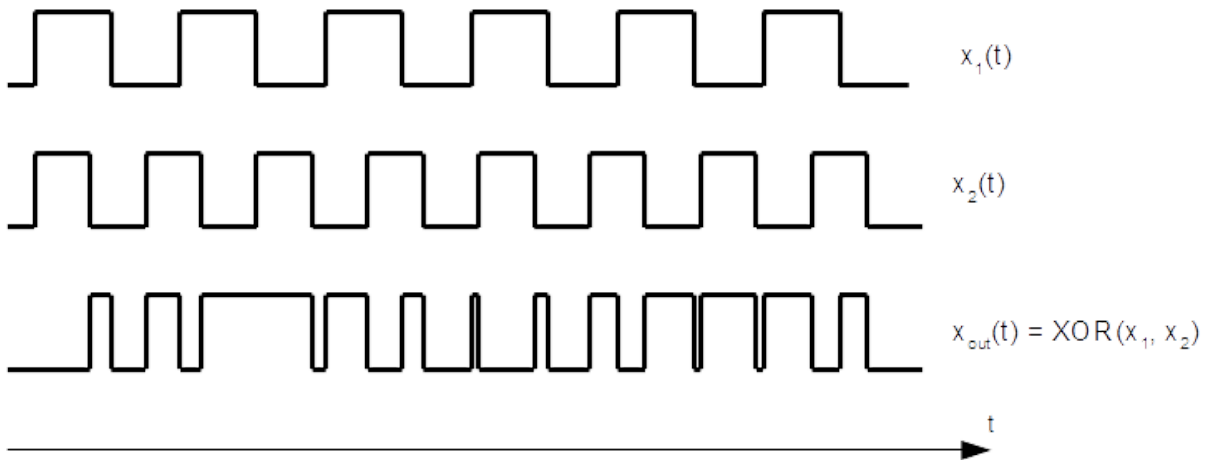


Fonte: RAZAVI (2011, p. 599)

Outra opção, aqui utilizada, é uma porta lógica XOR (ou exclusivo). Como a saída desta porta lógica somente estará em nível alto se as entradas forem diferentes entre si, no caso de sinais defasados o sinal de erro será V_{DD} (tensão de alimentação) somente entre o início do período de um sinal e o início do período do outro sinal, bem como na transição negativa, conforme a figura 3 (RAZAVI, 2011). Nota-se que o *duty cycle* do sinal de erro é proporcional à diferença de fase, cujo valor máximo de 100% (e consequentemente um valor médio igual a V_{DD}) é atingido no caso de os sinais estarem em contra-fase (LEE, 2003). Assim, o ganho do detector de fase é:

$$K_D = V_{DD}/\pi \quad (1)$$

Figura 4 - Sinal de erro para duas frequências diferentes



Fonte: RAZAVI (2011, p. 598)

Vale ressaltar que as frequências comparadas pelo detector de fase não necessitam ser idênticas. Entretanto, se não for o caso, a diferença de fase, e conseqüentemente o *duty cycle* do sinal de erro no caso do detector de fase XOR, varia com o tempo como pode ser visto na figura 4. Se as frequências não estiverem muito afastadas, o próprio comportamento da malha as aproximará. Porém, no caso de a frequência de realimentação inicializar muito distante da frequência de referência, o sistema não travará. Em um PLL de tipo-I, um detector de fase simples é utilizado, e portanto, o travamento do sistema poderá não ocorrer. Já em um PLL de tipo-II, utiliza-se um detector de fase e frequência, que inicialmente aproxima as frequências uma da outra, para então comparar as fases dos sinais (RAZAVI, 2011). O PLL aqui implementado será de tipo-I, portanto o detector de fase poderá vir a limitar as faixas de operação.

2.2. OSCILADOR CONTROLADO POR TENSÃO

Um VCO gera um sinal periódico cuja frequência depende de um sinal de entrada. Esta relação geralmente é tratada como linear, especialmente quando o PLL está travado, mesmo que frequentemente não seja o caso, especialmente para frequências mais altas (LEE, 2003). Além disso, quando a tensão de entrada (denominada tensão de controle, $V_{controle}$) é nula, a saída do VCO é um sinal de frequência ω_0 , e à alteração de frequência em função da tensão de controle

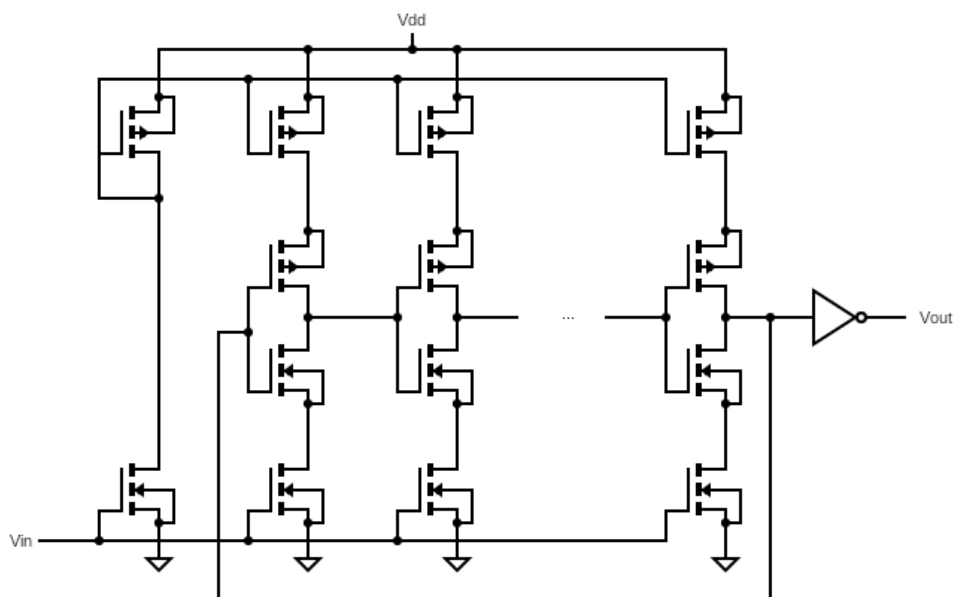
associa-se o valor K_{VCO} , cuja unidade é radianos por segundo por volts (LONG, 2005). Assim, tem-se a equação do VCO:

$$\omega_{out} = \omega_0 + K_{VCO} V_{controle} \quad (2)$$

No PLL, a tensão de controle, ou, sinal de erro, é proporcional à diferença de fase entre os sinais de entrada do detector de fase. Conforme a diferença de fase aumenta, o sinal de erro também aumenta, fazendo com que o VCO gere um sinal de frequência maior que diminuirá a diferença de fase até que esta se estabilize (LEE, 2003).

Implementações comuns para o VCO baseiam-se em osciladores em anel, nos quais uma sequência ímpar e realimentada de portas lógicas inversoras propaga um nível lógico que se inverte a cada vez que percorre a sequência, resultando em um sinal periódico que depende do atraso de propagação de cada inversor (LEE, 2003). Para que tal atraso e, conseqüentemente, a frequência de saída, sejam funções de uma tensão de controle, pode-se alterar a tensão (*supply-tuned VCO*) ou a corrente (*current-starved VCO*) que alimenta as portas lógicas (PALERMO, 2010). Para este projeto, foi escolhida a segunda abordagem, como pode ser visto na figura 5.

Figura 5 - *Current-starved ring oscillator*



Fonte: BALODI et al. (2019)

2.3. DIVISOR DE FREQUÊNCIAS

O divisor de frequências altera a frequência da realimentação, dividindo a frequência de saída do VCO por um fator N antes de compará-la com o sinal de referência no detector de fase. Desta forma, a frequência gerada pelo VCO será um múltiplo da frequência de referência (EVERYTHINGRF, 2025). Contadores são uma forma comum de se implementar divisores de frequências, já que geram um pulso a cada N pulsos na entrada (com N frequentemente uma potência de 2) (RAZAVI, 2011). Inicialmente, foi escolhido um fator N de 2^5 , e posteriormente alterado para 2^7 .

2.4. FILTRO

Com um detector de fase e um VCO, tem-se um PLL de primeira ordem (assim denominado porque a função de transferência em malha fechada tem um único polo, proveniente do VCO), que é raramente utilizado porque não há possibilidade de que o erro de fase seja zero em regime permanente (ou seja, o sinal de erro sempre terá pulsos), além de que seu valor depende dos ganhos dos outros blocos (LEE, 2003). A adição de um filtro passa-baixas não somente permite um erro de fase nulo e reduz sua dependência em relação aos ganhos como também elimina componentes de alta frequência do sinal de erro, aproximando a tensão de controle de seu valor médio. Como tal filtro adiciona um polo à função de transferência, obtém-se então um PLL de segunda ordem (RAZAVI, 2011), que é o caso deste protótipo. A margem de fase, a faixa de captura e a resposta transitória do PLL dependem fortemente dos parâmetros do filtro.

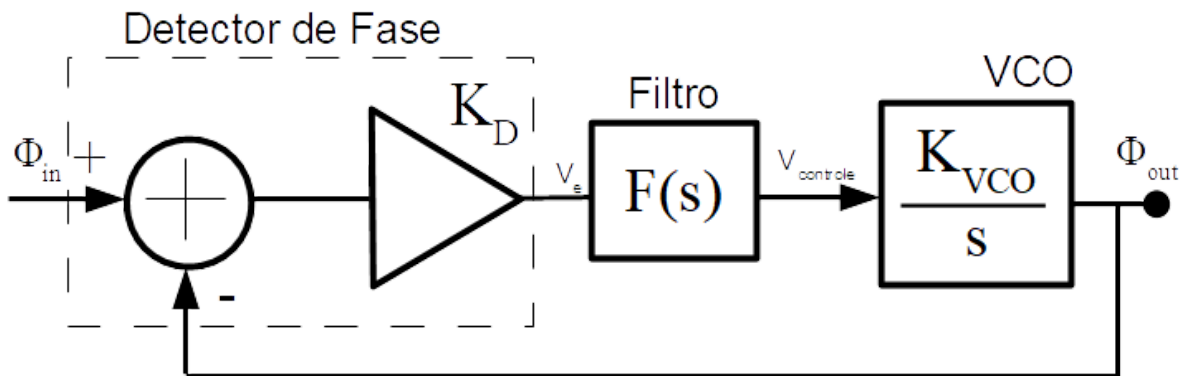
2.5. COMPORTAMENTO DO LOOP COMPLETO

Com todos os blocos supracitados, obtém-se um PLL de tipo I de segunda ordem. A grandeza de interesse para comparação entre entrada e saída é a fase. Por esse motivo, a função de transferência do VCO deve expressar a relação entre uma tensão de entrada e uma fase de saída. Integrando-se a expressão da frequência de saída do VCO, na equação (2), tem-se, no domínio transformado:

$$\Phi_{out}(s)/V_{controle}(s) = K_{VCO}/s \quad (3)$$

como pode ser visto na figura 6. O detector de fase, por outro lado, simplesmente escala a diferença de fase pelo fator K_D . A função de transferência do filtro, $F(s)$, depende de sua topologia.

Figura 6 - Diagrama de blocos com funções de transferência do PLL



Fonte: RAZAVI (2011, p. 607)

Para um filtro passivo RC simples, a função de transferência será:

$$F(s) = 1/(1 + s/\omega_1) \quad (4)$$

com frequência de corte:

$$\omega_1 = 1/RC \quad (5)$$

Para o *loop*, isto resulta em uma função de transferência em malha fechada:

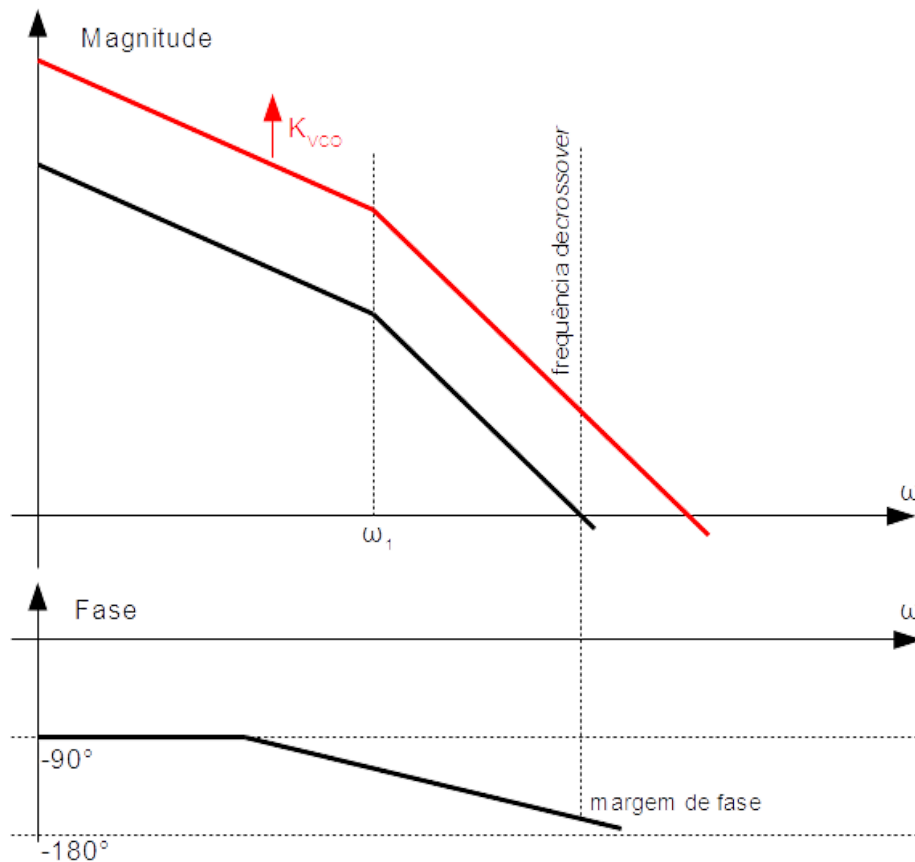
$$H(s) = \Phi_{out}(s)/\Phi_{in}(s) = K_D K_{VCO} / ((1/\omega_1)s^2 + s + K_D K_{VCO}) \quad (6)$$

Caso haja um divisor de frequências de fator N (PALERMO, 2014):

$$H(s) = K_D K_{VCO} / ((1/\omega_1)s^2 + s + K_D K_{VCO}/N) \quad (7)$$

Por meio dos diagramas de Bode da função de transferência em malha aberta, figura 7, é possível observar o comportamento do sistema e a influência do ganho do VCO e da frequência de corte do filtro na margem de fase.

Figura 7 - Diagramas de Bode de magnitude (acima) e fase (abaixo) da função de transferência em malha aberta do PLL



Fonte: RAZAVI (2011, p. 609)

A margem de fase indica o quanto a fase ainda pode ser atrasada até que a resposta do sistema atinja fase de -180° na frequência de *crossover* (ou seja, a frequência na qual a magnitude do ganho é 0 dB). Em um sistema com realimentação negativa como o PLL, margem de fase de 0° ou menos levaria à instabilidade do sistema. Pelos diagramas de Bode, pode-se observar que tanto uma diminuição da frequência de corte do filtro quanto um aumento no ganho do VCO (cujo efeito é representado pelo deslocamento vertical da curva de magnitude) causam uma diminuição na margem de fase. Porém, um ganho alto é desejável, pois pode reduzir o erro de fase em regime permanente. Já a frequência de corte, caso seja maior ou igual à frequência de *crossover*, garante uma margem de fase de no mínimo 45° (LEE, 2003), porém, para frequências de corte demasiado elevadas, há a possibilidade que a filtragem seja insuficiente (LONG, 2005).

Há, porém, o caso em que o filtro tem um zero em sua função de transferência, o que seria realidade se houvesse um resistor R_2 em série com o capacitor, por exemplo. Sua função de transferência seria, portanto

$$F(s) = (1 + s/\omega_2)/(1 + s/\omega_1) \quad (8)$$

com

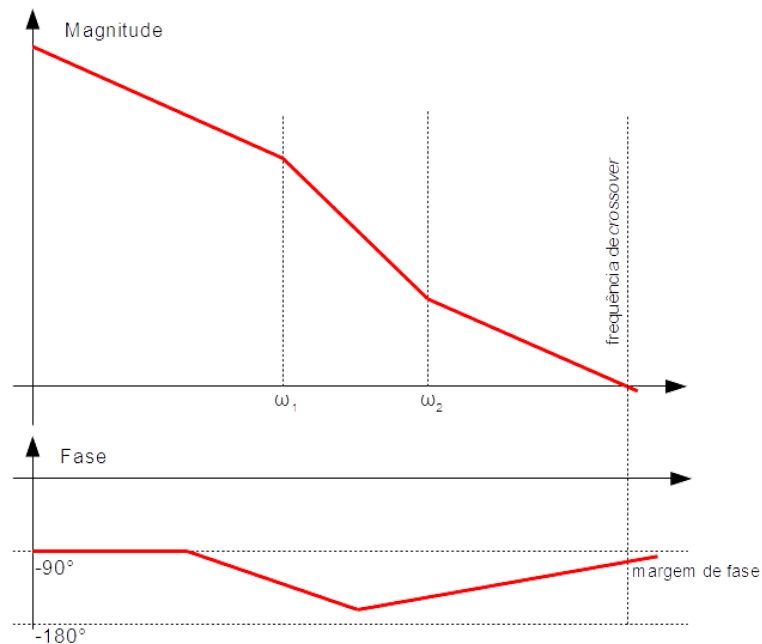
$$\omega_1 = 1/(R_1 + R_2)C \quad (9)$$

sendo a frequência do polo e frequência de corte do filtro, e

$$\omega_2 = 1/R_2C \quad (10)$$

a frequência do zero, sempre maior que a do polo (LONG, 2005).

Figura 8 - Diagramas de Bode da função de transferência em malha aberta do PLL com a alteração mencionada no filtro



Fonte: LONG (2005, p. 16)

O resultado desta alteração pode ser visto na figura 8. Nota-se que, neste caso, a margem de fase aumenta após a frequência do zero do filtro. Nesta situação, é possível aumentar o ganho do VCO e reduzir a frequência de corte do filtro sem sacrificar a margem de fase (LONG, 2005).

Outra análise que pode ser feita sobre o *loop* completo diz respeito ao fator de amortecimento, que caracteriza a resposta do sistema como subamortecida, criticamente amortecida ou sobreamortecida. Para tal, é necessário representar a função de transferência (6), de segunda ordem, da forma:

$$H(s) = \omega_n^2 / (s^2 + 2\zeta\omega_n s + \omega_n^2) \quad (11)$$

com

$$\omega_n = (K_D K_{VCO} \omega_1)^{1/2} \quad (12)$$

a frequência natural de oscilação, e

$$\zeta = 1/2(\omega_1 / K_D K_{VCO})^{1/2} \quad (13)$$

o fator de amortecimento (RAZAVI, 2011), ambos no caso do filtro sem zero em sua função de transferência. Para o segundo filtro, e também com a adição do divisor de frequências com fator N, tem-se

$$\omega_n = (K_D K_{VCO} \omega_1 / N)^{1/2} \quad (14)$$

$$\zeta = (\omega_n / \omega_2 + \omega_1 / \omega_n) \quad (15)$$

Há por fim, as definições das faixas de operação do PLL, das quais as mais utilizadas são a faixa de retenção e a faixa de captura. Esta é definida como a faixa de frequências nas quais um PLL conseguirá travar a partir de um estado inicial não travado, e seus limites dependem fortemente do filtro. Já a faixa de retenção é influenciada pelo detector de fase ou pelo VCO, e representa os valores de frequência nos quais o PLL permanecerá travado a partir de um estado já travado (LONG, 2005).

Para a faixa de retenção, é possível estimar sua largura a partir dos parâmetros dos blocos para dois casos. No primeiro, a faixa é limitada pelo VCO e corresponde a sua faixa de frequências (dividida pelo fator do divisor de frequências se houver). No segundo, a faixa é limitada pelo detector de fase e corresponde ao intervalo de frequências geradas pelo VCO a partir dos valores de tensão de erro dentro do intervalo linear do detector de fase. Neste caso, a faixa de retenção será:

$$\Delta\omega = K_D K_{VCO} (V_{e \max} - V_{e \min}) \quad (16)$$

com adaptações necessárias no caso de ganhos intermediários e presença de divisor de frequências, mas sem depender do filtro (LONG, 2005). Já estimativas da faixa de captura devem levar em conta, além destes mesmos parâmetros, a função de transferência do filtro. Seus valores foram estimados em 7,19 kHz para a faixa de retenção e 6,15 kHz para a faixa de captura.

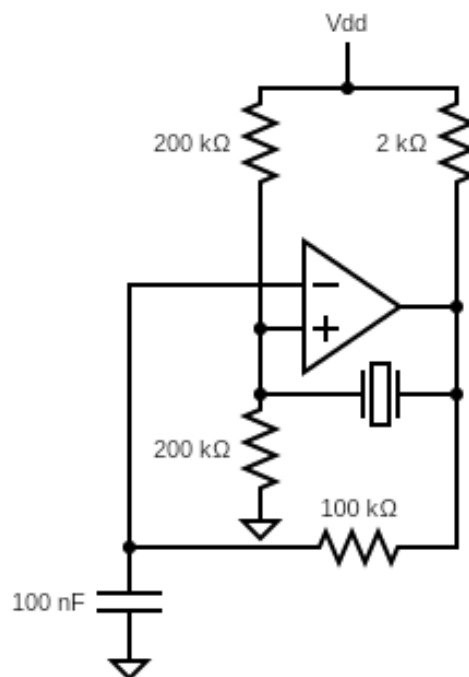
3. RESULTADOS DE SIMULAÇÕES E EXPERIMENTOS

Na implementação do protótipo, foram feitas simulações em nível de sistema no software Simulink concomitantemente com montagens e testes experimentais em protoboard. Simulações iniciais foram realizadas com parâmetros arbitrários, que foram adaptados à situação real conforme cada bloco era montado e avaliado.

3.1. OSCILADOR DE REFERÊNCIA

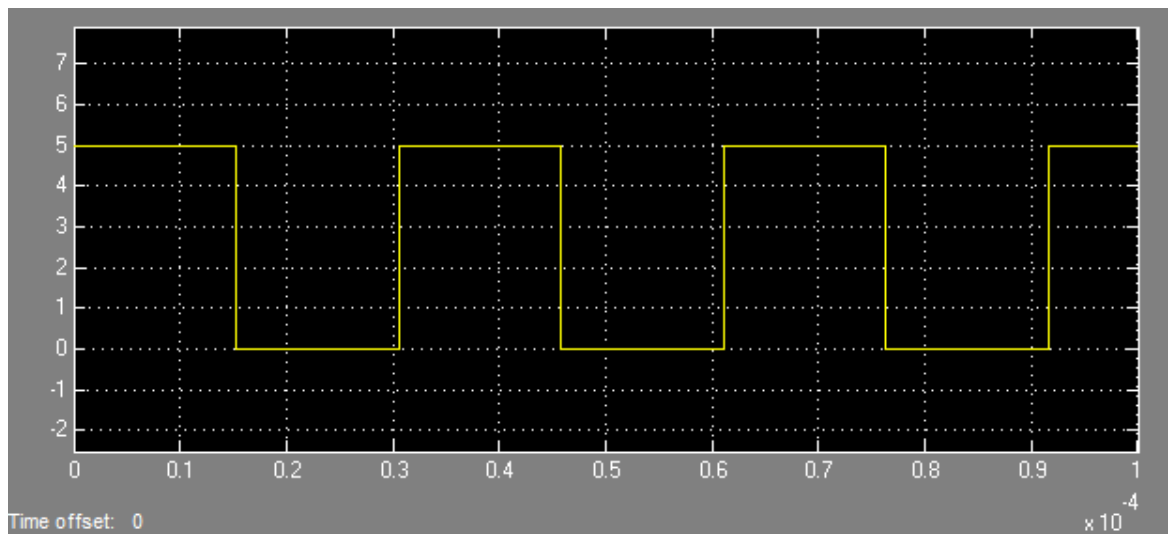
Conforme mencionado, optou-se por utilizar um circuito com cristal de quartzo por conta da estabilidade da frequência gerada. O circuito escolhido, na figura 9, encontra-se no datasheet do componente LM339, um comparador compatível com a alimentação de 0 e 5V, e com o cristal escolhido de frequência de 32,768kHz. No Simulink, este bloco foi simulado como um simples gerador de pulsos.

Figura 9 - Oscilador de referência



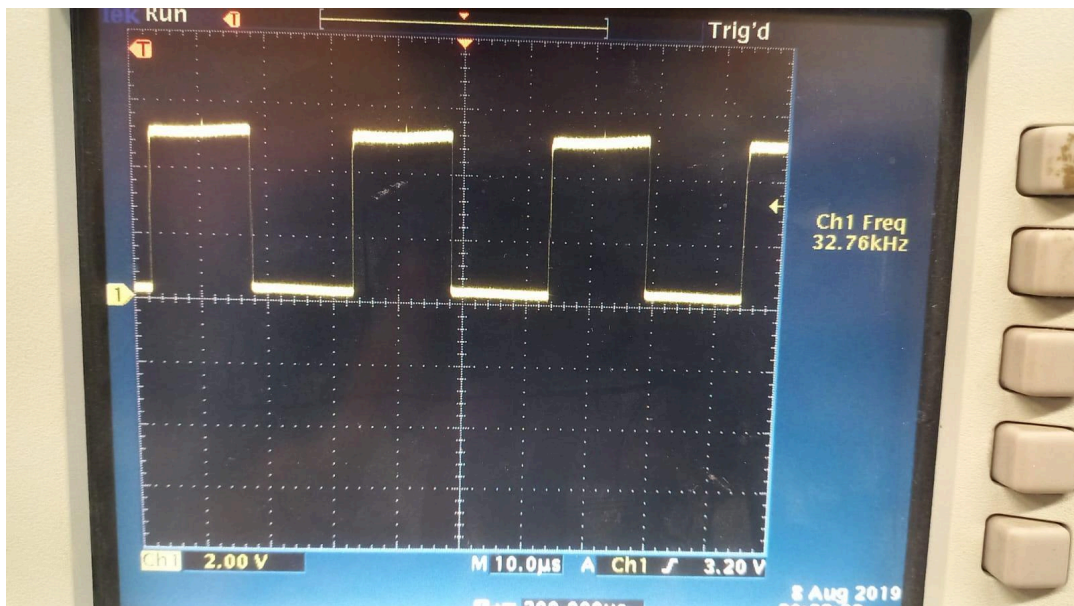
Fonte: datasheet do componente

Figura 10 - Sinal de referência na simulação (frequência de ~32 kHz, 5 V de amplitude)



Fonte: simulação pelo próprio autor

Figura 11 - Sinal de saída da implementação do circuito na figura 8



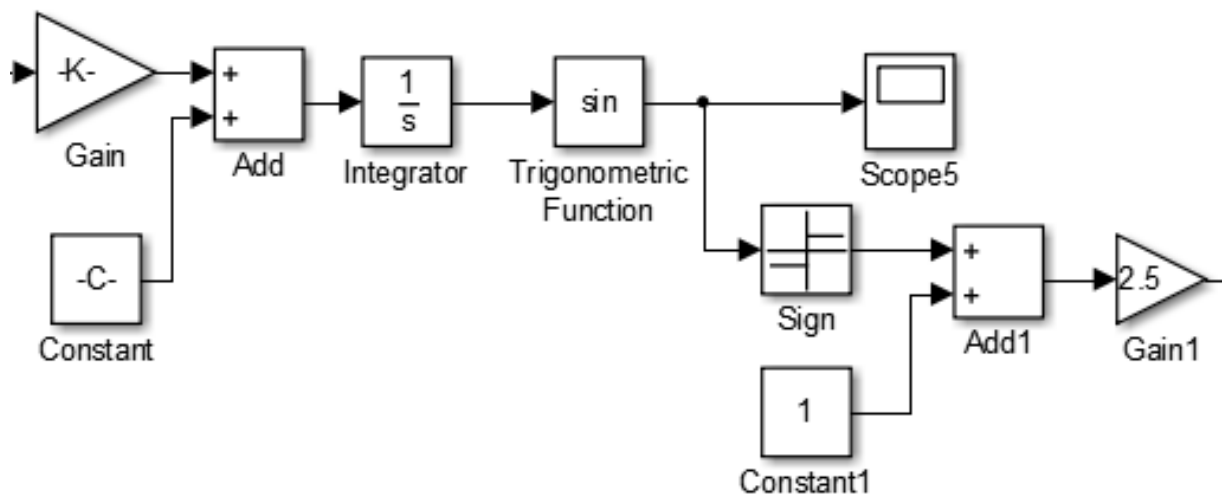
Fonte: fotografia pelo próprio autor

Nota-se a consistência entre as duas ondas nas figuras 10 e 11, e verifica-se a estabilidade da frequência na montagem.

3.2. VCO

Para o oscilador controlado por tensão, a implementação no Simulink foi feita através de sua fórmula (2).

Figura 12 - Simulação do VCO

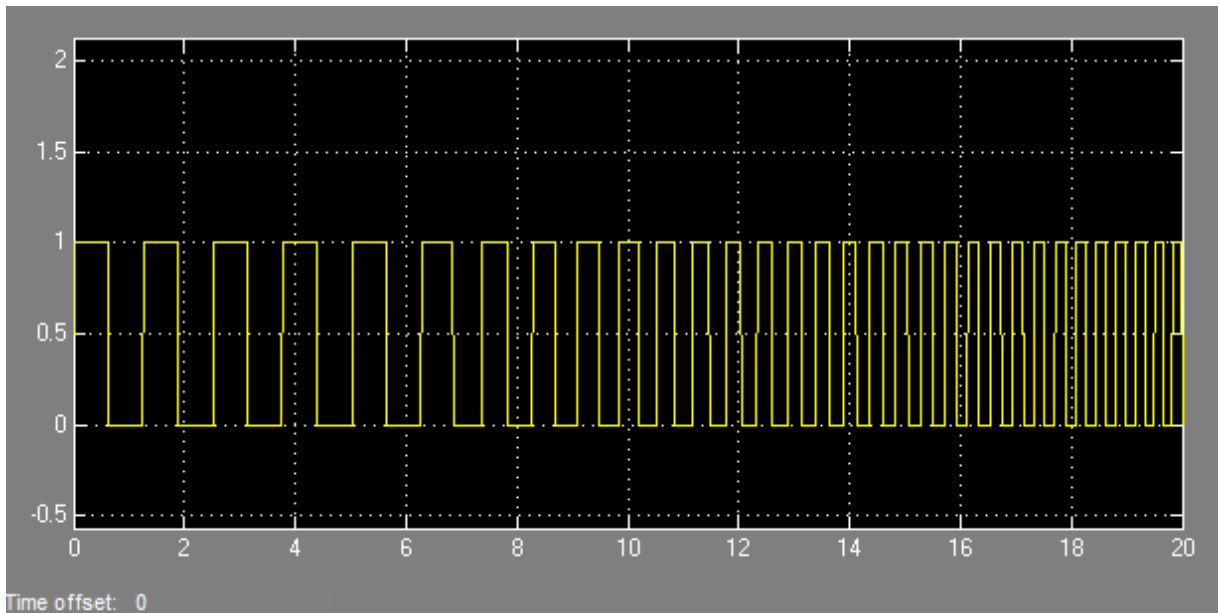


Fonte: simulação pelo próprio autor

Na figura 12, a entrada, equivalente à tensão de controle, é multiplicada por um ganho (K_{VCO}) e somada a um valor de frequência angular (ω_0), resultando na frequência angular (ω_{out}). Obtém-se então a fase instantânea por meio de uma integração, e esta, por sua vez, gera um sinal senoidal. Os blocos finais convertem o sinal para uma onda quadrada entre 0V e a tensão de alimentação, para manter a consistência com o sinal de referência. O comportamento do VCO pode ser observado na figura 13.

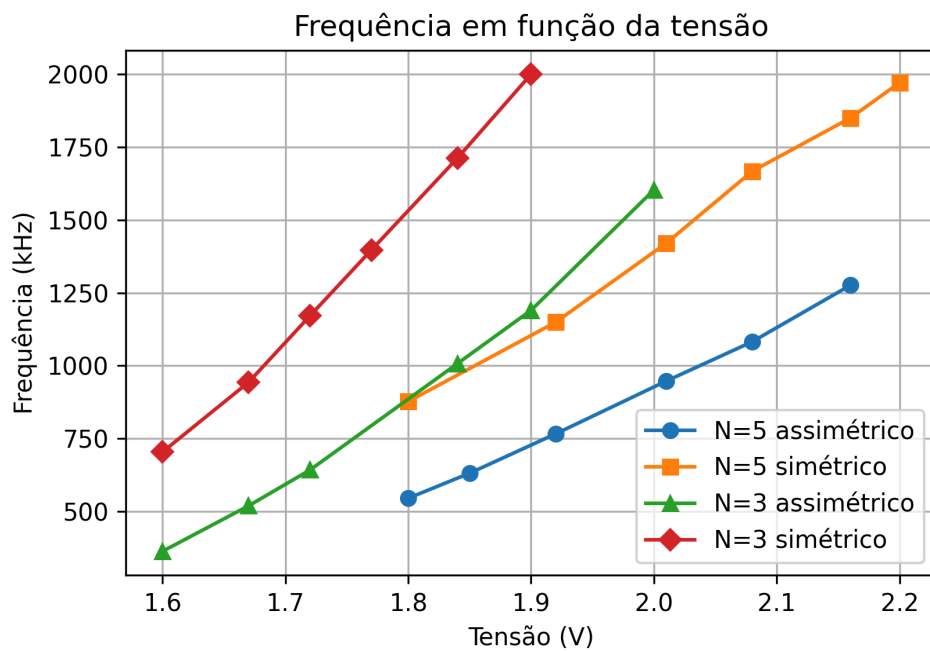
Quanto à montagem em protoboard, foi utilizado um CI de inversores CD4069 para um oscilador em anel, e CIs de MOSFETs CD4007 para controlar as correntes nas alimentações dos inversores, conforme a figura 5. Houve variações no número de inversores no anel (3 ou 5), e na simetria do circuito no que diz respeito às alimentações, ou seja, uma configuração assimétrica apenas com MOSFETs na alimentação positiva dos inversores, e uma simétrica com MOSFETs em ambas as alimentações.

Figura 13 - Demonstração do funcionamento do VCO com uma rampa de tensão na entrada (com frequência inicial do VCO de 5 rad/s, ganho de 10 rad/s/V e tensão de controle aumentando linearmente em 0,1 V/s a partir de 6 s)



Fonte: simulação pelo próprio autor

Figura 14 - Frequências medidas em função da tensão de controle para diferentes configurações do VCO

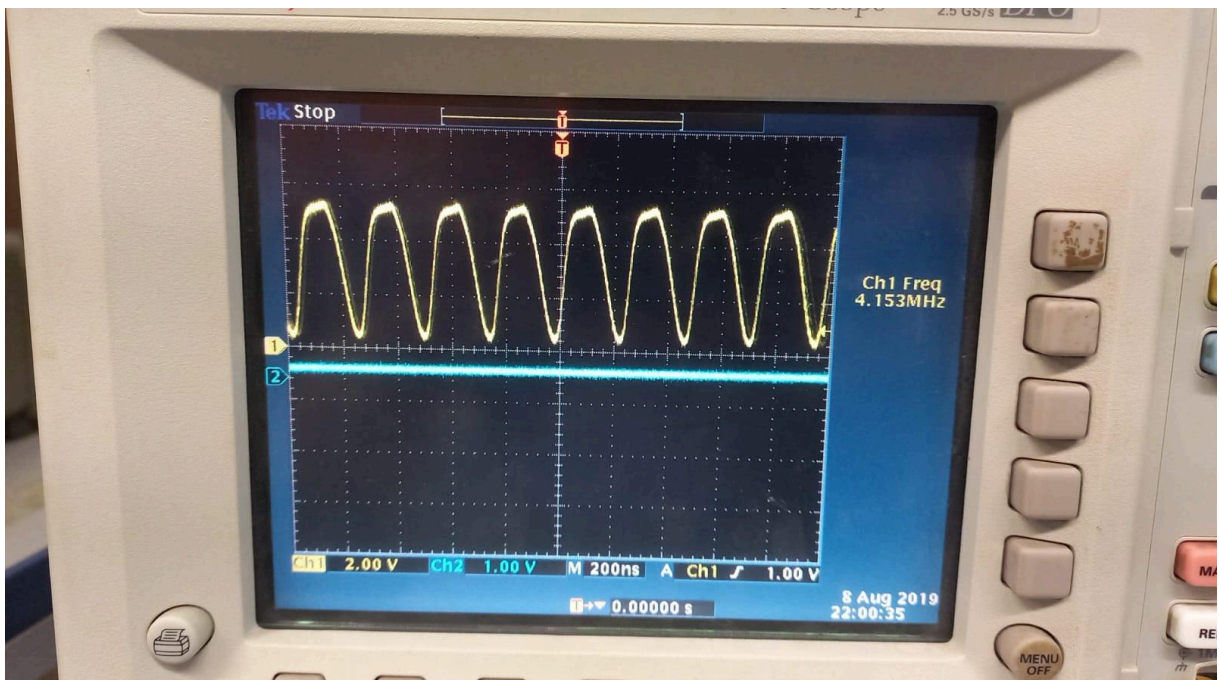


Fonte: elaborado pelo próprio autor

No fim, optou-se pela configuração simétrica com 5 inversores. Foi adicionado um inversor na saída com alimentações constantes (0 e 5V) para que a forma de onda na saída fosse mais estável, e isso também aumentou as frequências geradas em relação às representadas na figura 14, para uma faixa total de 3,77 MHz a 7,96 MHz, com cada vez mais distorções na forma de onda quanto mais se afastasse do limite inferior até frequências mais altas.

Em seguida, foi escolhida uma faixa da tensão de controle para restringir as frequências que o VCO poderia gerar, conseqüentemente reduzindo o ganho. Esta faixa foi de 2,5 V até 2,66 V, correspondentes a frequências de saída de 3,77 MHz (ou seja, a frequência mínima) a 4,69 MHz. Este valor máximo de frequência foi escolhido para que o valor médio da faixa de operação fosse aproximadamente o valor da frequência de referência multiplicado por alguma potência de 2, neste caso 2^7 ($32,768 \text{ kHz} \times 2^7 = 4,194 \text{ MHz}$). Portanto, era necessário garantir que a saída do filtro variasse dentro da faixa estipulada. A saída do circuito final pode ser vista na figura 15.

Figura 15 - Saída do VCO no circuito final, com 32,768 kHz na referência

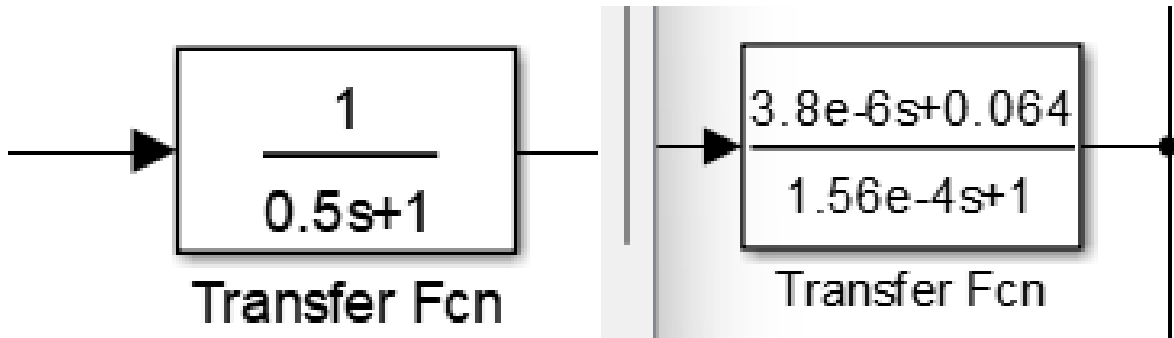


Fonte: fotografia pelo próprio autor

3.3. FILTRO

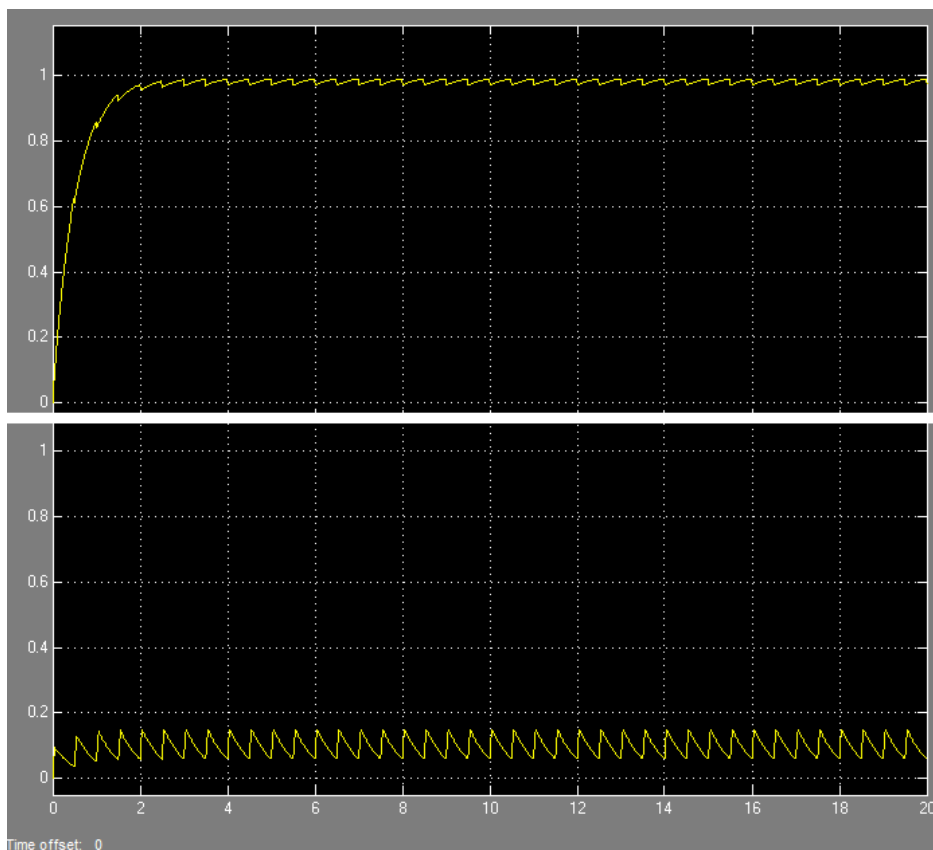
Na simulação, o filtro foi implementado por sua função de transferência, que por sua vez dependia dos valores de resistência e capacitância, bem como de sua topologia, conforme a figura 16. A primeira topologia testada foi o filtro passivo RC simples, cujo resultado pode ser visto na figura 17.

Figura 16 - Simulações de filtros diferentes, com parâmetros arbitrários à esquerda, e reais à direita



Fonte: simulação pelo próprio autor

Figura 17 - Saída do filtro simulado para diferenças de fase pouco acima de 0 (abaixo) e pouco abaixo de π (acima), parâmetros arbitrários (1 Hz de frequência, 1 V de amplitude na referência)

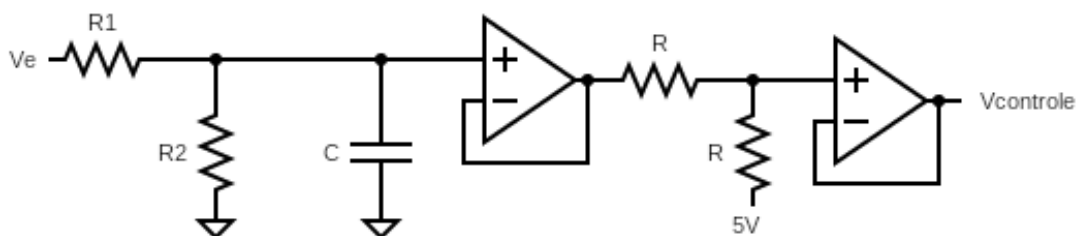


Fonte: simulação pelo próprio autor

Foi possível constatar que uma ondulação suave sempre permanece na saída do filtro, cuja amplitude é maior quanto maior for sua frequência de corte.

Conforme o que foi comentado anteriormente, o filtro deveria: suavizar o sinal de erro, aproximando-o de seu valor médio; aplicar uma atenuação DC para que o valor máximo da tensão de controle fosse 2,66 V; garantir que o valor mínimo da tensão de controle fosse 2,5 V. O primeiro filtro projetado, na figura 18, era muito similar ao da figura 5, porém com um resistor R_2 em paralelo com o capacitor para obter a atenuação DC mencionada, bem como uma leve alteração em uma das resistências R para mitigar os efeitos das tensões de offset dos buffers. Ademais, sua saída era ligada por um buffer a um divisor resistivo cujos resistores eram de valores iguais, com o segundo resistor ligado à alimentação de 5 V (portanto, com uma entrada de 0 V, a saída do divisor resistivo seria 2,5 V). Para uma tensão de controle máxima de 2,66 V, era necessária uma atenuação DC $H_1 = 0,064$ que, aliada à atenuação $H_2 = 0,5$ após o buffer, mantinha o valor da tensão de controle na faixa desejada. Restava somente determinar a frequência de corte.

Figura 18 - Primeiro filtro utilizado nos testes experimentais



Fonte: elaborado pelo próprio autor

A primeira opção considerada foi igualar a frequência de corte à frequência de crossover, o que resultaria em uma margem de fase de 45° . A frequência de corte resultante foi 207,23 kHz ($R_1 = 10$ k Ω ; $R_2 = 690$ Ω ; $C = 1,2$ nF). Porém, como a frequência de referência já fora definida como 32,768 kHz, e conseqüentemente o sinal de erro teria o dobro de seu valor, 65,536 kHz, praticamente nada foi filtrado do sinal de erro com esta montagem. Dois outros valores de frequência de corte foram considerados: logo abaixo da frequência do sinal de erro, 54 kHz ($R_1 = 68$ k Ω ; $R_2 =$

4,7 k Ω ; C = 680 pF); e bem abaixo desta frequência, 2 kHz ($R_1 = 68$ k Ω ; $R_2 = 4,7$ k Ω ; C = 22 nF). Os desempenhos das três montagens podem ser vistos na tabela 1, e os resultados experimentais para uma entrada de 64 kHz no filtro de 54 kHz na figura 19.

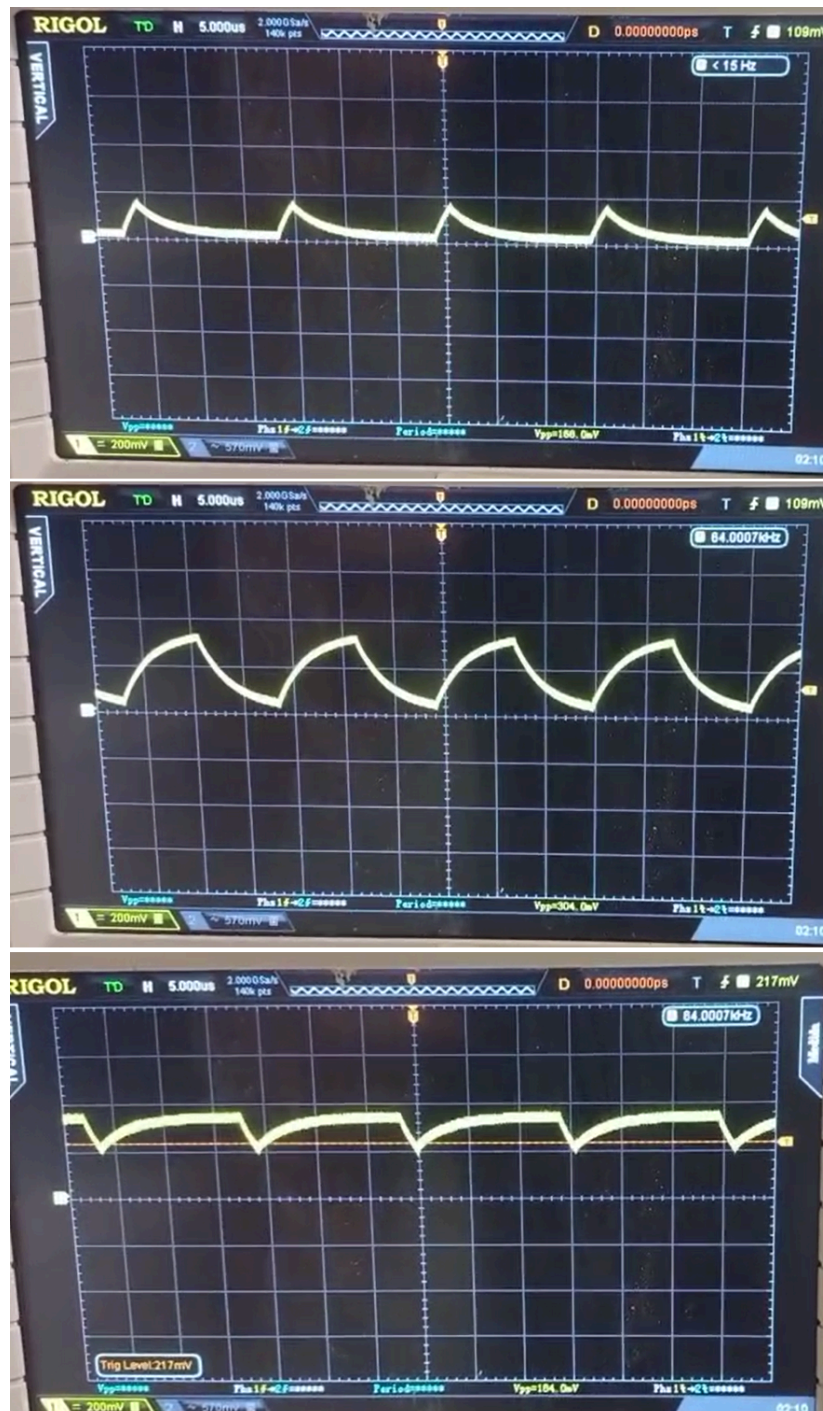
Tabela 1 - Resultados dos filtros com as três frequências de corte diferentes

Valor de τ	$7,68 \times 10^{-7}$ s	$2,96 \times 10^{-6}$ s	$9,57 \times 10^{-5}$ s
Frequência de corte	207,23 kHz	53,8 kHz	1,66 kHz
Frequência de <i>crossover</i>	207,23 kHz	119,86 kHz	17,37 kHz
Margem de fase	45°	24,16°	5,47°
Valor de ζ	4,76	2,42	0,43

Fonte: elaborado pelo próprio autor

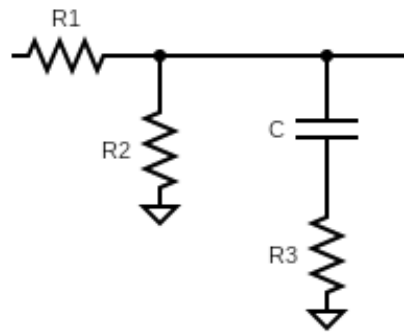
Experimentalmente, foi possível comprovar que, no filtro com frequência de corte maior que 200 kHz, o sinal permanecia quase inalterado. Já no de 54 kHz, a diferença era perceptível, porém esta filtragem ainda assim foi considerada insuficiente. Apesar de o filtro de 2 kHz cumprir sua função, nota-se pela tabela 1 que sua utilização afetaria drasticamente a estabilidade do sistema, com margem de fase mínima e fator de amortecimento também muito abaixo do desejado. Concluiu-se que, com esta topologia de filtro, não seria possível conciliar a estabilidade do sistema com a filtragem necessária. Assim, foi inserido no filtro um resistor R_3 em série com o capacitor que, conforme mencionado na seção anterior, causaria um aumento da margem de fase. Esta alteração pode ser vista na figura 20.

Figura 19 - Saída do filtro com frequência de corte de 54 kHz, com variação no *duty cycle* da entrada (10%, 50% e 90%, respectivamente)



Fonte: fotografias pelo próprio autor

Figura 20 - Filtro implementado no protótipo



Fonte: elaborado pelo próprio autor

Considerando os efeitos de ambos R_2 e R_3 a função de transferência do filtro é:

$$F(s) = H_1(1 + s/\omega_2)/(1 + s/\omega_1) \quad (17)$$

com frequências de polo e zero, respectivamente:

$$\omega_1 = 1/(R_1//R_2 + R_3) C \quad (18)$$

$$\omega_2 = 1/R_3 C \quad (19)$$

e H_1 a atenuação DC aplicada:

$$H_1 = R_2/(R_1 + R_2) \quad (20)$$

Vale ressaltar que as atenuações H_1 e H_2 também afetam as funções de transferência do *loop*, bem como a frequência natural de oscilação e o fator de amortecimento, ambas multiplicando os ganhos em qualquer caso.

Tabela 2 - Resultados da montagem final do filtro

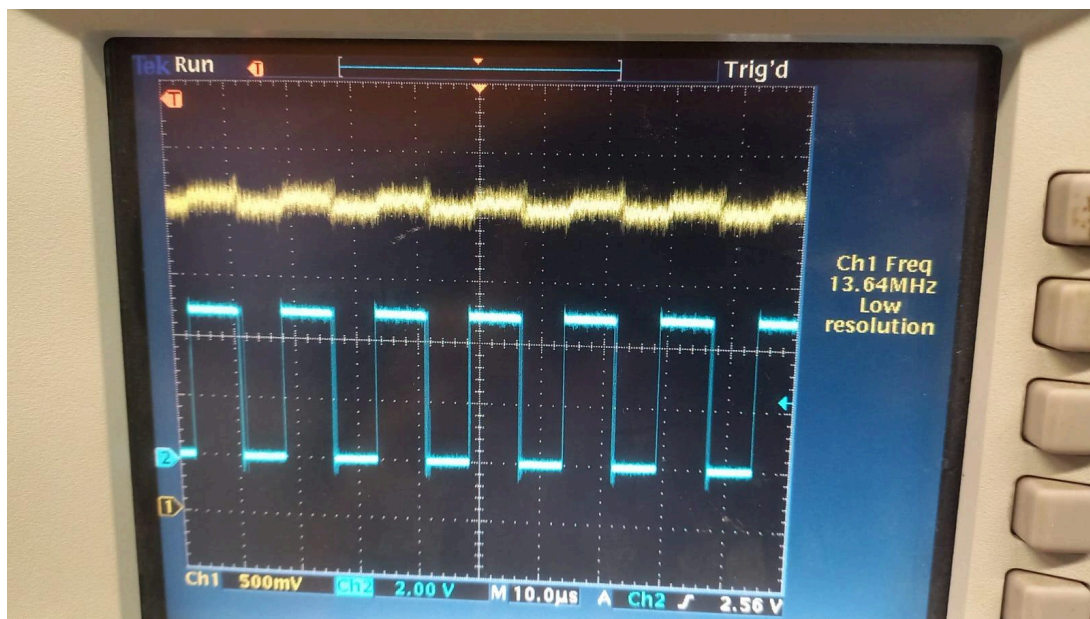
ω_1 (frequência de corte)	1,02 kHz
ω_2 (frequência do zero)	2,68 kHz
Frequência de <i>crossover</i>	112,53 kHz
Margem de fase	89,16°

Valor de ζ	0,6186
------------------	--------

Fonte: elaborado pelo próprio autor

Pelos resultados na tabela 2, pode-se constatar que, apesar do baixo valor da frequência de corte, o *loop* manteve estabilidade. Além disso, nesta montagem ($R_1 = 68 \text{ k}\Omega$; $R_2 = 4,7 \text{ k}\Omega$; $R_3 = 2,7 \text{ k}\Omega$; $C = 22 \text{ nF}$) foi possível observar que, apesar do ruído, a tensão de controle tinha o mesmo período que o sinal de erro, saída da porta XOR, como pode ser visto na figura 21.

Figura 21 - Tensão de controle (acima) comparada ao sinal de erro (abaixo)

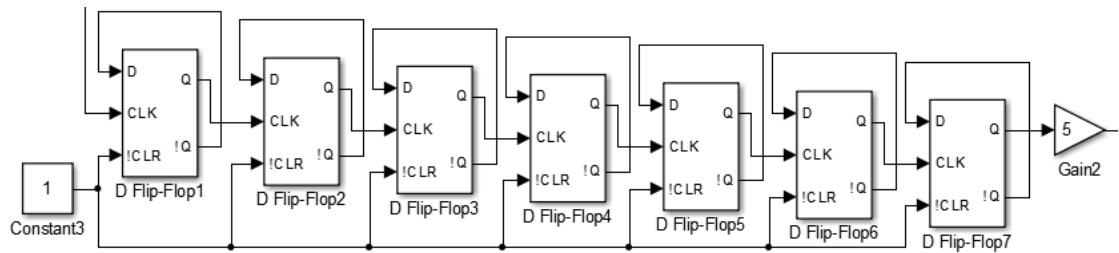


Fonte: fotografia pelo próprio autor

3.4. DIVISOR DE FREQUÊNCIAS

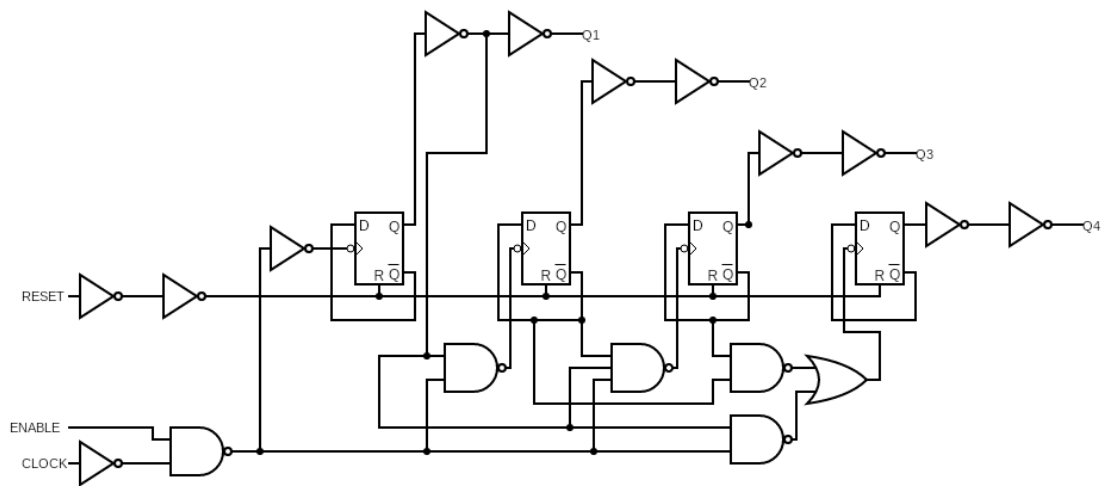
O divisor de frequências foi simulado por meio de flip-flops tipo D, mostrados na figura 22, tal qual ocorre no contador CD4520, figura 23, utilizado nos testes experimentais.

Figura 22 - Flip-flops D utilizados para simular o divisor de frequências, cada um efetuando uma divisão por 2



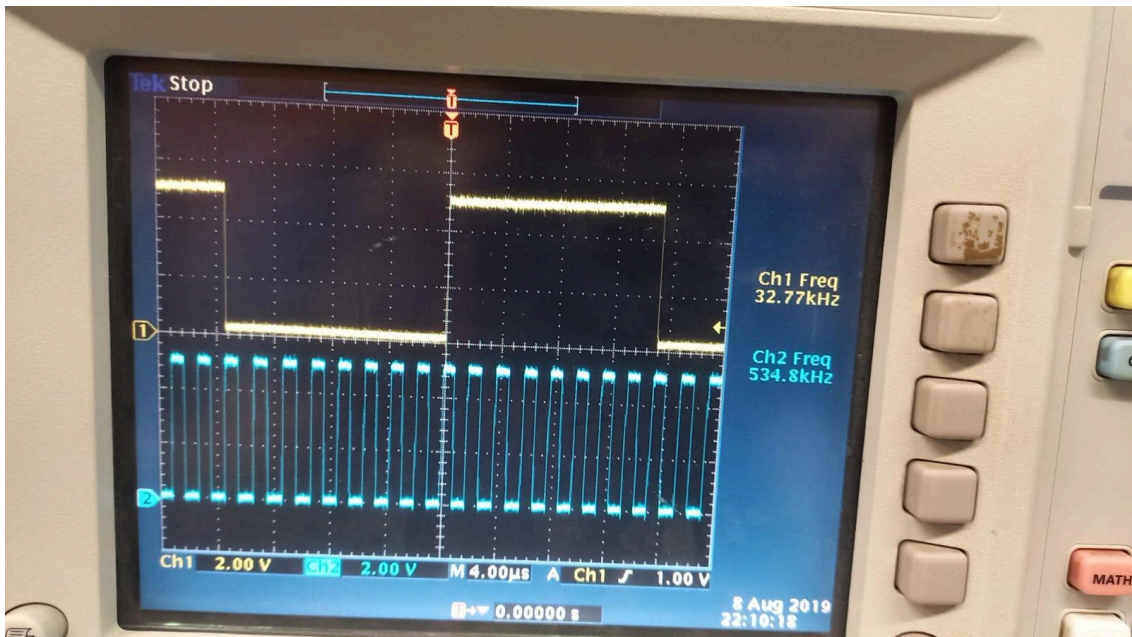
Fonte: simulação pelo próprio autor

Figura 23 - Diagrama lógico de um dos dois contadores do CD4520



Fonte: datasheet do componente

Figura 24 - Saída do divisor de frequências (acima) e saída do primeiro contador do CI (abaixo); nota-se que a frequência desta última é 2^4 vezes maior



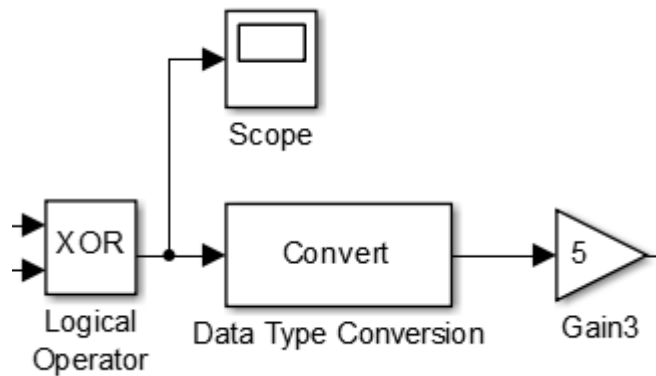
Fonte: fotografia pelo próprio autor

Como há dois contadores no CD4520, a saída Q3 do primeiro foi conectada à entrada do segundo, de forma que a saída Q4 deste representava uma divisão de 2^7 em relação à entrada do primeiro contador, correspondente à saída do VCO. Além disso nota-se, pela figura 24, que, apesar das distorções na forma de onda e no *duty cycle* da onda na saída do VCO (figura 15), o divisor de frequências gerou um sinal quadrado de *duty cycle* de 50%, o que é importante para o funcionamento do detector de fase.

3.5. DETECTOR DE FASE

Tanto na simulação, na figura 25, quanto na montagem em protoboard, utilizou-se portas lógicas XOR para implementar o detector de fase. Também em ambos os casos, a forma mais simples de verificar se o *loop* atingiu travamento ou não era observar o sinal de erro na saída do detector de fase. Na situação de travamento, ambos os casos exibiam um sinal de erro com *duty cycle* constante e período bem definido.

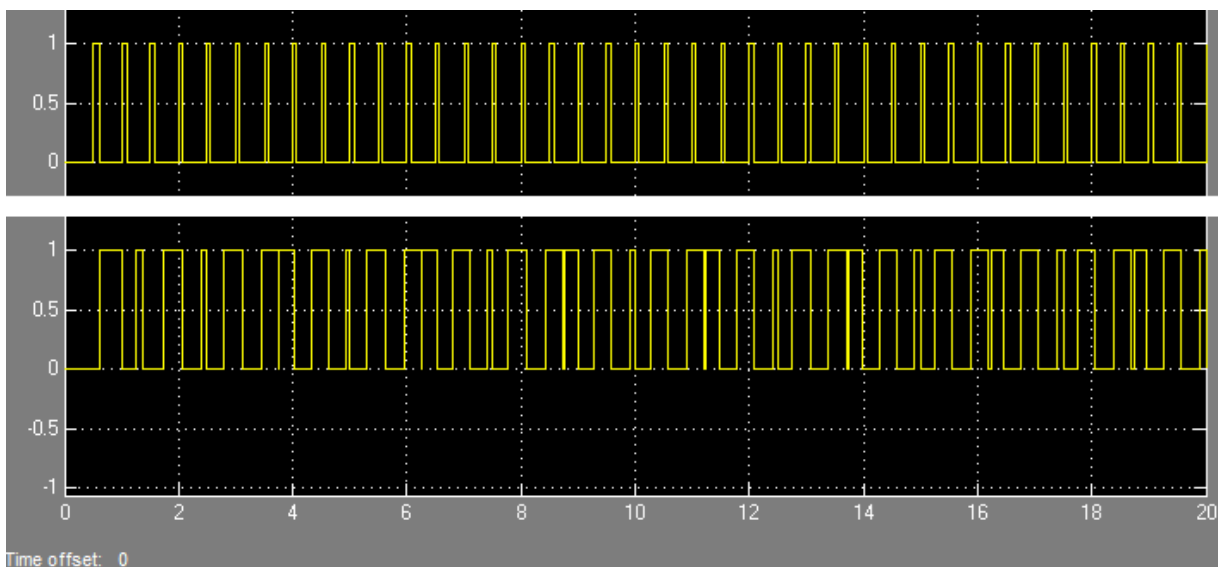
Figura 25 - Simulação do detector de fase, com conversão de tipo de dado e ganho para assegurar a consistência com os demais sinais



Fonte: simulação pelo próprio autor

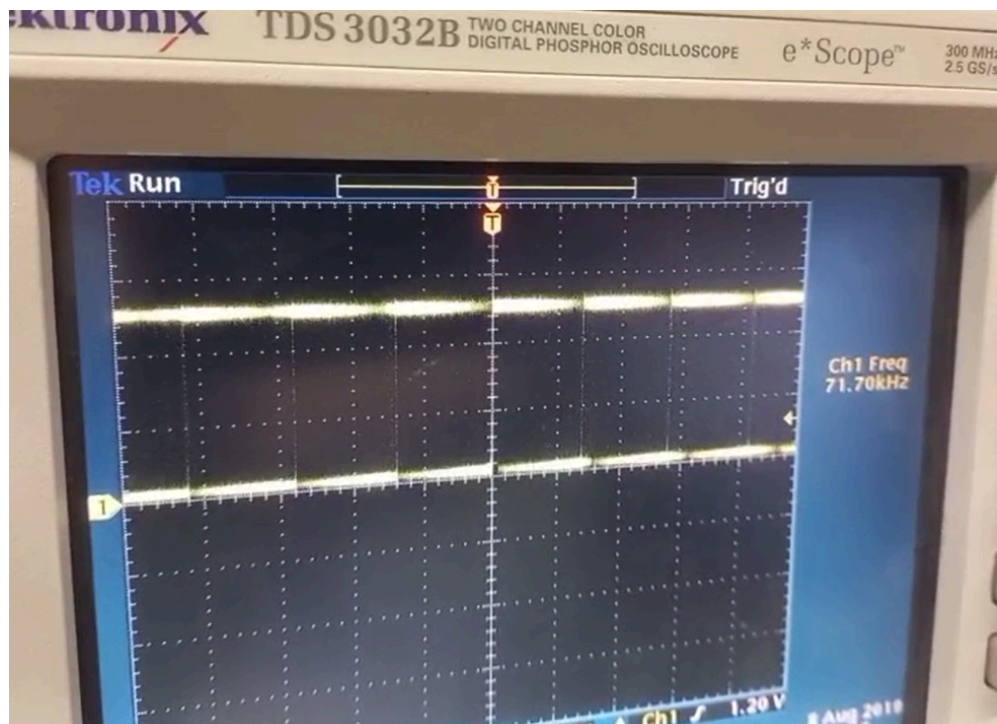
Caso o *loop* não atingisse travamento, o sinal de erro simulado apresentaria *duty cycle* ciclicamente variável no tempo e não haveria um período bem definido no sinal de erro, como pode ser visto nas figuras 26, simulada e 27, experimentalmente. Por sua vez, a figura 28 representa o sinal de saída do PLL na situação de travamento.

Figura 26 - Exemplos de sinal de erro simulado, na situação de travamento (acima) e não travamento (abaixo), parâmetros arbitrários (1 V de amplitude; 1 e 0,4 Hz de frequência na referência, respectivamente)



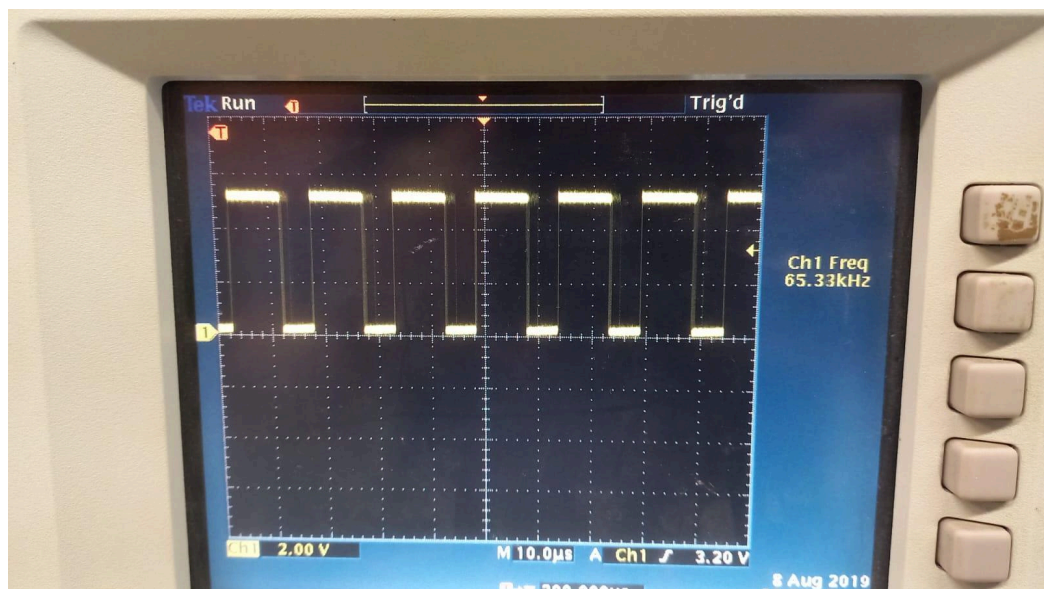
Fonte: simulação pelo próprio autor

Figura 27 - Sinal de erro experimental em caso de não travamento



Fonte: fotografia pelo próprio autor

Figura 28 - Sinal de erro experimental com 32,768 kHz na referência, em situação de travamento



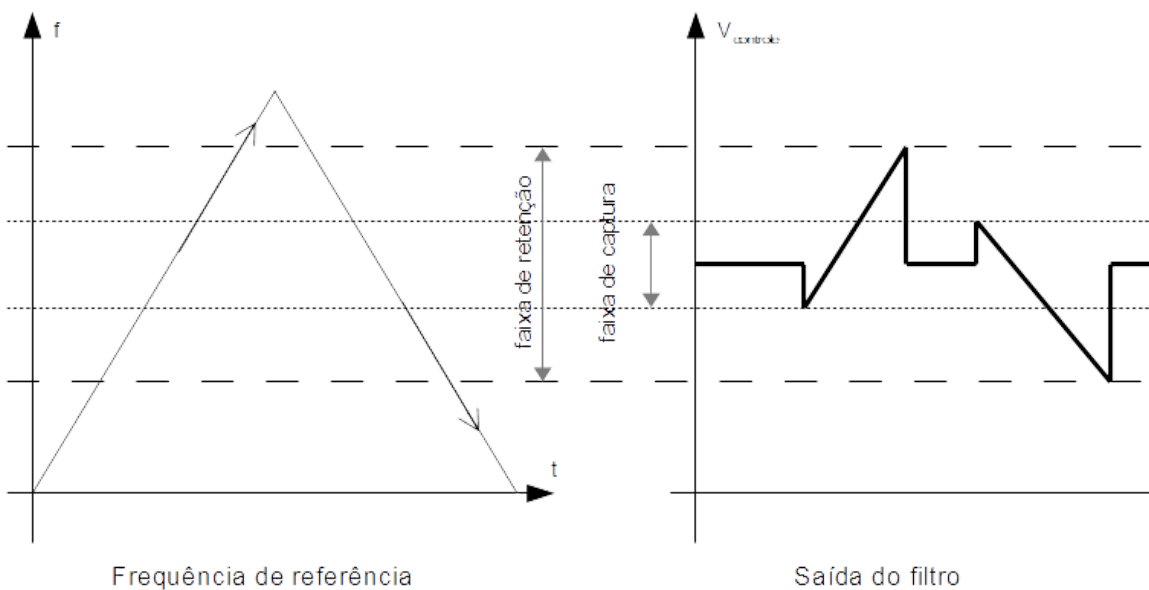
Fonte: fotografia pelo próprio autor

3.6. LOOP COMPLETO

Com todos os blocos do PLL funcionando tanto individualmente quanto em conjunto, capazes de atingir travamento na frequência especificada, restava determinar as faixas de operação do PLL, bem como a duração de seu regime transitório no caso de um degrau de frequência. Para ambos os casos, foram utilizados sinais modulados em frequência em vez de uma referência com frequência constante.

Para a determinação das faixas de operação do PLL, foi utilizada uma entrada cuja frequência variava linearmente de 25 kHz até 40 kHz e, em seguida, a mesma variação em sentido contrário, também linearmente. A expectativa era observar, na tensão de controle, algo similar à figura 29, com destaques para as faixas de captura e retenção, as quais implicam em travamento diante de estado inicial não travado e travado, respectivamente.

Figura 29 - Método para determinação das faixas de operação do PLL

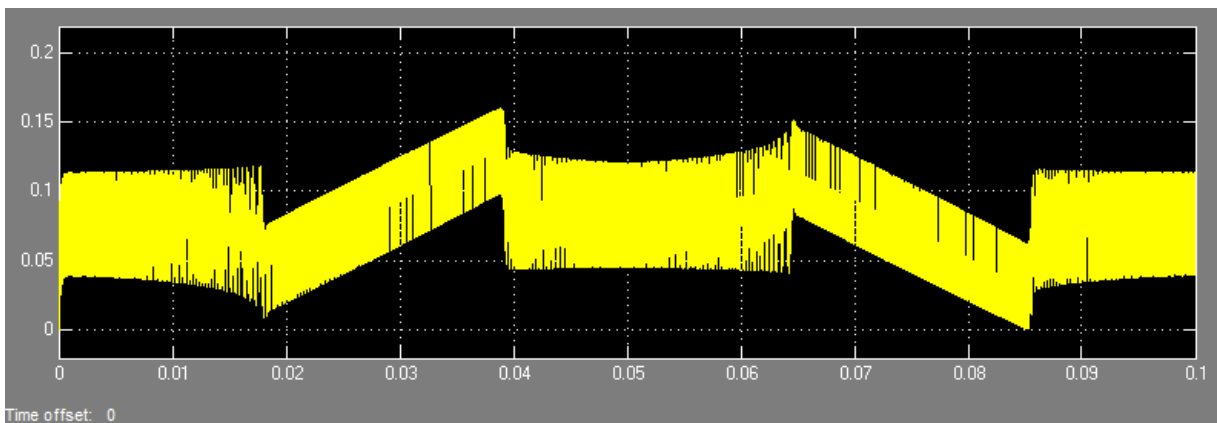


Fonte: *Lecture #9 – Phase Locked Loop (PLL)*, Università degli Studi di Padova (2026)

Na figura, a frequência parte de valores baixos fora das faixas de operação, nos quais a tensão de controle possui um valor que não depende da frequência de referência. Quando a frequência cruza o limite inferior da faixa de captura o PLL atinge travamento, e nesta situação a tensão de controle cresce linearmente com a frequência. Então, quando a frequência sai da faixa de retenção, o sistema destrava

e a tensão de controle mais uma vez assume o valor independente da frequência até que, mais uma vez, a frequência entre na faixa de captura e novamente a tensão de controle siga a variação de frequência. Por fim, a frequência cruza o limite inferior da faixa de retenção e o PLL destrava; de fato o resultado da simulação na figura 30 é nitidamente similar.

Figura 30 - Tensão de controle simulada com uma varredura triangular na frequência de entrada (frequência de 25 a 40 kHz com a maior frequência em 5 ms, 5 V de amplitude na referência)



Fonte: simulação pelo próprio autor

Na simulação, a variação de frequência supracitada foi utilizada como referência. Tal qual a figura 29, observa-se na figura 30 que a tensão de controle somente varia com a frequência quando o PLL está travado. A partir dos instantes de tempo em que a tensão de controle assume seus valores mínimos e máximos nos limites das faixas de operação, foi possível deduzir as frequências em que estes ocorriam, uma vez que sua variação era linear. O processo de entrada e saída das faixas de operação é idêntico ao que ocorria na figura 29.

Experimentalmente, não era eficiente observar o sinal de erro, já que sua pequena variação e a presença de ruído dificultavam a caracterização de seu comportamento. Para a determinação das faixas de operação nesta situação, foi necessário monitorar simultaneamente o sinal na entrada e o sinal de erro na saída do detector de fase que, conforme supracitado, era a forma mais fácil de avaliar se o PLL estava ou não travado. A mesma varredura triangular de frequências foi aplicada na entrada a partir de um gerador de sinais. Seja para variações positivas ou negativas de frequência, considerou-se que os limites da faixa de captura correspondiam aos instantes em que o PLL travava, e os da faixa de retenção a

quando o sistema destravava. As frequências da entrada foram registradas para cada instante em que o PLL cruzava estes limites.

Tabela 3 - Resultados das faixas de operação do PLL

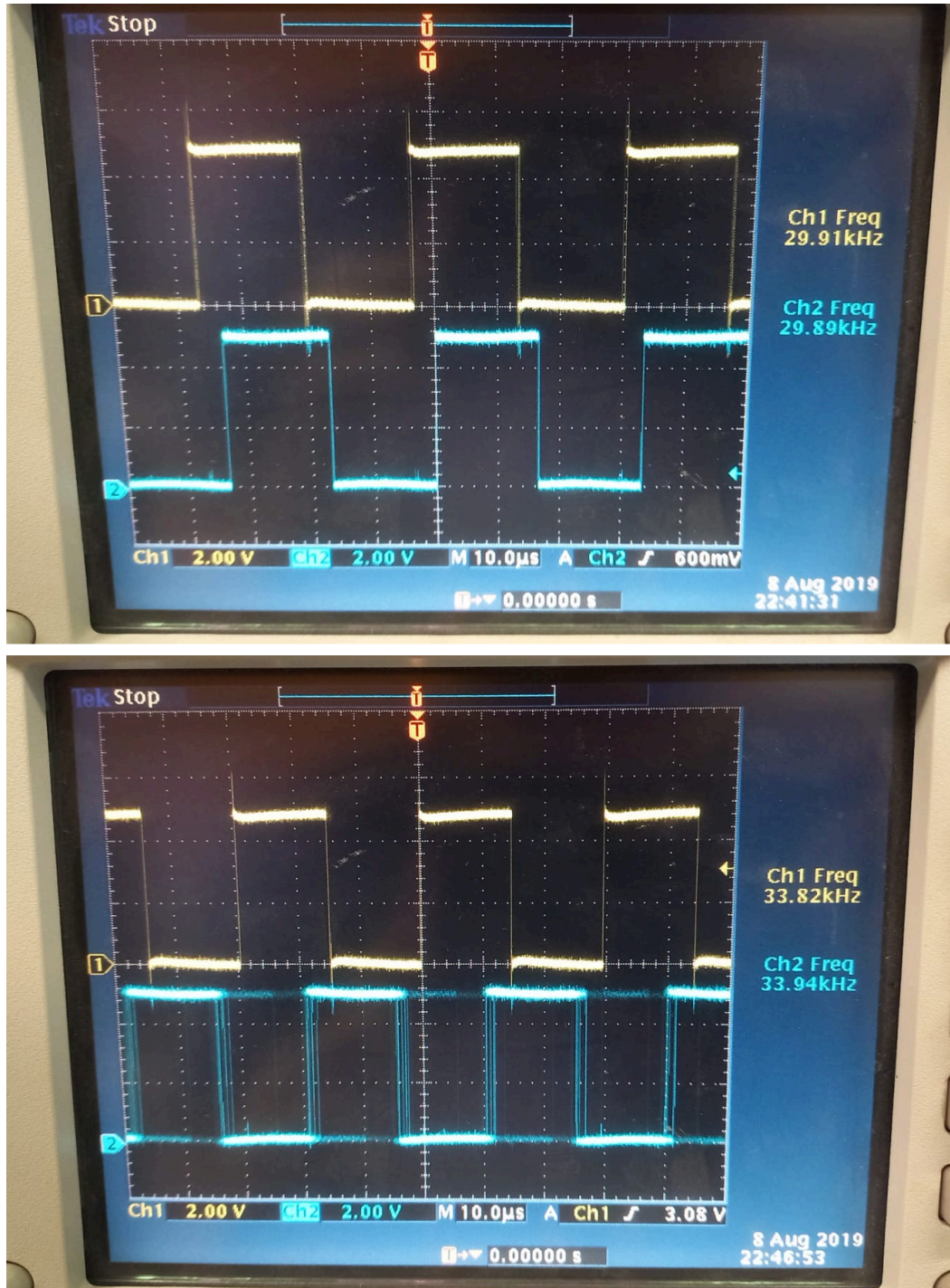
Faixa de captura simulada	30,44 - 35,6 kHz
Faixa de captura experimental	29,35 - 33,79 kHz
Largura esperada da faixa de captura	6,15 kHz
Faixa de retenção simulada	29,49 - 36,62 kHz
Faixa de retenção experimental	29,15 - 34,48 kHz
Largura esperada da faixa de retenção	7,19 kHz

Fonte: elaborado pelo próprio autor

Nota-se que ambas as faixas experimentais são mais estreitas e deslocadas para frequências inferiores em relação a suas contrapartes da simulação, potencialmente devido a não-idealidades em componentes que não são levadas em conta pelo Simulink. Além disso, as diferenças entre os limites superiores são maiores que as dos limites inferiores, o que pode ser explicado pelo comportamento menos linear do VCO e presença de ruído jitter, ambos mais presentes em frequências mais elevadas, o que inclusive pode ser visto na figura 31.

É possível, ainda, comparar as faixas de retenção e captura obtidas com o que se esperaria a partir dos parâmetros obtidos dos blocos. Conforme supracitado, a faixa de retenção pode ser limitada pelo VCO ou pelo detector de fase. Neste último caso, a faixa esperada é obtida conforme a equação (16), para uma faixa esperada de 11,44 kHz. Para o caso da faixa limitada pelo VCO, basta dividir a faixa deste bloco pelo fator do divisor de frequências, o que resulta em uma faixa de 7,19 kHz. Como esta última é mais restritiva, é a que corresponde à faixa esperada. Este valor é próximo do obtido na simulação conforme a tabela 3, de 7,13 kHz, que por sua vez é um tanto maior que o valor real de 5,33 kHz, apesar de ainda serem próximos. O mesmo padrão se repete para o valor estimado da faixa de captura, de 6,15 kHz comparado a 5,16 kHz na simulação e 4,44 kHz na montagem.

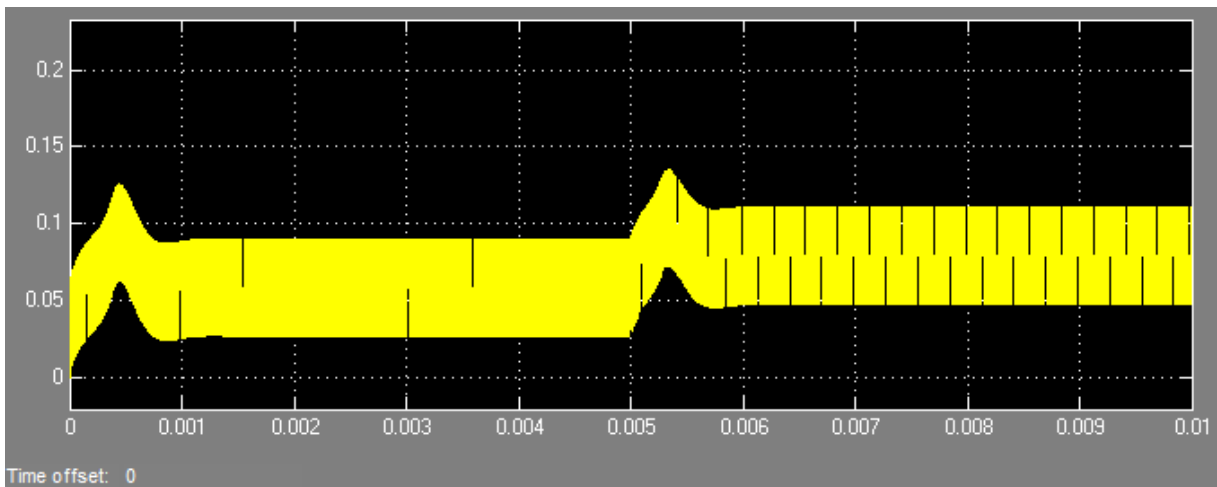
Figura 31 - Sinal de referência (amarelo) e saída do divisor de frequências (azul) para frequências próximas dos limites inferior (acima) e superior (abaixo) das faixas de operação do PLL



Fonte: fotografia pelo próprio autor

Por fim, foi determinado o tempo de estabilização do PLL, o intervalo de regime transitório devido a um degrau de frequência, de 31,5 a 33 kHz, valores escolhidos por estarem inclusos em ambas as faixas de captura, simulada e experimental. O resultado da simulação pode ser visto na figura 32.

Figura 32 - Tensão de controle simulada em regime transitório (frequências de 31,5 e 33 kHz, com degrau de frequência em 5 ms, 5 V de amplitude na referência)

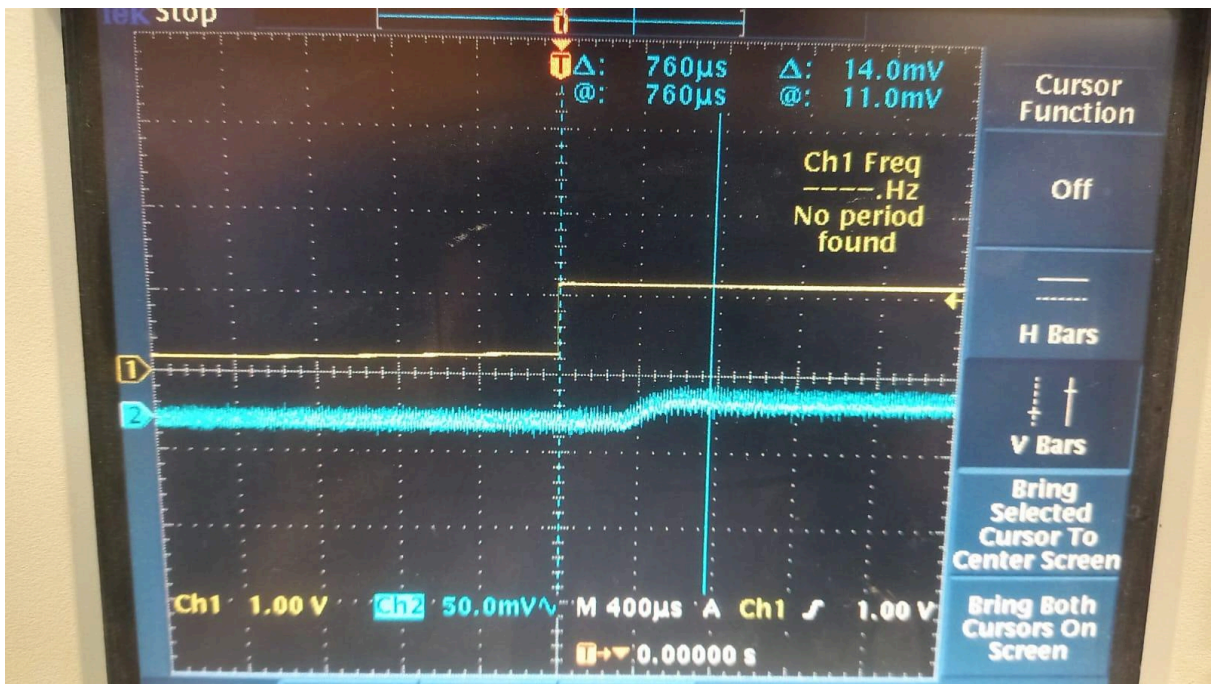


Fonte: simulação pelo próprio autor

Para determinar este tempo de transição experimentalmente, foi necessário observar o valor médio do sinal de controle e, simultaneamente, o sinal modulante da entrada ao invés da entrada em si. Portanto, na figura 33, a onda amarela representa a frequência da entrada, com nível baixo para a frequência de 31,5 kHz e nível alto para a de 33 kHz.

Nota-se que a tensão de controle acompanha o sinal modulador com um certo atraso, que pode ser visto claramente na figura 33. Era este atraso que se buscava medir.

Figura 33 - Medição de atraso da tensão de controle



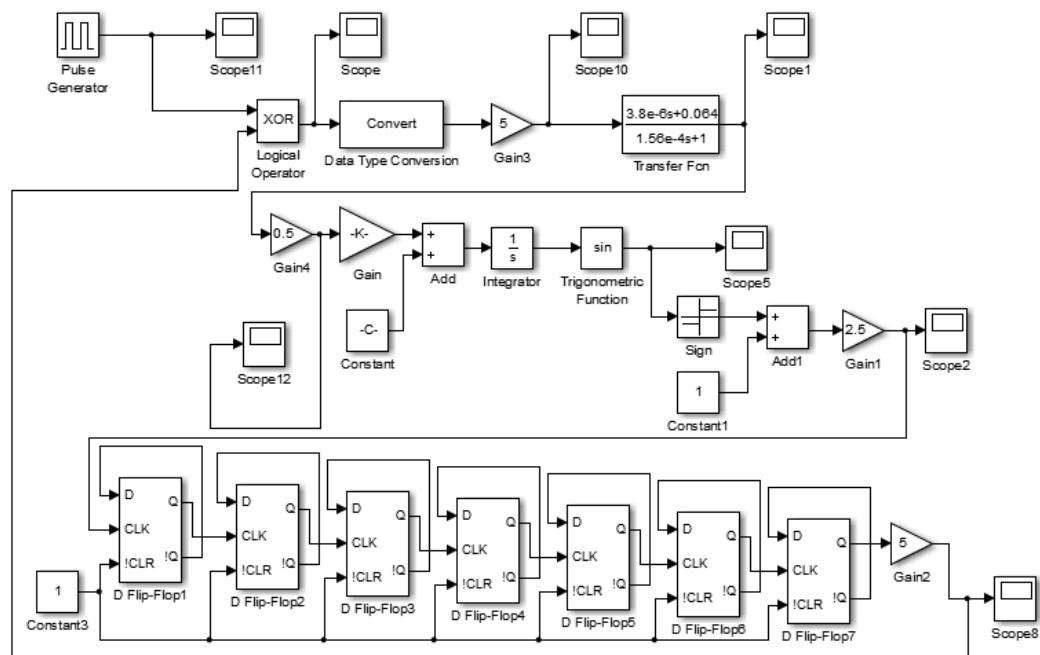
Fonte: fotografia pelo próprio autor

Pela figura, o valor obtido para o tempo de transição do PLL foi de cerca de 800 µs, comparado com 850 µs obtido na simulação, resultados consistentes e bem próximos.

4. CONCLUSÃO

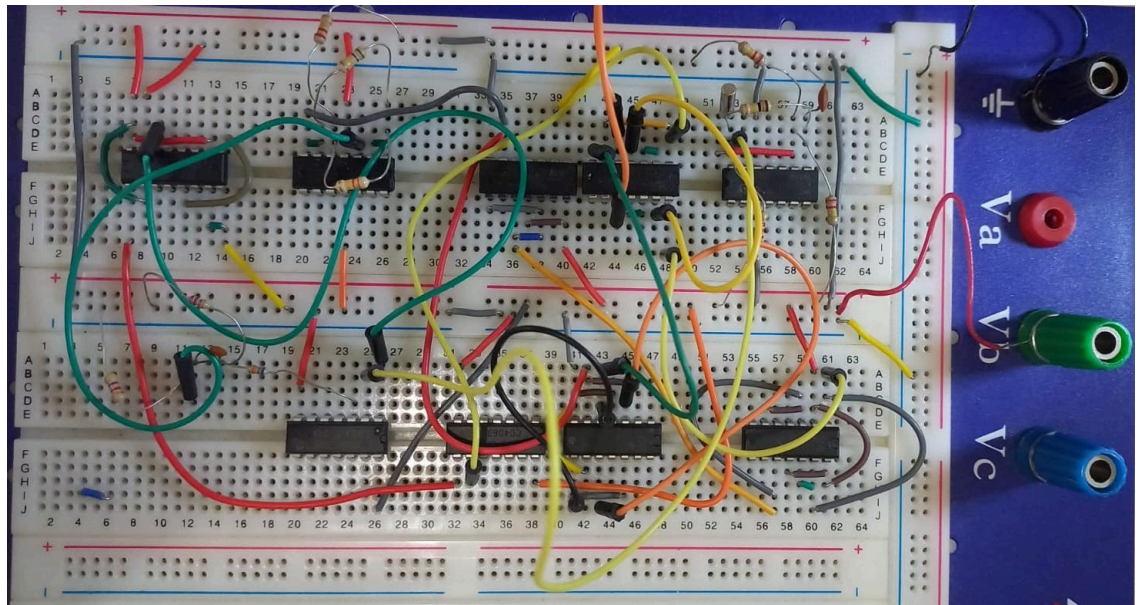
A partir dos resultados obtidos, observa-se uma alta coerência entre o PLL simulado e o montado, nas figuras 34 e 35, respectivamente. Os comportamentos do sinal de referência, do sinal de erro e da tensão de controle foram consideravelmente similares ao esperado, e, no caso da saída do divisor de frequências, foi até capaz de compensar limitações do VCO devido a não idealidades e reduções de linearidade para frequências maiores. Este bloco, por sua vez, foi aquele cuja saída mais diferiu do que foi obtido na simulação, haja vista a alta distorção nas formas de onda para frequências mais elevadas. Porém, o parâmetro mais importante, ou seja, a frequência do sinal, manteve-se no valor esperado.

Figura 34 - Sistema completo do PLL simulado



Fonte: simulação pelo próprio autor

Figura 35 - Sistema completo do PLL em protoboard



Fonte: fotografia pelo próprio autor

No que diz respeito ao sistema como um todo, o PLL conseguiu travar na frequência especificada com sucesso e apresentou durações de regime transitório muito próximas entre a simulação e a montagem, ao passo que as faixas de retenção e captura experimentais estavam deslocadas na direção de frequências menores em relação à situação simulada, bem como apresentavam diferenças maiores nos limites superiores e faixas ligeiramente menores de um modo geral. Porém, não somente essas diferenças, explicadas por não idealidades de componentes e presença de ruído jitter, não foram significativas a ponto de afetar o funcionamento do sistema, mas também pôde-se observar que, tanto no caso simulado quanto experimental, a faixa de captura está contida na faixa de retenção e suas frequências centrais quase coincidem, como se espera da teoria dos PLLs.

REFERÊNCIAS

- BALODI, Deepak; et al. *Low Power Differential and Ring Voltage Controlled Oscillator Architectures for High Frequency (L-Band) Phase Lock Loop Applications in 0.35 μm CMOS Process*. SAMRIDDHI : A Journal of Physical Sciences, Engineering and Technology, v. 11, n. 01, p. 63–70, 2019. DOI: <https://doi.org/10.18090/samriddhi.v11i01.9>.
- BRAGA, Newton C. Como funciona o PLL. Newton C. Braga, [s.l.], 624-ART058. Disponível em: <https://www.newtonbraga.com.br/como-funciona/624-como-funciona-o-pll-art058.html>. Acesso em: 7 jul. 2025.
- EVERYTHINGRF. What is a Phase-Locked Loop (PLL)? EVERYTHINGRF, [s.l.], 2025. Disponível em: <https://www.everythingrf.com/community/what-is-a-phase-locked-loop-pll>. Acesso em: 7 jul. 2025.
- LEE, Thomas H. *The Design of CMOS Radio-Frequency Integrated Circuits*. 2. ed. Cambridge: Cambridge University Press, 2003. ISBN 978-0521835398.
- LONG, Stephen. *Phase-Locked Loop (PLL) circuits: introduction*. Santa Barbara: University of California, Santa Barbara, 2005. Material didático. Disponível em: https://web.ece.ucsb.edu/~long/ece594a/PLL_intro_594a_s05.pdf. Acesso em: 27 fev. 2026.
- PALERMO, Sam. *Lecture 28 – VCOs*. ECEN 689: Special Topics in High-Speed Links Circuits and Systems, Texas A&M University, Spring 2010. Slides de aula (PDF). Disponível em: https://people.engr.tamu.edu/spalermo/ecen689/lecture28_ee689_vcoss.pdf. Acesso em: 5 fev. 2026.
- PALERMO, Sam. *Lecture 03 – PLL Analysis*. ECEN 620: Analysis and Design of Electronic Systems, Texas A&M University, [s.l.], Fall 2014. Notas de aula (PDF). Disponível em: https://people.engr.tamu.edu/spalermo/ecen620/lecture03_ee620_pll_analysis.pdf. Acesso em: 5 fev. 2026.
- POZZEBON, Alessandro. *Lecture #9 – Phase Locked Loop (PLL)*. Electronic Measurements. Padova: Università degli Studi di Padova, [s.d.]. Material didático (PDF). Disponível em: https://stem.elearning.unipd.it/pluginfile.php/1163004/mod_resource/content/3/Lecture9.pdf. Acesso em: 27 fev. 2026.
- RAZAVI, Behzad. *RF Microelectronics*. 2. ed. Upper Saddle River, NJ: Pearson/Prentice Hall, 2011. ISBN 978-0137134731.

APÊNDICE A - DIAGRAMAS DO SISTEMA E DOS BLOCOS INDIVIDUAIS

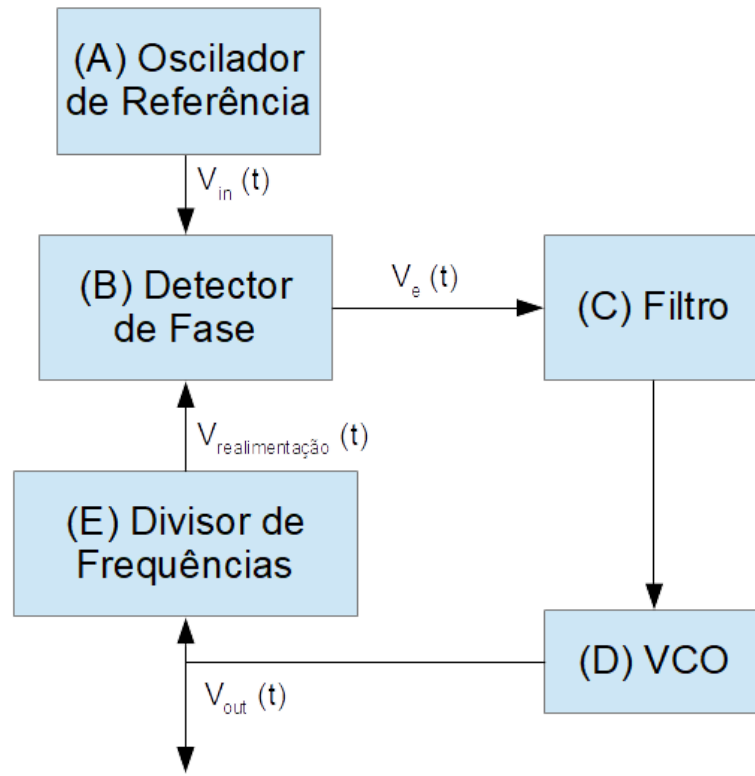
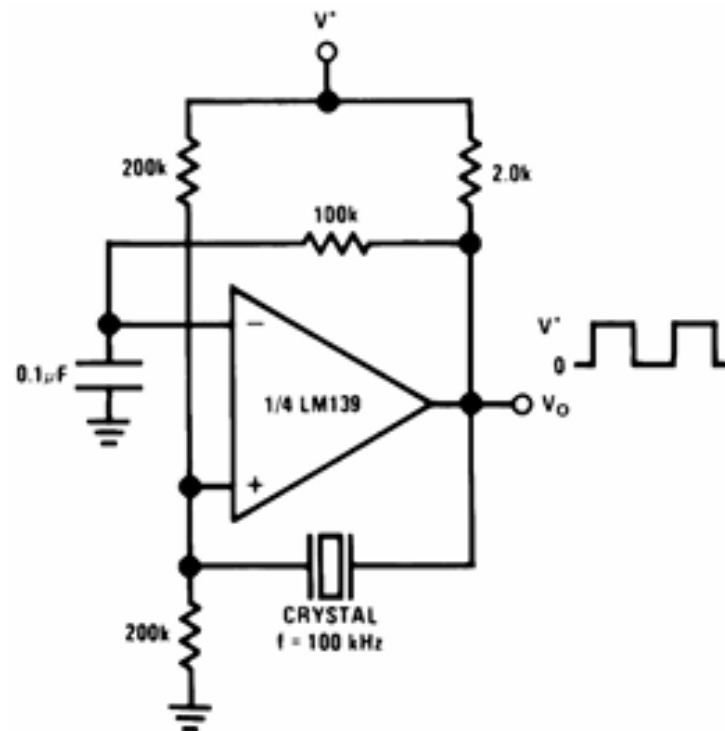
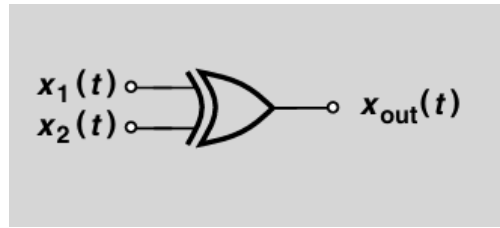


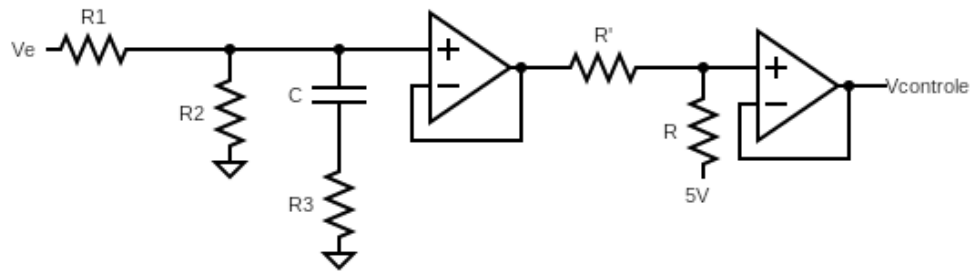
Diagrama de blocos do PLL



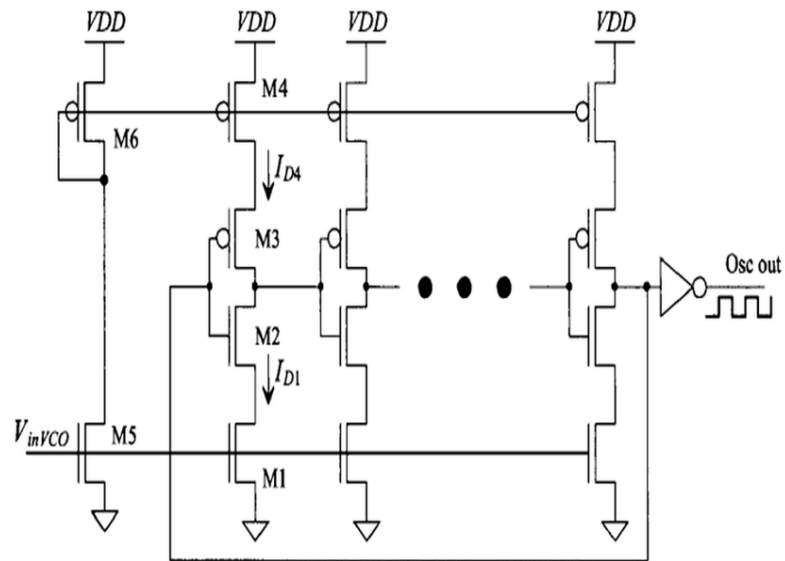
(A) Oscilador de referência



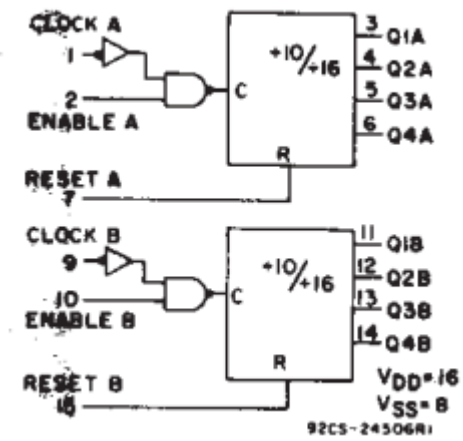
(B) Detector de fase



(C) Filtro. Um dos resistores R deve ser alterado para mitigar efeitos das tensões de offset.

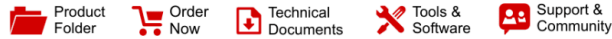


(D) VCO



(E) Divisor de frequências

ANEXO A – DATASHEETS DOS COMPONENTES


LM339-MIL

SNOSD54 – JUNE 2017

LM339-MIL Low-Power Low-Offset Voltage Quad Comparator

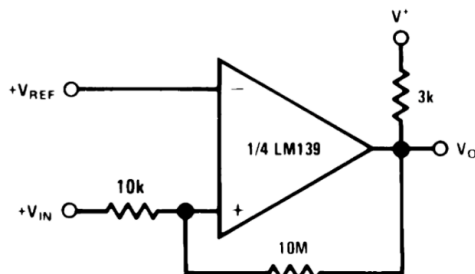
1 Features

- Wide Supply Voltage Range
- 2 to 36 V_{DC} or ± 1 to $\pm 18 V_{DC}$
- Very-Low Supply Current Drain (0.8 mA) — Independent of Supply Voltage
- Low Input Biasing Current: 25 nA
- Low Input Offset Current: ± 5 nA
- Offset Voltage: ± 3 mV
- Input Common-Mode Voltage Range Includes GND
- Differential Input Voltage Range Equal to the Power Supply Voltage
- Low Output Saturation Voltage: 250 mV at 4 mA
- Output Voltage Compatible With TTL, DTL, ECL, MOS, and CMOS Logic Systems
- Advantages:
 - High-Precision Comparators
 - Reduced V_{OS} Drift Overtemperature
 - Eliminates Need for Dual Supplies
 - Allows Sensing Near GND
 - Compatible With All Forms of Logic
 - Power Drain Suitable for Battery Operation

2 Applications

- Limit Comparators
- Simple Analog-to-Digital Converters (ADCs)
- Pulse, Squarewave, and Time Delay Generators
- Wide Range VCO; MOS Clock Timers
- Multivibrators and High-Voltage Digital Logic Gates

Noninverting Comparator With Hysteresis



3 Description

The LM339-MIL device consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV maximum for all four comparators. These comparators were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low-power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though they are operated from a single power supply voltage.

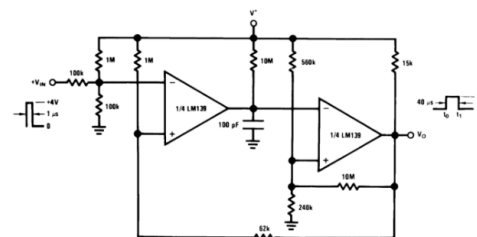
The LM339-MIL device was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the device directly interfaces with MOS logic where the low-power drain of the LM339-MIL is a distinct advantage over standard comparators.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LM339-MIL	CDIP (14)	19.56 mm × 6.67 mm
	SOIC (14)	8.65 mm × 3.91 mm
	PDIP (14)	19.177 mm × 6.35 mm


(1) For all available packages, see the orderable addendum at the end of the data sheet.

One-Shot Multivibrator With Input Lockout



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

Disponível em: <https://www.ti.com/lit/ds/symlink/lm339-mil.pdf?ts=1770388311560>



FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised January 1999

CD4030C

Quad EXCLUSIVE-OR Gate

General Description

The CD4030C EXCLUSIVE-OR gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. All inputs are protected against static discharge with diodes to V_{DD} and V_{SS} .

Features

- Wide supply voltage range: 3.0V to 15V
- Low power: 100 nW (typ.)
- Medium speed operation:

$t_{PHL} = t_{PLH} = 40$ ns (typ.) at $C_L = 15$ pF, 10V supply

- High noise immunity 0.45 V_{CC} (typ.)

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Industrial controls
- Remote metering
- Computers

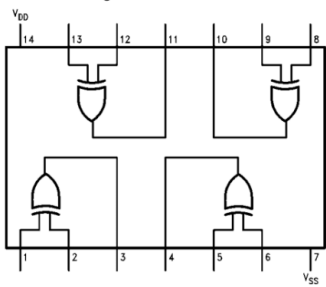
Ordering Code:

Order Number	Package Number	Package Description
CD4030CSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4030CN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Device also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for DIP and SOP



Truth Table

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

1 = HIGH Level
0 = LOW Level

CD4030C Quad EXCLUSIVE-OR Gate

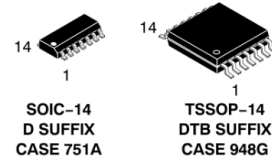
Single Supply Quad Operational Amplifiers

LM324, LM324A, LM324E, LM224, LM2902, LM2902E, LM2902V, NCV2902

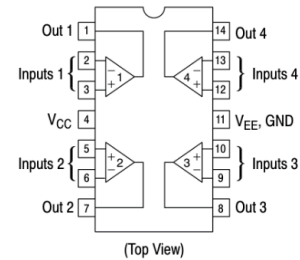
The LM324 series are low-cost, quad operational amplifiers with true differential inputs. They have several distinct advantages over standard operational amplifier types in single supply applications. The quad amplifier can operate at supply voltages as low as 3.0 V or as high as 32 V with quiescent currents about one-fifth of those associated with the MC1741 (on a per amplifier basis). The common mode input range includes the negative supply, thereby eliminating the necessity for external biasing components in many applications. The output voltage range also includes the negative power supply voltage.

Features

- Short Circuited Protected Outputs
- True Differential Input Stage
- Single Supply Operation: 3.0 V to 32 V
- Low Input Bias Currents: 100 nA Maximum (LM324A)
- Four Amplifiers Per Package
- Internally Compensated
- Common Mode Range Extends to Negative Supply
- Industry Standard Pinouts
- ESD Clamps on the Inputs Increase Ruggedness without Affecting Device Operation
- NCV Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q100 Qualified and PPAP Capable
- These Devices are Pb-Free, Halogen Free/BFR Free and are RoHS Compliant



PIN CONNECTIONS



ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 10 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 11 of this data sheet.



Data sheet acquired from Harris Semiconductor
SCHS018C – Revised September 2003

CD4007UB Types

CMOS Dual Complementary Pair Plus Inverter

High-Voltage Types (20-Volt Rating)

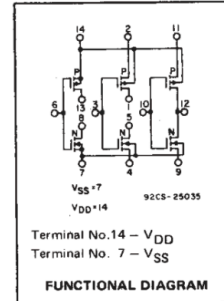
CD4007UB types are comprised of three n-channel and three p-channel enhancement-type MOS transistors. The transistor elements are accessible through the package terminals to provide a convenient means for constructing the various typical circuits as shown in Fig. 2.

More complex functions are possible using multiple packages. Numbers shown in parentheses indicate terminals that are connected together to form the various configurations listed.

The CD4007UB types are supplied in 14-lead hermetic dual-in-line ceramic packages (F3A suffix), 14-lead dual-in-line plastic packages (E suffix), 14-lead small-outline packages (M, MT, M96, and NSR suffixes), and 14-lead thin shrink small-outline packages (PW and PWR suffixes).

Features:

- Standardized symmetrical output characteristics
- Medium Speed Operation – $t_{PHL}, t_{PLH} = 30 \text{ ns (typ.)}$ at 10 V
- 100% tested for quiescent current at 20 V
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"
- Maximum input current of 1 μA at 18 V over full package-temperature range; 100 nA at 18 V and 25°C



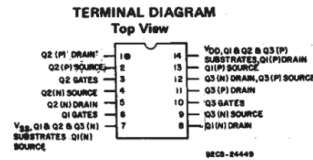
RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package Temperature Range)	3	18	V

Applications:


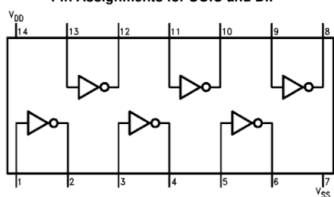
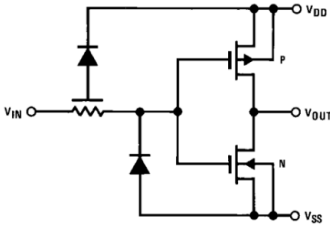
- Extremely high-input impedance amplifiers
- Shapers
- Inverters
- Threshold detector
- Linear amplifiers
- Crystal oscillators



STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)						UNITS	
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55			+25				
				-40	+85	+125	Min.	Typ.	Max.		
Quiescent Device Current, I_{DD} Max.	—	0,5	5	0,25	0,25	7,5	7,5	—	0,01	0,25	μA
	—	0,10	10	0,5	0,5	15	15	—	0,01	0,5	
	—	0,15	15	1	1	30	30	—	0,01	1	
	—	0,20	20	5	5	150	150	—	0,02	5	
Output Low (Sink) Current I_{OL} Min.	0,4	0,5	5	0,64	0,61	0,42	0,36	0,51	1	—	mA
	0,5	0,10	10	1,6	1,5	1,1	0,9	1,3	2,6	—	
	1,5	0,15	15	4,2	4	2,8	2,4	3,4	6,8	—	
Output High (Source) Current, I_{OH} Min.	4,6	0,5	5	-0,64	-0,61	-0,42	-0,36	-0,51	-1	—	mA
	2,5	0,5	5	-2	-1,8	-1,3	-1,15	-1,6	-3,2	—	
	9,5	0,10	10	-1,6	-1,5	-1,1	-0,9	-1,3	-2,6	—	
	13,5	0,15	15	-4,2	-4	-2,8	-2,4	-3,4	-6,8	—	
Output Voltage: Low-Level, V_{OL} Max.	—	0,5	5	0,05			—	0	0,05	—	V
	—	0,10	10	0,05			—	0	0,05	—	
	—	0,15	15	0,05			—	0	0,05	—	
Output Voltage: High-Level, V_{OH} Min.	—	0,5	5	4,95			4,95	5	—	—	V
	—	0,10	10	9,95			9,95	10	—	—	
	—	0,15	15	14,95			14,95	15	—	—	
Input Low Voltage, V_{IL} Max.	4,5	—	5	1			—	—	1	—	V
	9	—	10	2			—	—	2	—	
	13,5	—	15	2,5			—	—	2,5	—	
Input High Voltage, V_{IH} Min.	0,5	—	5	4			4	—	—	—	V
	1	—	10	8			8	—	—	—	
	1,5	—	15	12,5			12,5	—	—	—	
Input Current I_{IN} Max.		0,18	18	$\pm 0,1$	$\pm 0,1$	± 1	± 1	—	$\pm 10^{-5}$	$\pm 0,1$	μA

Copyright © 2003, Texas Instruments Incorporated

		October 1987 Revised January 1999												
<h2>CD4069UBC Inverter Circuits</h2>														
<h3>General Description</h3> <p>The CD4069UB consists of six inverter circuits and is manufactured using complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity, and symmetric controlled rise and fall times.</p> <p>This device is intended for all general purpose inverter applications where the special characteristics of the MM74C901, MM74C907, and CD4049A Hex Inverter/Buffers are not required. In those applications requiring larger noise immunity the MM74C14 or MM74C914 Hex Schmitt Trigger is suggested.</p>														
<h3>Features</h3> <ul style="list-style-type: none"> ■ Wide supply voltage range: 3.0V to 15V ■ High noise immunity: 0.45 V_{DD} typ. ■ Low power TTL compatibility: Fan out of 2 driving 74L or 1 driving 74LS ■ Equivalent to MM74C04 														
<p>All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS}.</p>														
<h3>Ordering Code:</h3> <table border="1"> <thead> <tr> <th>Order Number</th> <th>Package Number</th> <th>Package Description</th> </tr> </thead> <tbody> <tr> <td>CD4069UBCM</td> <td>M14A</td> <td>14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body</td> </tr> <tr> <td>CD4069UBCSJ</td> <td>M14D</td> <td>14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide</td> </tr> <tr> <td>CD4069UBCN</td> <td>N14A</td> <td>14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide</td> </tr> </tbody> </table> <p>Device also available in Tape and Reel. Specify by appending suffix "X" to the ordering code.</p>			Order Number	Package Number	Package Description	CD4069UBCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body	CD4069UBCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide	CD4069UBCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Order Number	Package Number	Package Description												
CD4069UBCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body												
CD4069UBCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide												
CD4069UBCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide												
<h3>Connection Diagram</h3> <p>Pin Assignments for SOIC and DIP</p> 		<h3>Schematic Diagram</h3> 												

CD4518B, CD4520B Types

CMOS Dual Up-Counters

High-Voltage Types (20-Volt Rating)

CD4518B Dual BCD Up-Counter
 CD4520B Dual Binary Up-Counter

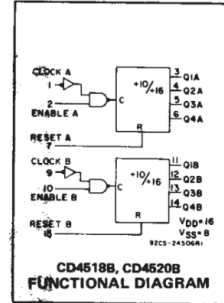
■ CD4518 Dual BCD Up-Counter and CD4520 Dual Binary Up-Counter each consist of two identical, internally synchronous 4-stage counters. The counter stages are D-type flip-flops having interchangeable CLOCK and ENABLE lines for negating on either the positive-going or negative-going transition. For single-unit operation the ENABLE input is maintained high and the counter advances on each positive-going transition of the CLOCK. The counters are cleared by high levels on their RESET lines. The counter can be cascaded in the ripple mode by connecting Q4 to the enable input of the subsequent counter while the CLOCK input of the latter is held low.

The CD4518B and CD4520B types are supplied in 16-lead hermetic dual-in-line ceramic packages (F3A suffix), 16-lead dual-in-line plastic packages (E suffix), 16-lead small-outline packages (M, M96, and NSR suffixes), and 16-lead thin shrink small-outline packages (PW and PWR suffixes).

MAXIMUM RATINGS, Absolute-Maximum Values:
 DC SUPPLY-VOLTAGE RANGE, (V_{DD}) -0.5V to +20V
 Voltages referenced to V_{SS} Terminal -0.5V to V_{DD} +0.5V
 INPUT VOLTAGE RANGE, ALL INPUTS ±10mA
 DC INPUT CURRENT, ANY ONE INPUT ±10mA
 POWER DISSIPATION PER PACKAGE (P_D):
 For T_A = -55°C to +100°C 500mW
 For T_A = +100°C to +125°C Derate Linearly at 12mW/°C to 200mW
 DEVICE DISSIPATION PER OUTPUT TRANSISTOR
 FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) 100mW
 OPERATING-TEMPERATURE RANGE (T_A) -55°C to +125°C
 STORAGE TEMPERATURE RANGE (T_{stg}) -65°C to +150°C
 LEAD TEMPERATURE (DURING SOLDERING):
 At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max +265°C

Features:

- Medium-speed operation - 6-MHz typical clock frequency at 10 V.
- Positive- or negative-edge triggering
- Synchronous internal carry propagation
- 100% tested for quiescent current at 20 V
- Maximum input current of 1 μA at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin over full package-temperature range): 1 V at V_{DD} = 5 V
 2 V at V_{DD} = 10 V
 2.5 V at V_{DD} = 15 V
- 5-V, 10-V, and 15-V parametric ratings
- Standardized, symmetrical output characteristics
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



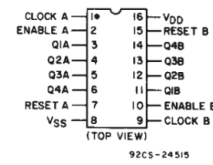
Applications:

- Multistage synchronous counting
- Multistage ripple counting
- Frequency dividers

TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
	1	0	Increment Counter
0		0	Increment Counter
	X	0	No Change
X		0	No Change
	0	0	No Change
1		0	No Change
X	X	1	Q1 thru Q4 = 0

X = Don't Care 1 ≡ High State 0 ≡ Low State



CD4518B, CD4520B TERMINAL ASSIGNMENT

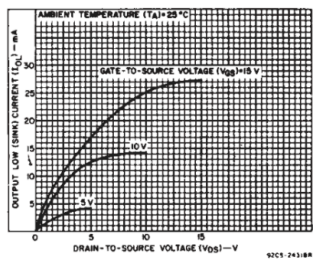


Fig. 1 - Typical output low (sink) current characteristics.

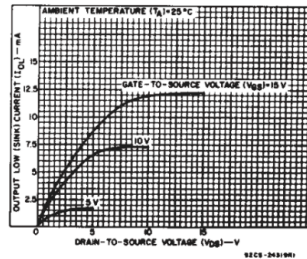


Fig. 2 - Minimum output low (sink) current characteristics.

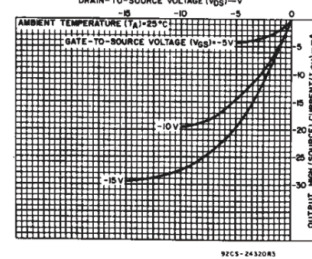


Fig. 3 - Typical output high (source) current characteristics.