

ANTÔNIO ELISEU HOLDEFER

**CONTROLE DIGITAL DE RETIFICADOR
TRIFÁSICO UTILIZANDO O CONTROLADOR
TMS320LF2407**

FLORIANÓPOLIS

2004

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS GRADUAÇÃO
EM ENGENHARIA ELÉTRICA

CONTROLE DIGITAL DE RETIFICADOR
TRIFÁSICO UTILIZANDO O CONTROLADOR
TMS320LF2407

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica

ANTÔNIO ELISEU HOLDEFER

Florianópolis, Fevereiro de 2004

**CONTROLE DIGITAL DE RETIFICADOR
TRIFÁSICO UTILIZANDO O CONTROLADOR
TMS320LF2407**

ANTÔNIO ELISEU HOLDEFER

“ Esta Dissertação foi julgada adequada para a obtenção do Título de **Mestre em Engenharia Elétrica**, na área de concentração em **Eletrônica de Potência e Acionamento**, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina. ”

Prof. Ivo Barbi, Dr. Ing.
Orientador

Prof. Edson Roberto De Pieri, Dr.
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Prof. Ivo Barbi, Dr. Ing.
Presidente da Banca

Prof.

Prof.

Prof.

"O destino lhe atira uma faca. Cabe a você decidir se pegará pelo cabo e usará a seu favor ou a pegará pela lâmina e se cortará" (provérbio chinês)

Agradecimentos

Agradeço, em primeiro lugar, aos meus pais, Romeu Holdefer e Marlise Beatriz Holdefer, aos meus irmãos, Artur José Holdefer, Agenor Miguel Holdefer e Alberto Mateus Holdefer, que me deram apoio, carinho, compreensão e por terem suportado a minha ausência.

Agradeço ao prof. Ivo Barbi pela orientação, apoio, confiança depositada e principalmente pelo meu despertar pelo desenvolvimento científico e tecnológico.

A todos os demais professores do INEP: Arnaldo José Perin, Ênio Valmor Kassick, João Carlos S. Fagundes, Alexandre Ferrari de Souza, Denizar Cruz Martins e Hari Bruno Mohr, que através da competência, dedicação e conhecimentos passados, me permitiram adquirir a confiança necessária para enfrentar o mundo como um profissional na área de Eletrônica de Potência.

Ao Carlos Marcussi pela contribuição e dedicação na programação do microcontrolador.

Aos amigos doutorandos e mestrandos que compartilharam com nossa turma vários momentos bons e alegres.

Aos meus colegas de mestrado e doutorado: João Marcio Buttendorff, Cesário Zimmermann Júnior, José Paulo Remor, Leonardo Augusto Serpa, Allan Pierre Baraúna, Sandro Alex Wuerges, Clóvis Antônio Petry, Luís Cândido Tomaselli, Devis Borgonovo, Yales Rômulo de Novaes pela amizade, companheirismo, pelas discussões técnicas, momentos de descontração e por terem me aturado por estes dois anos.

Aos demais membros do INEP, pela colaboração e apoio logístico para a realização deste trabalho.

Em fim, a todos aqueles que contribuíram de alguma forma – seja por um gesto ou simplesmente por dizerem um “bom dia” com vontade – para o bom desenvolvimento deste trabalho.

Resumo da dissertação apresentada à UFSC como parte dos requisitos necessários para
obtenção de grau de Mestre em Engenharia Elétrica

CONTROLE DIGITAL DE RETIFICADOR TRIFÁSICO UTILIZANDO O CONTROLADOR TMS320LF2407

ANTÔNIO ELISEU HOLDEFER

Fevereiro de 2004

Orientador: Prof. Ivo Barbi, Dr. Ing.

Área de Concentração: Eletrônica de Potência e Acionamento Elétrico.

Palavras-chave: Retificador trifásico, DSP, correção do fator de potência, controle digital.

Número de páginas: 135.

RESUMO: Este trabalho trata de um estudo da aplicação de um controlador DSP, em eletrônica de potência, na implementação do controle digital de um conversor CA-CC trifásico de alto fator de potência. Inicia-se com o estudo das principais características, necessárias ao projeto, do controlador DSP. Prossegue-se através do projeto dos controladores da malha de tensão e das malhas de corrente. No decorrer do trabalho são mostrados resultados de simulação da estrutura. No último capítulo são mostrados os resultados experimentais obtidos através de um protótipo.

Abstract of dissertation presented to UFSC as partial fulfillments to obtain the degree of
Master in Electrical Engineering.

DIGITAL CONTROL OF A TRIFASIC RETIFIER USING THE TMS320LF2407 CONTROLLER

ANTÔNIO ELISEU HOLDEFER

February, 2004

Advisor: Prof. Ivo Barbi, Dr. Ing.

Area of Concentration: Power Electronics and Electrical Drivers.

Key words: three-phase rectifier, DSP, power factor correction, digital control.

Number of pages: 135.

ABSTRACT: This work deals with a study of application of a DSP controller, in power electronics and the implementation of digital control. The study begins with a description of the controller and its peripheral devices that were used. After this, it is shown the design of the voltage and the current control loops controllers. Throughout the work are shown the results of numerical simulation. In the last chapter are shown the experimental results obtained through the prototype.

Sumário

RESUMO.....	vi
ABSTRACT.....	vii
SIMBOLOGIA.....	xi
INTRODUÇÃO GERAL.....	xiv
1. REVISÃO DAS TÉCNICAS DE RETIFICAÇÃO TRIFÁSICA.....	XI
1.1. INTRODUÇÃO	3
1.2. DEFINIÇÃO DE FATOR DE POTÊNCIA	4
1.3. RETIFICADORES TRIFÁSICOS CONVENCIONAIS.....	5
1.3.1. <i>Ponte de Graetz com filtro capacitivo de saída</i>	5
1.3.2. <i>Ponte de Graetz com filtro LC de saída</i>	7
1.4. RETIFICADORES TRIFÁSICOS P.W.M	9
1.5. CONCLUSÃO.....	11
2. O CONTROLADOR DSP (DIGITAL SIGNAL PROCESSOR) TMS320LF2407.....	13
2.1. INTRODUÇÃO	13
2.2. PROCESSAMENTO EM TEMPO REAL – AMOSTRAGEM.....	18
2.2.1. <i>Amostragem</i>	18
2.2.2. <i>Teorema de Shannon</i>	20
2.2.3. <i>Os filtros</i>	22
2.3. REPRESENTAÇÃO NUMÉRICA NOS DSP’S	23
2.3.1. <i>Ponto fixo</i>	27
2.3.2. <i>Ponto Flutuante</i>	33
2.4. A FAMÍLIA TMS320.....	34
2.4.1. <i>TMS320LF2407</i>	35
2.4.2. <i>Conversor A/D</i>	37
2.5. CONCLUSÃO.....	42
3. APRESENTAÇÃO, ANÁLISE, EQUACIONAMENTO E CONTROLE DO CONVERSOR UNIDERICIONAL CA-CC PROPOSTO.....	44
3.1. INTRODUÇÃO	44
3.2. ESTADOS TOPOLÓGICOS	45
3.2.1. <i>Análise dos estados topológicos</i>	49
3.3. EQUACIONAMENTO	53
3.3.1. <i>Estratégia de controle</i>	53
3.4. OBTENÇÃO DAS FUNÇÕES DE TRANSFERÊNCIA.....	54

3.4.1.	<i>Obtenção da função de transferência $I(s)/D(s)$</i>	55
3.4.2.	<i>Obtenção da função de transferência $V(s)/I(s)$</i>	57
3.5.	EXEMPLO DE PROJETO DOS CONTROLADORES	59
3.5.1.	<i>Metodologia de projeto</i>	59
3.5.2.	<i>Projeto do controlador de corrente</i>	60
3.5.3.	<i>Projeto do controlador de tensão</i>	65
3.6.	RESULTADOS DE SIMULAÇÃO	68
3.7.	CONCLUSÃO	72
4.	PROJETO DO CONTROLADOR DIGITAL PARA O CONVERSOR CA-CC TRIFÁSICO	
	PROPOSTO	74
4.1.	INTRODUÇÃO	74
4.2.	DESCRIÇÃO DO MÉTODO DE CONTROLE UTILIZADO	74
4.3.	NOÇÕES DE CONTROLE DIGITAL	77
4.3.1.	<i>Mapeamento do plano s no plano z</i>	80
4.3.2.	<i>Projeto usando a transformada bilinear</i>	80
4.3.3.	<i>Projeto pelo lugar das raízes no domínio z</i>	82
4.4.	CIRCUITOS AUXILIARES E DE INTERFACE	83
4.4.1.	<i>Projeto dos filtros de anti-aliasing</i>	83
4.4.2.	<i>Ganho do conversor A/D</i>	84
4.4.3.	<i>Amostragem de variáveis alternadas</i>	84
4.4.4.	<i>Esquema do circuito de interface</i>	85
4.4.5.	<i>Obtenção dos sinais de corrente e tensão a partir sensor de efeito Hall</i>	87
4.4.6.	<i>Geração da tensão de sincronismo</i>	87
4.4.7.	<i>Geração da forma de onda triangular</i>	88
4.5.	O PROGRAMA	89
4.6.	METODOLOGIA DE PROJETO DOS CONTROLADORES DIGITAIS DO CONVERSOR	91
4.6.1.	<i>Escolha do período de amostragem</i>	91
4.6.2.	<i>Atraso de transporte</i>	91
4.6.3.	<i>Obtenção das funções de transferência discretizadas</i>	93
4.6.4.	<i>Projeto do controlador da malha de corrente</i>	95
4.6.5.	<i>Projeto do compensador da malha de tensão</i>	98
4.6.6.	<i>Obtenção da equações recursivas</i>	100
4.7.	EXEMPLO DE PROJETO DOS CONTROLADORES	101
4.7.1.	<i>Malha de corrente</i>	101
4.7.2.	<i>Malha de tensão</i>	103
4.8.	RESULTADOS DE SIMULAÇÃO	105
4.9.	CONCLUSÃO	108

5. DIMENSIONAMENTO DO CIRCUITO DE POTÊNCIA E APRESENTAÇÃO DOS	
RESULTADOS EXPERIMENTAIS	109
5.1. INTRODUÇÃO	109
5.2. ESPECIFICAÇÕES GERAIS	110
5.3. PROJETO DO ESTÁGIO DE POTÊNCIA	111
5.3.1. <i>Interruptores controlados</i>	111
5.3.2. <i>Diodos $D_{i-3/4}$</i>	111
5.3.3. <i>Diodos $D_{i-5/6}$</i>	112
5.3.4. <i>Diodos $D_{i-1/2}$</i>	112
5.3.5. <i>Projeto físico dos indutores de entrada (indutor boost)</i>	112
5.4. RESULTADOS EXPERIMENTAIS.....	114

SIMBOLOGIA

Símbolos adotados nos equacionamentos

<i>Símbolo</i>	<i>Significado</i>	<i>Unidade</i>
V_{ef}	Tensão eficaz	V
I_{ef}	Corrente eficaz	A
I_1	Valor eficaz da fundamental de corrente	A
I_n	Valor eficaz da e-ésima harmônica de corrente	A
M	Mantissa	
n	Posição do ponto radix	
N_d	Número decimal que se deseja converter	
V_P	Tensão de pico de alimentação	V
V_O	Tensão de saída do retificador	V
V_L	Tensão aplicada ao indutor de entrada	V
L	Valor da indutância de entrada	H
K_P	Ganho proporcional do compensador	
K_i	Ganho integral do compensador	
ω_z	Frequência do zero do compensador	Rad/s
η	Rendimento da estrutura	%
K_{hall}	Ganho do sensor de efeito Hall	
K_{shunt}	Ganho do sensor de corrente	
$K_{A/D}$	Ganho do sensor A/D	
$H_e(s)$	Função de transferência do atraso de transporte	
A_e	Área da perna central	cm ²
A_w	Área da janela	cm ²
K_{med}	Valor médio da senóide de referência	
T	Período da forma de onda	s
T_S	Período de chaveamento	s
K_{amost}	Ganho do sensor de tensão	
$C_v(w)$	Função de transferência do compensador de tensão no domínio w	
$C_i(w)$	Função de transferência do compensador de corrente no domínio w	
f_s	Frequência de chaveamento	Hz

f_c	Frequência de corte da função de transferência em laço aberto	Hz
$G_i(s)$	Função de transferência da planta de corrente no domínio s	
$G_i(z)$	Função de transferência da planta de corrente no domínio z	
$G_i(w)$	Função de transferência da planta de corrente no domínio w	
$G_v(s)$	Função de transferência da planta de tensão no domínio s	
$G_v(z)$	Função de transferência da planta de tensão no domínio z	
$G_v(w)$	Função de transferência da planta de tensão no domínio w	
ΔI	Porcentagem de variação da corrente no indutor	%
V_{Lnom}	Tensão de linha nominal de entrada	V
V_{Lpmax}	Tensão de linha de pico máxima	V
I_{s_ef}	Corrente eficaz dos interruptores	A
I_{s_med}	Corrente média dos interruptores	A
P_i	Potência de entrada	W
P_o	Potência de Saída	W
K_w	Fator de ocupação da janela do núcleo	

Sub-índices utilizados

<i>Sub-índice</i>	<i>Significado</i>
<i>ef</i>	Valor eficaz da grandeza
<i>max</i>	Valor máximo da grandeza
<i>min</i>	Valor mínimo da grandeza
<i>med</i>	Valor médio da grandeza
Δ	Variação da grandeza em torno de um valor

Símbolos de unidades de grandezas físicas

<i>Sub-índice</i>	<i>Significado</i>
Ω	Ohm
A	Ampère
dB	decíbel
F	Farad
Hz	Hertz
rad	Radiano
s	Segundo
V	Volt
W	Watt
H	Henry

INTRODUÇÃO GERAL

A eletrônica vem se desenvolvendo rapidamente e com isso, propiciando uma verdadeira reestruturação dos conceitos pertinentes à ciência. É inegável que todas as áreas, que geram conhecimento, possuem em algum grau a presença ou influência dos recursos disponíveis por intermédio da eletrônica.

E a eletrônica de potência pode ser vista como uma área de estudos abrangentes e que também se faz presente em diversas instâncias dentro desse cenário. Assim como as revoluções desta, de um certo modo, acabam interferindo nas outras tecnologias, mudanças em outras áreas também acabam interferindo nesta. Dentro deste quadro surge a eletrônica digital como uma ferramenta, muito poderosa, disponível para quem estuda e trabalha com eletrônica de potência.

O controle digital, embora seja uma ciência muito bem fundamentada deste a metade do século vinte, vem a cada dia assumindo um papel cada vez mais importante dentro da eletrônica de potência. Por intermédio dos processadores DSP's, hoje, pode-se implementar em produtos comerciais diversas formas de controle antes somente presentes em laboratórios de alta tecnologia ou em ambientes de simulação.

No estudo que será apresentado utiliza-se o controlador TMS320LF2407 da Texas Instruments para implementar o controle digital do conversor CA-CC trifásico de alto fator de potência proposto.

No capítulo um será mostrado uma breve revisão das técnicas de retificação trifásica bem como uma recordação de conceitos relativos a fator de potência.

No capítulo dois apresenta-se uma descrição do controlador DSP utilizado, dando ênfase especial ao conversor A/D. É dada uma abordagem especial à representação numérica utilizada, tanto em formato de ponto fixo quanto em ponto flutuante. Além disso é dada uma breve introdução aos efeitos causados nos sinais devido à amostragem, em especial o efeito de *aliasing*, de extrema importância para se compreender de forma correta o processamento digital de sinais.

No capítulo três é feito um estudo da estrutura em questão, representando seus estados topológicos, bem como todo o procedimento matemático necessário para a obtenção das funções de transferência, tanto da planta de tensão quanto a de corrente. Ao final do capítulo é apresentado um procedimento completo de cálculo dos compensadores.

Também ao final do capítulo são mostradas as principais formas de onda obtidas através de simulação numérica.

No capítulo quatro apresenta-se, com detalhes, todo o procedimento necessário para o cálculo do compensadores discretos. Também mostra-se o conjunto de circuitos necessários para se efetuar a interface entre o circuito de potência e o controlador DSP. Ao final do capítulo são mostradas as formas de onda obtidas através de simulação numérica utilizando-se controladores discretos.

Finalmente no capítulo cinco apresenta-se a metodologia de cálculo necessária para se dimensionar os elementos do circuito de potência bem como os resultados experimentais.

1. REVISÃO DAS TÉCNICAS DE RETIFICAÇÃO TRIFÁSICA

1.1. Introdução

Atualmente, as normas vigentes com respeito às fontes de alimentação exigem alto fator de potência e baixa distorção harmônica da corrente drenada da rede, além de imporem limites rígidos quanto à absorção e emissão de ruídos eletromagnéticos. Além disso, em aplicações onde a potência de entrada é elevada, faz-se necessário a utilização de retificadores trifásicos, de forma a equilibrar a potência drenada de cada fase.

A conversão CA/CC trifásica tem sido dominada por retificadores convencionais a diodos e retificadores controlados a tiristores. No entanto a utilização generalizada dos retificadores convencionais causa distorção harmônica das correntes drenadas da rede, o que leva conseqüentemente a um reduzido fator de potência.

A característica da corrente de entrada desses retificadores causa alguns problemas para a rede comercial de energia elétrica, além do baixo fator de potência podem ser destacados problemas como:

- Distorção da tensão de alimentação, devido aos altos picos de corrente exigidos pelo retificador, podendo prejudicar o funcionamento de outros equipamentos conectados no mesmo ponto.
- Aumento das perdas nos elementos das redes de transmissão e distribuição.
- Diminuição do rendimento da estrutura devido ao alto valor eficaz da corrente de entrada.
- Altos índices de interferência eletromagnética em sinais de controle e comunicação.

Muitos trabalhos têm sido apresentados pela comunidade científica com o intuito de proporcionar a utilização de conversores CA/CC trifásicos com alto fator de potência e baixo conteúdo harmônico. Esses estudos são decorrentes de exigências militares e das agências governamentais de energia européias, americanas e japonesas.

Neste capítulo serão apresentadas algumas das técnicas mais utilizadas para a retificação trifásica, tendo-se assim uma visão geral do funcionamento e das vantagens e desvantagem que cada topologia apresenta.

Devido à extensa quantidade de topologias existentes, serão mostradas nesse capítulo somente as consideradas mais importantes, sendo então analisadas de forma mais cuidadosa.

1.2. Definição de fator de potência

Fator de potência é definido como a relação entre a potência ativa e a potência aparente consumidas por um dispositivo ou equipamento, independentemente das formas que as ondas de tensão e corrente apresentem. Os sinais variantes no tempo devem ser periódicos.

$$F.P = \frac{P}{S} = \frac{\frac{1}{T} \int v(t) \cdot i(t) \cdot dt}{V_{ef} \cdot I_{ef}} \quad (\text{Eq.1.1})$$

Em um sistema com **formas de onda senoidais**, a (Eq.1.1) torna-se igual ao cosseno da defasagem entre as ondas de tensão e de corrente:

$$F.P = \cos(\phi) \quad (\text{Eq.1.2})$$

Quando apenas a tensão de entrada for senoidal, o FP é expresso por:

$$F.P = \frac{I_1}{I_{RMS}} \cdot \cos(\phi_1) \quad (\text{Eq.1.3})$$

Neste caso, a potência ativa de entrada é dada pelo produto da tensão (senoidal) por todas as componentes harmônicas da corrente (não-senoidal). Este produto é nulo para todas as harmônicas exceto para a fundamental, devendo-se ponderar tal produto pelo cosseno da defasagem entre a tensão e a primeira harmônica da corrente. Desta forma, o fator de potência é expresso como a relação entre o valor RMS da componente fundamental da corrente e a corrente RMS de entrada, multiplicado pelo cosseno da defasagem entre a tensão e a primeira harmônica da corrente.

A relação entre as correntes é chamada de *fator de forma* e o termo em cosseno é chamado de *fator de deslocamento*.

Por sua vez, o valor RMS da corrente de entrada também pode ser expresso em função das componentes harmônicas:

$$I_{ef} = \sqrt{I_1^2 + \sum_2^{\infty} I_n^2} \quad (\text{Eq.1.4})$$

Define-se a Taxa de Distorção Harmônica (TDH) como sendo a relação entre o valor RMS das componentes harmônicas da corrente e a fundamental:

$$TDH = \frac{\sqrt{\sum_2^{\infty} I_n^2}}{I_1} \quad (\text{Eq.1.5})$$

Assim, o FP pode ser reescrito como:

$$F.P = \frac{\cos(\phi_1)}{\sqrt{1 + TDH^2}} \quad (\text{Eq.1.6})$$

É evidente a relação entre o FP e a distorção da corrente absorvida da linha. Neste sentido, existem normas internacionais que regulamentam os valores máximos das harmônicas de corrente que um dispositivo ou equipamento pode injetar na linha de alimentação.

1.3. Retificadores trifásicos convencionais

A seguir, serão apresentadas algumas topologias de retificadores trifásicos passivos, ou seja, que não apresentam interruptores comandados.

1.3.1. Ponte de Graetz com filtro capacitivo de saída

A topologia mais utilizada e conhecida para a retificação trifásica é, sem dúvida a *ponte de Graetz*, ou ponte trifásica de seis pulsos, com filtros capacitivos de saída, apresentada na Fig. 1-1.

Esta estrutura apresenta como principal vantagem a robustez, baixo peso, volume e custo além da simplicidade.

Com grandes valores de indutância de entrada pode-se atingir baixas taxas de distorção harmônica da corrente de entrada, porém o aumento dessas indutâncias acarreta em um elevado fator de deslocamento, levando o projetista a optar por um compromisso.

Essa estrutura apresenta ainda um valor eficaz da corrente de entrada bastante elevado, o que acarreta perdas elevadas no circuito.

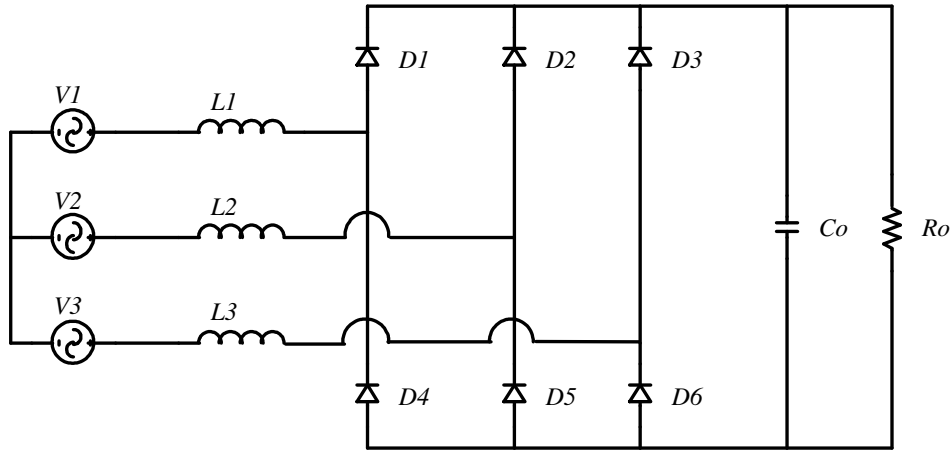


Fig. 1-1 – Ponte de Graetz.

A tensão de saída deste conversor é dependente da carga, o que também leva a um controle por defasagem, com tiristores, o que degrada a forma da corrente de entrada. Porém, a regulação de carga da tensão de saída é superior a da ponte de Graetz.

Tem-se na Fig. 1-1 as formas de onda de tensão e de corrente na fase 1, obtidas através de simulação numérica.

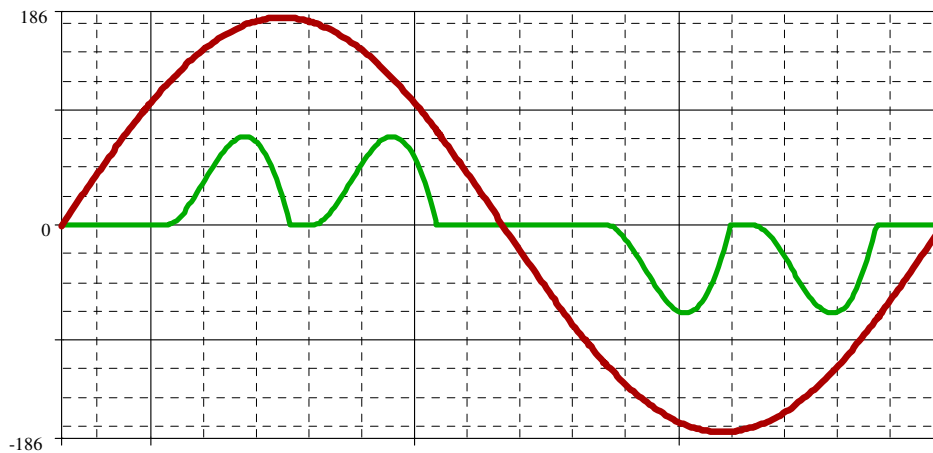


Fig. 1-2– Tensão e corrente de entrada para a ponte de Graetz.

O fator de potência obtido para essa forma de onda de corrente foi de 0,72 e uma THD em torno de 81,3%.

A grande desvantagem dessa estrutura é a impossibilidade de regulação da tensão de saída. Quando deseja-se o controle da tensão de saída emprega-se normalmente o controle por defasagem, com tiristores no lugar dos diodos da ponte. Essa mudança, no entanto, traz como desvantagem um aumento na distorção da corrente de entrada.

Pelas características apresentadas, a aplicação da ponte trifásica com capacitor de saída em fontes de telecomunicação torna-se extremamente inviável.

1.3.2. Ponte de Graetz com filtro LC de saída

Esta topologia é apresentada na Fig. 1-3. Esta é uma topologia simples, de fácil compreensão e bastante robusta.

O aumento da indutância de saída diminui a taxa de distorção harmônica até um certo limite, mas aumenta o fator de deslocamento, levando o projetista a um compromisso, de forma a obter o melhor fator de potência.

Novamente não se tem controle sobre a tensão de saída, que independe da carga, pode-se, no entanto, controlar a tensão de saída substituindo-se os diodos por tiristores, todavia isso novamente provocará a degradação da corrente de entrada, aumentando conseqüentemente a taxa de distorção harmônica e reduzindo o fator de potência.

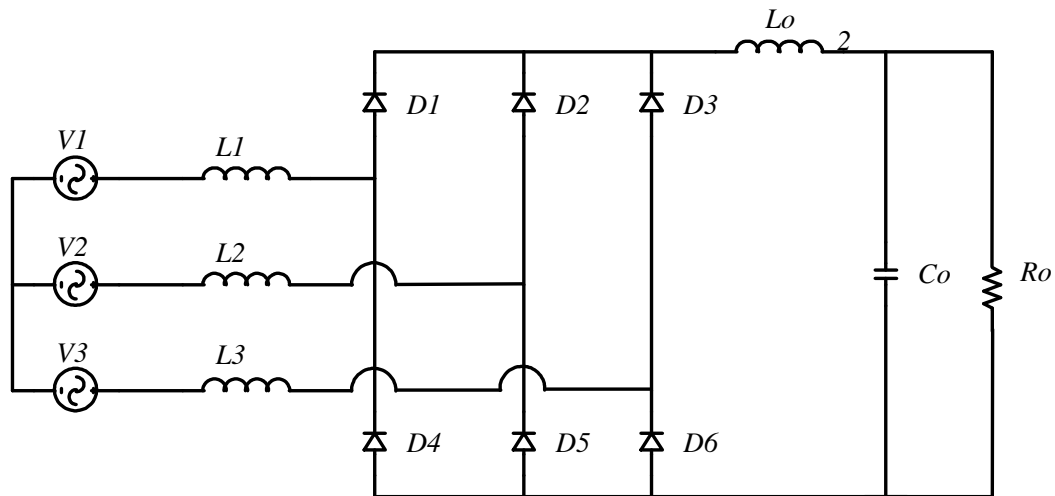


Fig. 1-3 – Ponte trifásica com filtro LC de saída.

Essa estrutura apresenta como principal desvantagem o volume, peso e custo do indutor de filtragem, já que opera em baixa frequência e com componente CC de corrente.

Além disso, apesar da melhora no fator de potência e na taxa de distorção harmônica de entrada, a qualidade das correntes ainda está bastante aquém da que se espera de aplicações mais exigentes, como as de telecomunicações, só para citar um caso.

A Fig. 1-4 representa a tensão e corrente obtida na fase 1 da ponte de Graetz com filtro LC de saída. Verificamos ainda que existe uma melhora significativa da corrente em relação à ponte de Graetz com filtro capacitivo na saída.

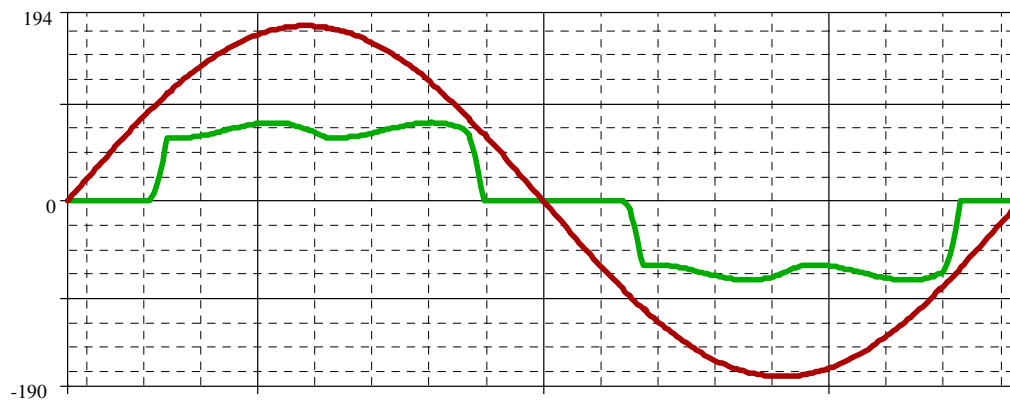


Fig. 1-4 – Tensão em corrente de entrada para a ponte de Graetz com filtro LC de saída.

Observa-se que os valores eficazes de corrente já não são tão elevados, proporcionando assim menores perdas no circuito de potência. O capacitor de saída para a presente estrutura pode ser bem menor que o conversor anterior para uma mesma ondulação de tensão de saída.

O fator de potência obtido com essa estrutura foi de 0,95 com uma THD de 29%. Convém lembrar que esses resultados foram obtidos para valores de carga e indutância típicos, ou seja, o fator de potência varia com os mesmos. Porém essas simulações nos dão uma boa idéia a respeito do comportamento da estrutura e por isso são válidos.

1.4. Retificadores trifásicos P.W.M

Pode-se observar então, a partir da análise feita no item 1.3 que os retificadores trifásicos passivos, ou seja, os que não utilizam interruptores comandados, não apresentam qualidades suficientemente boas para serem utilizados em aplicações regulamentadas por normas rígidas, como as de fonte de alimentação para sistemas de telecomunicações.

Conclui-se então que existe a necessidade da utilização de retificadores trifásicos PWM para se obter melhores resultados.

Como algumas vantagens dos retificadores trifásicos PWM podemos citar:

- Redução do volume total do conversor para uma mesma potência se comparado aos retificadores trifásicos convencionais.
- Possibilidade de regulação da tensão de saída, fato que não é possível nos retificadores trifásicos convencionais.
- Baixos níveis de conteúdo harmônico nas correntes de entrada, resultando assim em menores perdas nos elementos semicondutores.
- Fator de potência muito próximo da unidade.
- Defasamento nulo entre tensão e corrente.
- Componentes harmônicas em alta frequência (frequência de chaveamento e múltiplas inteiras dessa frequência).
- Facilidade de filtragem das harmônicas utilizando-se filtros de dimensões reduzidas.
- Alto rendimento na estrutura como um todo.

Através de uma revisão bibliográfica, foram escolhidas três topologias de conversores CA-CC trifásicos, dois níveis, unidimensionais PWM e sem neutro.

Essas topologias serão aqui apresentadas a título de informação. Não foram efetuadas simulações numéricas de tais conversores por considerar fugirem ao escopo do presente capítulo, o qual simplesmente tem o objetivo de apresentar comparações *qualitativas* e não *quantitativas* a respeito dos retificadores trifásicos.

Além disso, em [1] foram realizadas comparações detalhadas entre os três conversores, de forma a escolher o mais conveniente para o presente estudo. Observou-se através de simulações que os três conversores apresentam fator de potência muito próximo

da unidade, pois tem-se defasamento nulo entre tensão e corrente, além de se observar também que as harmônicas existentes são de alta frequência (frequência de chaveamento e múltiplas inteiras dela), de forma que podem ser facilmente filtradas utilizando-se filtros de dimensões reduzidas.

Também em [1] elaborou-se uma tabela comparativa entre os três conversores, com o objetivo de se escolher a estrutura que melhor se enquadra parâmetros tais como: custo, robustez e rendimento.

Conclui-se então, através de comparativos efetuados em [1], que o conversor **A**, mostrado na Fig. 1-5 apresentou-se como a melhor topologia a ser utilizada para o conversor CA-CC trifásico, dois níveis, unidirecional PWM e sem neutro, com fator de potência unitário.

As três topologias são apresentadas a seguir:

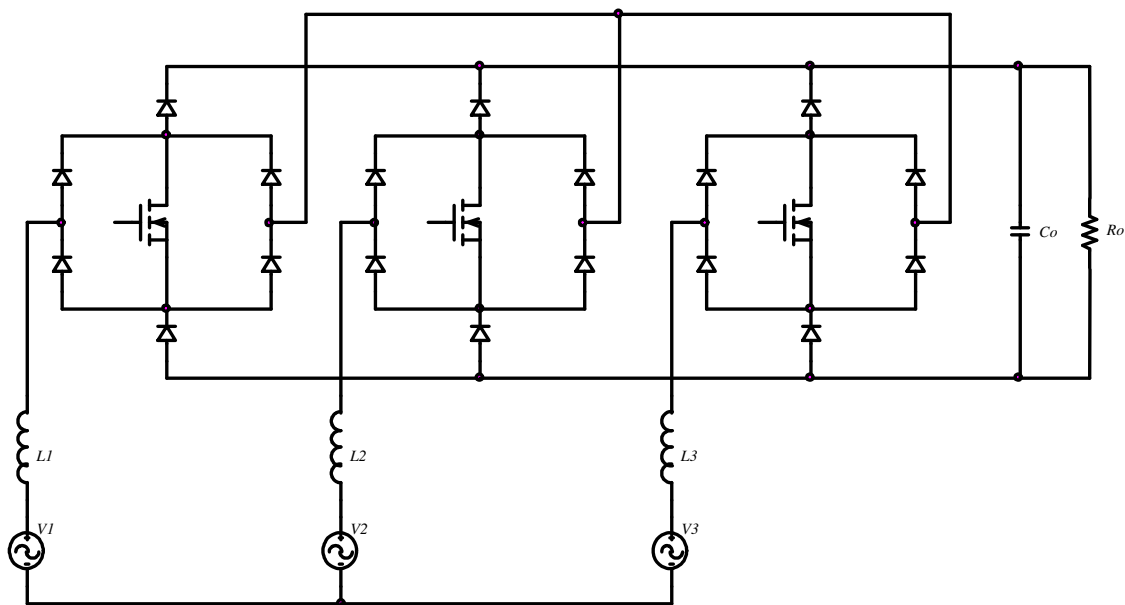


Fig. 1-5 – Conversor A.

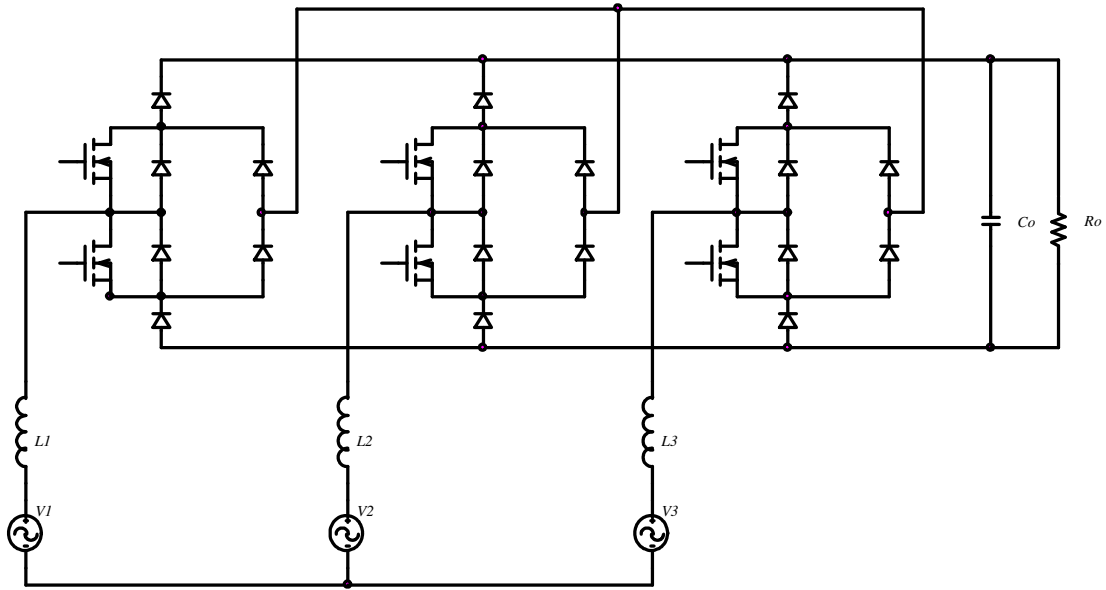


Fig. 1-6 – Conversor B.

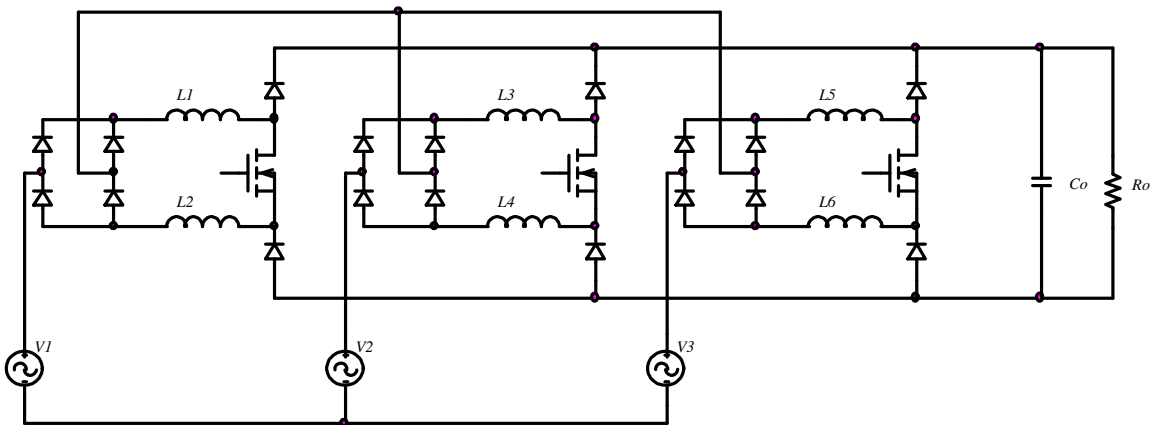


Fig. 1-7 – Conversor C.

1.5. Conclusão

Esse capítulo teve por objetivo apresentar de forma simplificada e sucinta o conceito de fator de potência tanto para grandezas senoidais como não senoidais. Apresentou-se também o conceito de *taxa de distorção harmônica*, o qual é muito importante para determinar o fator de potência *real* apresentado por alguma estrutura.

Posteriormente, a partir de uma revisão bibliográfica, foram citados e analisados de forma simples os *retificadores trifásicos passivos*, ou seja, os que não utilizam interruptores comandados, mas somente diodos e tiristores. Observou-se, porém, através de simulações que essas topologias não atendem de forma satisfatória as normas mais exigentes vigentes na atualidade, tais como as normas existentes para fontes de telecomunicação.

Devido à inviabilidade na utilização dos retificadores trifásicos convencionais para a presente aplicação, optou-se pela utilização de retificadores trifásicos PWM unidirecionais e sem neutro. Os quais mostram ter diversas vantagens frente os retificadores convencionais.

Após uma revisão bibliográfica foram escolhidas três topologias que se adequavam da melhor forma para a presente aplicação.

Após um estudo comparativo entre as três estruturas, optou-se por aquela que se enquadrou melhor em diversos parâmetros tais como: simplicidade, robustez e alto rendimento.

2. O CONTROLADOR DSP (DIGITAL SIGNAL PROCESSOR) TMS320LF2407

2.1. Introdução

Os processadores digitais de sinais são o coração de uma infinidade de aplicações modernas tais como telefones celulares, DVD's, telefones seguros, *modems* de alta velocidade, estações de trabalho, teleconferência, processamento de imagem, TV digital, instrumentação, etc. Conhecer o princípio de funcionamento dos DSP's é uma necessidade que nenhum profissional de Eletrônica deve ignorar.

O maior desenvolvimento no segmento de DSP's começou nos anos 70, quando se tornou possível a fabricação de circuitos integrados de grande complexidade. Foi naquela época que se tornou possível a fabricação de dispositivos em tecnologia de 3 microns com uma densidade de até 100.000 transistores.

Nos anos iniciais da década de 80 era possível encontrar quatro tipos diferentes de chips DSP, e em 1982 a Texas Instruments introduziu no mercado o TMS32010.

Neste, a arquitetura Harvard, separando a memória de dados da memória de programa já era usada, aumentando a velocidade de operação.

A partir daí, dispositivos cada vez mais complexos e contendo maior quantidade de transistores com velocidades maiores e tecnologias de maior densidade foram criados.

Hoje, famílias de DSP's com capacidades que ascendem a *Gflop's* já estão disponíveis, possibilitando o processamento rápido de sinais, na velocidade em que as aplicações modernas exigem.

Um DSP é, basicamente, um tipo de microprocessador otimizado para efetuar processamento matemático enquanto os demais processadores são otimizados para manipulação e gerenciamento de dados. Esta característica o faz apto a trabalhar com aplicações que não tolerem atrasos de transporte significativos entre a aquisição, efetuação dos cálculos necessários e devolução da resposta digital.

A interface de nós, seres humanos, com o mundo em que vivemos é feita com base em sensores de sinais. Percebemos luz e imagens, ouvimos sons e sentimos variações de temperatura e em alguns casos até a umidade e a presença de certas substâncias químicas.

Tomando como exemplo o som, nossos ouvidos convertem sinais que variam continuamente no tempo em impulsos elétricos, que são enviados ao nosso cérebro através de nosso sistema nervoso. Os sons são sinais analógicos assim como todos os sinais que percebemos. Na conversão desses sinais para a forma elétrica, as pequenas correntes elétricas que são enviadas ao nosso cérebro ainda estão na forma analógica.

Isso significa que nosso cérebro é na realidade um poderoso processador de sinais analógicos.

O que os sons, as intensidades de luz (imagens) e outras grandezas representam e como devemos reagir à sua presença são determinados depois de um processamento analógico realizado por nosso cérebro.

O trabalho com sinais analógicos, de forma semelhante àquela que os sistemas sensores dos seres humanos fazem, já foi uma tecnologia amplamente utilizada em eletrônica.

Os sinais captados por um microfone, sons por exemplo, se precisassem ser transformados afim de se obter algum efeito, eram enviados a circuitos que os trabalhavam diretamente na forma analógica, como no caso dos filtros, como mostrado na Fig. 2-1.

No entanto, a eletrônica totalmente analógica tem algumas desvantagens quando um processamento muito complexo dos sinais deve ser feito: além de não ser perfeita, exige muitos componentes em configurações extremamente complexas que encareceriam qualquer projeto.

Nos últimos anos, todavia, a eletrônica digital evoluiu de tal maneira que possibilitou a construção de microprocessadores extremamente poderosos em pastilhas muito pequenas. O processamento digital tornou-se, portanto, um recurso muito poderoso para os projetos eletrônicos.

Por que não tentar adaptar essa capacidade dos microprocessadores aos sinais analógicos? Essa é justamente a idéia básica do DSP (Processador Digital de Sinais).

Na Fig. 2-2 temos a estrutura básica de um DSP.

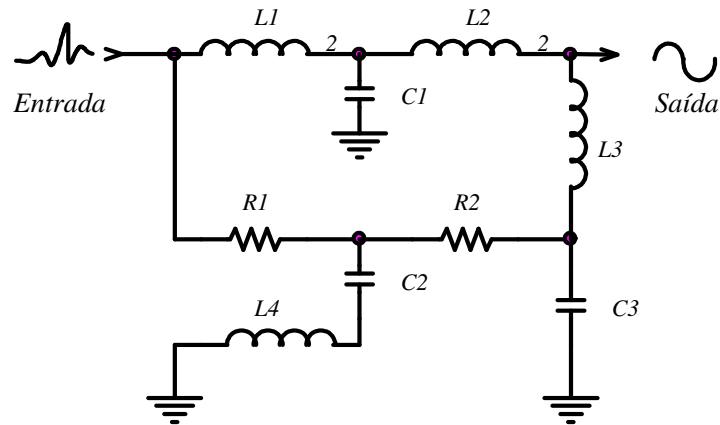


Fig. 2-1 – Componentes passivos podem ser usados para processar um sinal analógico.

Podemos enumerar algumas das vantagens provenientes do uso do controle digital em aplicações de eletrônica de potência tais como:

- Flexibilidade.
- Facilidade na implementação de *upgrades*.
- Facilidade na implementação de técnicas modernas de controle.
- Reduzido número de componentes.
- Insensibilidade ao envelhecimento de componentes

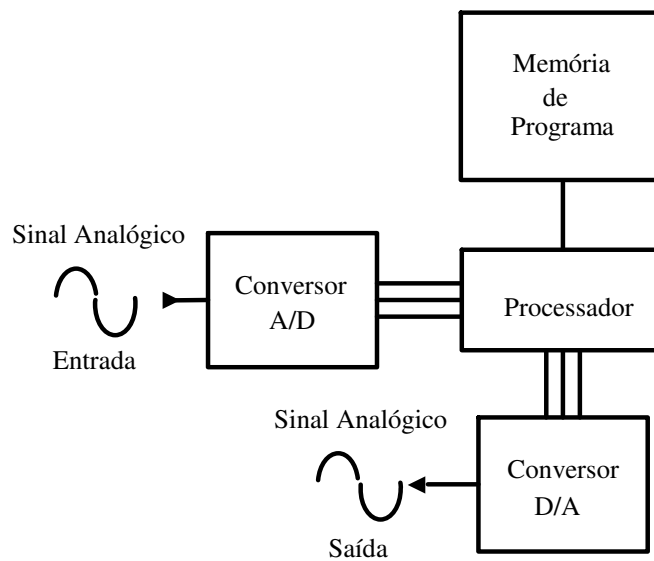


Fig. 2-2 – O princípio de funcionamento do DSP.

A maioria dos DSP's é construída com a estrutura denominada *Harvard*, a qual é mostrada na Fig. 2-3.

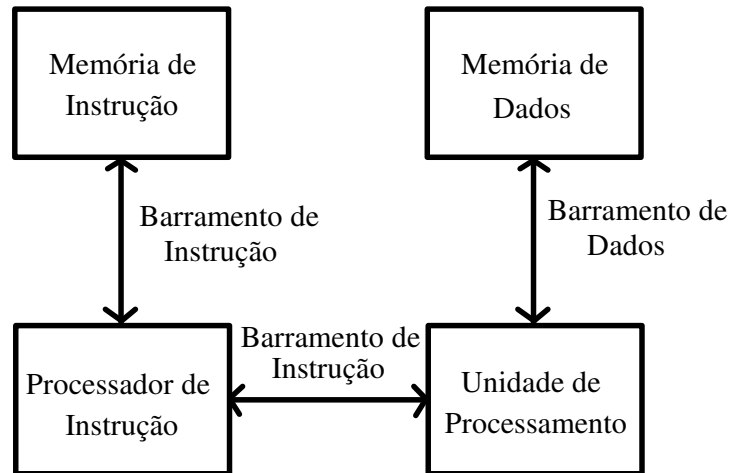


Fig. 2-3 – Estrutura de blocos da arquitetura Harvard.

Na arquitetura *Harvard* dados e instruções ocupam memórias distintas e trafegam em diferentes barramentos (ou vias). Com esta estrutura de barramento duplo, o processador pode executar a procura (fetch), simultânea, de instruções e dados. Em consequência, torna-se possível o enfileiramento de instruções e transferência de dados resultando em uma elevada taxa de operações.

Essas características podem ter vários estágios ou níveis dependendo da arquitetura do processador. Para otimizar a velocidade de processamento de operações importantes, tais como multiplicações e deslocamentos, são efetivadas fisicamente (hardware) ao invés de utilizar-se recursos de software.

Nos DSP's mais recentes, a velocidade de execução é ainda melhorada pela utilização de outras unidades independentes, vários barramentos, bancos de registro e memórias de duplo acesso, etc.

As operações nos DSP's são aperfeiçoadas de tal forma que a maior parte das instruções é executada em um único ciclo de operação. DSP's mais avançados podem inclusive executar multiplicações paralelas e operações na unidade lógica aritmética (ALU: *Arithmetic logic Unit*) com números inteiros ou no formato de ponto flutuante em apenas um ciclo de operação. Essas operações são usadas, freqüentemente, nos algoritmos de processamento de sinais e de controle – por exemplo, nos filtros digitais, na transformada

rápida de Fourier e nos controladores PID. Ainda, instruções especiais são disponíveis para aumentar a velocidade de execução do processamento de sinais e de algoritmos de controle. Como por exemplo, têm-se instruções que fazem o DSP repetir determinada operação. A taxa de amostragem, a frequência de trabalho e a representação numérica são outras características comuns aos DSP's [2].

A Fig. 2-4 mostra uma arquitetura típica de um DSP básico de formato em ponto fixo. Por esta, pode-se observar algumas características dos núcleos DSP tais como: barramentos múltiplos, arquitetura de 16 bits, registradores de 32 bits e implementação por hardware de várias funções (deslocadores, multiplicadores...).

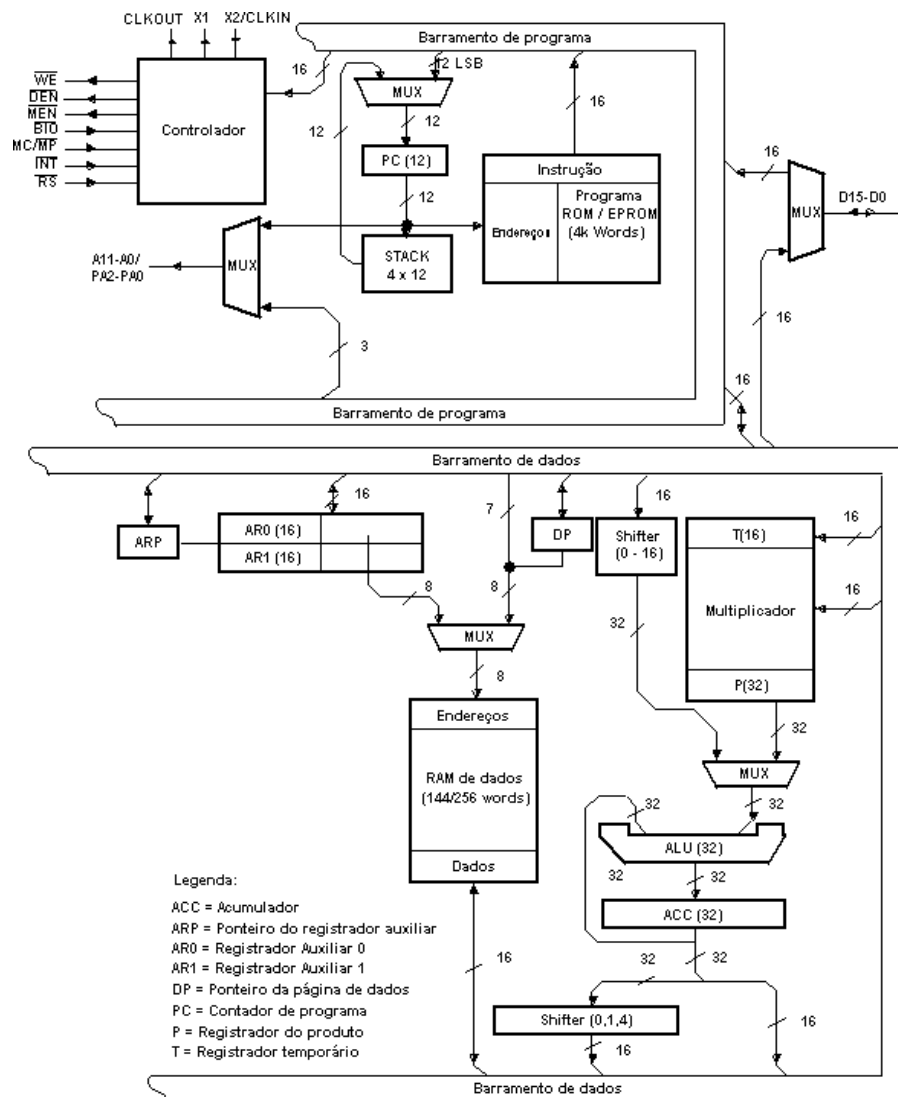


Fig. 2-4 – Arquitetura do núcleo DSP da família TMS320.

Os processadores usados em computadores são otimizados de modo a gerenciar e trabalhar com bancos de dados além de efetuar operações relacionais em detrimento das operações matemáticas. Isso porque a maioria das tarefas a serem executadas são feitas em processamento *off-line*.

O fato do DSP estar otimizado para processamento matemático não o impede de efetuar tarefas de gerenciamento, o mesmo valendo para os demais processadores que podem efetuar processamento matemático. Apenas que, o desempenho será mais pobre quando comparado com um processador otimizado para aquela aplicação.

2.2. Processamento em tempo real – Amostragem

Nas aplicações que envolvem DSP's, os sinais na sua grande maioria, devem ser processados continuamente. Isto significa que à medida que o sinal chega no DSP ele deve ser imediatamente convertido para a forma digital, processado e depois devolvido para a forma analógica, com um mínimo de perda de tempo, a não ser que na aplicação não seja exigido isso.

Isso implica na capacidade para processar sinais em *tempo real*. Os circuitos dos DSP's devem ser capazes de operar com altíssima velocidade, tanto maior quanto maior for a frequência dos sinais que devem ser processados para que, em nenhum instante, a informação seja perdida.

O processamento em tempo real é hoje possível graças ao desenvolvimento da tecnologia de fabricação dos circuitos e também do desenvolvimento de novos algoritmos, cada vez mais poderosos.

2.2.1. Amostragem

Os DSP's foram criados para trabalhar com sinais analógicos, já que, no mundo real, todos os sinais com que nos defrontamos, tais como: sons, imagens, sinais de sensores de velocidade, temperatura, etc, são sinais analógicos.

A técnica para se converter um sinal analógico, cuja amplitude varia continuamente, num sinal digital é a da *amostragem*.

A idéia básica da amostragem pode ser entendida se analisarmos o sinal representado pela Fig. 2-5.

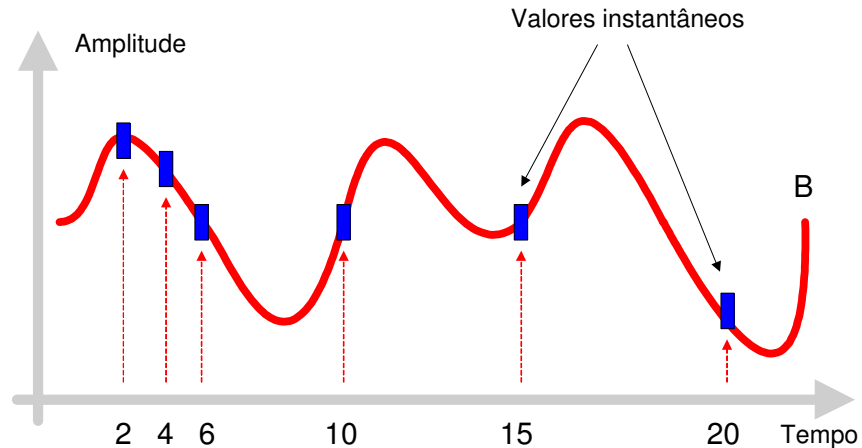


Fig. 2-5 – Representação da amostragem de valores em determinados instantes de um sinal contínuo.

Este sinal, que pode ser um som, por exemplo, obtido de um transdutor de pressão ou velocidade, varia com o tempo, apresentando valores que mudam constantemente.

Não podemos representar todos os valores que o sinal assume num dado intervalo, por exemplo, entre A e B na figura, por que eles são infinitos. As grandezas analógicas se caracterizam justamente por isso: variam continuamente.

O que podemos fazer é escolher um determinado número de instantes dentro do intervalo A – B e medir a amplitude do sinal em cada um deles.

Essa medida gera então uma seqüência de valores digitais que podem ser levados ao processador, conforme mostra a Fig. 2-6.

Entretanto, para converter um sinal analógico em uma seqüência de valores digitais existem diversos fatores importantes a serem considerados pelo projetista.

Um primeiro fator a ser considerado é a quantidade de amostras que devem ser feitas depende da freqüência do sinal.

Se tivermos uma quantidade grande de amostragens por ciclo do sinal, não temos problema algum. No entanto, se a freqüência do sinal for elevada e só tivermos poucas amostras por ciclo, os problemas podem ocorrer.

No exemplo da Fig. 2-6, se tivermos um pico ou um vale do sinal entre dois instantes em que a amostragem é feita, estes picos e vales não serão detectados.

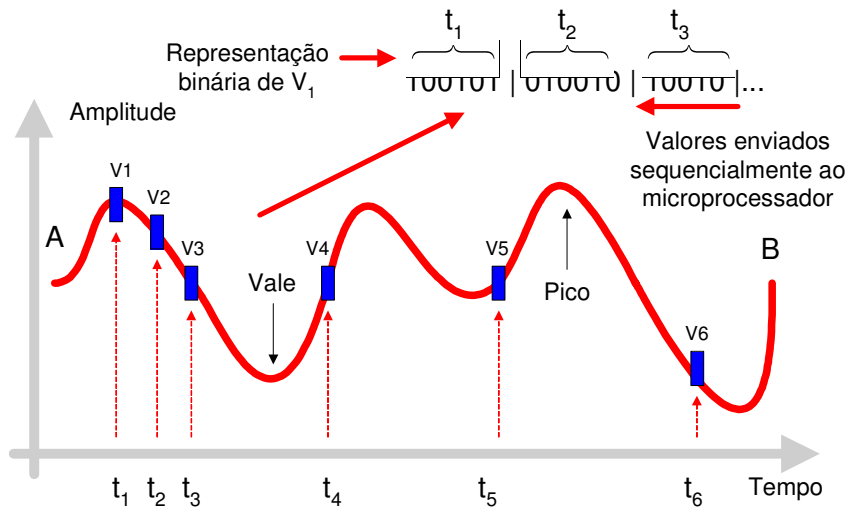


Fig. 2-6 - Transformação dos valores analógicos amostrados em seqüência de bits.

Uma maneira de se evitar que isso ocorra é que tais picos ou vales (transições rápidas) possam ser amostrados, é fazer uma amostragem numa freqüência mais alta. Porém, existe um limite para isso, o que se exige que se saiba qual é a menor freqüência que podemos usar na amostragem de um sinal para que a informação que ele contém não se perca.

2.2.2. Teorema de Shannon

Na verdade o primeiro teorema que permite estabelecer qual é a freqüência mínima de amostragem de um sinal deve-se a Nyquist. O teorema de Shannon afirma que, se tivermos um sinal cuja função que o representa não contenha nenhuma freqüência acima de XHz , este sinal poderá ser determinado completamente de for amostrado a uma freqüência de no mínimo $2 \cdot XHz$.

Essa freqüência mínima de amostragem também é chamada como limite de Nyquist ou freqüência de Nyquist. Realmente, ao representarmos um sinal de determinada freqüência que seja convertido para a forma digital por amostragem é muito mais interessante levarmos em consideração a faixa de freqüências que ele ocupa no

espectro, ou banda de frequências, que é mostrado na

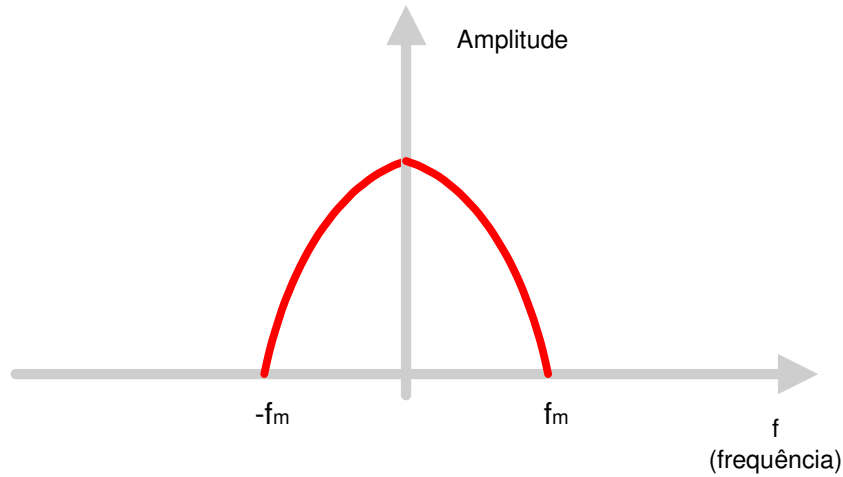


Fig. 2-7.

Podemos trabalhar com este sinal de forma análoga ao que se faz com um sinal de baixa frequência que modula um sinal de alta frequência em amplitude. O sinal passa a ocupar uma faixa que tem por limites a *frequência diferença* e a *frequência soma* entre a portadora (frequência de amostragem) e a modulação (frequência do sinal que está sendo amostrado).

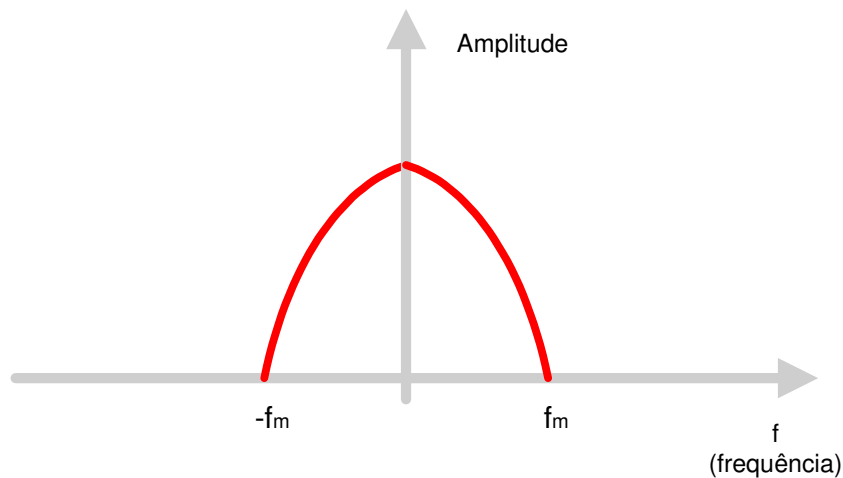


Fig. 2-7 – Espectro de frequências de um sinal analógico.

E, exatamente como ocorre com sinais analógicos, podemos detectar nessa representação um problema que é muito importante para todos os que trabalham com DSP's: os sinais das duas frequências interagem, provocando *batimentos* que são

responsáveis pela geração de novos sinais que vão se espalhar por uma banda muito mais larga de frequências do que aquela do espectro original, conforme ilustra a Fig. 2-8.

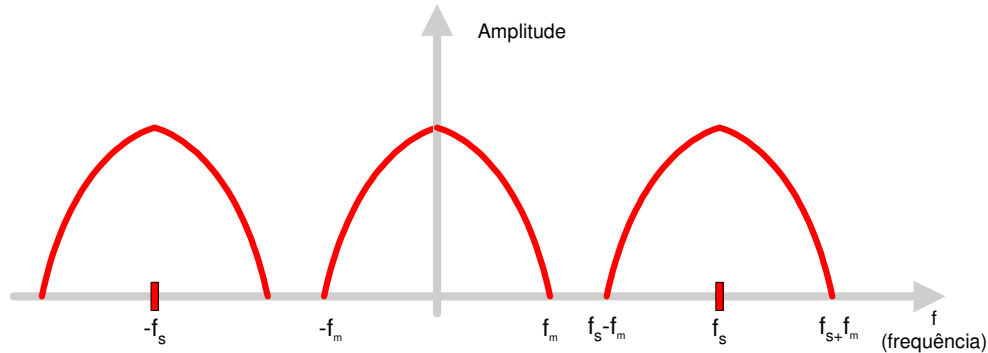


Fig. 2-8 – Espectro amostrado – Efeito do *batimento* dos sinais.

Esse fenômeno é semelhante ao fenômeno que ocorre em um receptor de AM comum, e que é denominado de *geração de frequências imagens*. Se a frequência de FI desses rádios for imprópriamente escolhida, ocorrem batimentos que podem fazer com que uma mesma estação apareça em dois pontos da faixa de sintonia.

Para um DSP que precisa processar sinais que sejam amostrados e convertidos para a forma digital, essas faixas de sinais adicionais podem enganá-lo, falseando a conversão do sinal para a forma digital e, por isso, precisam ser eliminadas.

São usados então filtros *anti-falseamento* (em inglês é usado o nome *alias*, surgindo então o nome de filtros *anti-aliasing*), que cortam as faixas de frequência que estejam fora dos limites determinados pelo sinal e pela modulação.

2.2.3. Os filtros

Ao trabalhar com DSP's o projetista precisa ter muito cuidado com o uso desses filtros, justamente antes de fazer a conversão dos sinais para a forma digital, conforme mostra a Fig. 2-9, pois se eles deixarem passar alguma componente de sinal que possa falsear os resultados da conversão, sérios problemas de funcionamento poderão ocorrer.

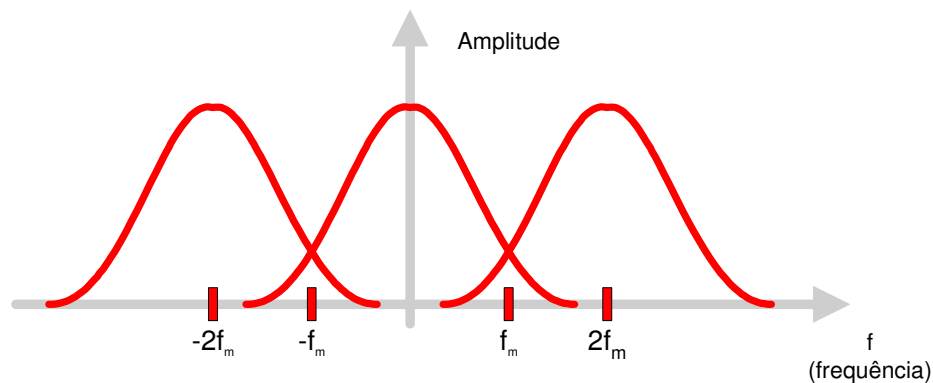


Fig. 2-9 – Amostrando um sinal de banda larga, problemas de falseamento podem ocorrer em $2f_m$.

Um filtro ideal deve ter uma resposta que permita passar somente a faixa central de frequências amostradas, veja a Fig. 2-10. Na prática, entretanto, conforme o tipo de filtro utilizado, a curva de resposta não é ideal, segundo a mesma figura. O projetista precisa então tomar cuidado com a escolha desses filtros para que o próprio programa que vai trabalhar depois com o sinal convertido para a forma digital não seja enganado pela deformação indevida do sinal provocada pelo filtro.

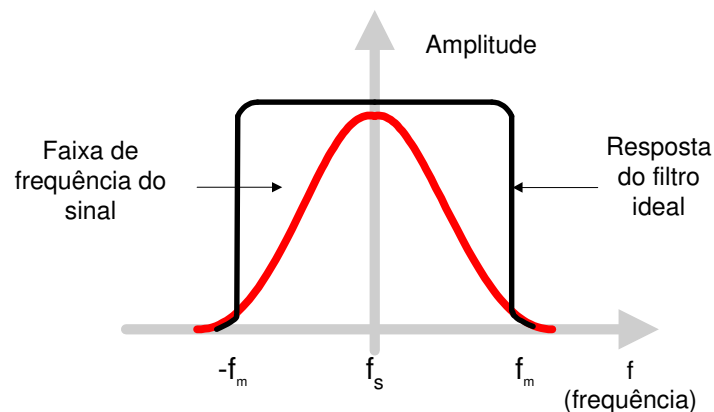


Fig. 2-10 – Resposta de um filtro ideal.

2.3. Representação numérica nos DSP's

Em sistemas digitais, números são armazenados em palavras binárias. Uma palavra binária é uma seqüência finita de dígitos binários (1 e 0). A maneira como os sistemas digitais ou os programas interpretam esta seqüência de 1 e 0 é denominada de *tipo de representação binária*.

Logo, uma característica importante na escolha do DSP, para uma determinada aplicação, é o tipo de representação numérica utilizada pelo processador. Os DSP's são agrupados em duas categorias, de acordo com a Fig. 2-4, definidas pelo modo como é tratado o formato numérico.

A representação em ponto fixo é caracterizada pelo ponto *radix* (binário) e pelo comprimento da palavra (16 bits, 32 bits...) O ponto *radix* indica o modo de como a palavra binária é escalonada. Os números de ponto fixo podem, ainda, serem subdivididos em:

- Representação com sinal.
- Representação sem sinal.
- Representação por números inteiros.
- Representação por números fracionários.

A principal diferença entre os números do formato ponto fixo é o seu ponto *radix*. Por intermédio deste é que se faz o escalonamento da representação numérica. Ele equivale a uma constante (sempre uma potência de 2) que multiplica o valor numérico da palavra.

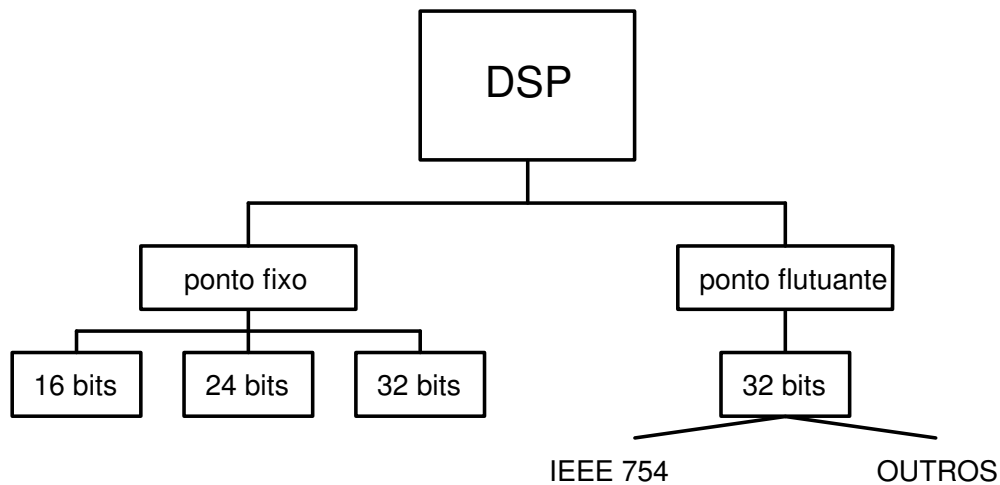


Fig. 2-11 – Representações numéricas comuns aos DSP's.

Na representação de números inteiros sem sinal, o valor armazenado em um processador de 16 bits pode tomar qualquer valor entre 0 e 65535. Similarmente, a representação de números inteiros com sinal utiliza o complemento de dois para poder

incluir a escala de números negativos, de -32768 a 32767 , neste caso o bit mais significativo (MSB) é usado para representar o sinal. Com notação fracional sem sinal e *radix 15*, os 65535 níveis são divididos uniformemente entre 0 e 1. E por último, a notação fracional com sinal e *radix 15* permite a representação de números negativos, igualmente espaçados entre -1 e 1 .

Os dados do tipo flutuante são caracterizados por um campo para a mantissa (ou fração), um campo para o expoente e um bit de sinal. A principal norma que define esses formatos é a IEEE 754.

Os DSP's de ponto flutuante, tipicamente, usam no mínimo 32 bits para armazenar cada valor. Isso resulta em um número maior de bits para a representação do que no ponto fixo, $2^{32} = 4.294.968.296$, passa a ser exato. Um ponto importante a ser ressaltado sobre a notação de ponto flutuante é que os números representados não são uniformemente espaçados. No formato mais comum (ANSI/IEEE Std. 754-1985), o maior e o menor número são $\pm 3,4 \times 10^{38}$ e $\pm 1,2 \times 10^{-38}$, respectivamente.

Aqui cabe uma ressalva. O fato do processador trabalhar com um tipo específico de dado (ponto fixo ou ponto flutuante) não o impede de trabalhar com o outro tipo de formato numérico. Os DSP's de ponto fixo podem manusear dados de ponto flutuante, somente que, isto deve ser feito por *software* e não mais por *hardware* (como nos DSP's de ponto flutuante) o que acaba onerando a programação e o tempo de execução.

Já nos processadores de ponto flutuante o *hardware* está adaptado para trabalhar com os dois formatos, porém, necessitam de um conjunto de instruções maior do que nos processadores de ponto fixo. Isto se faz necessário devido à necessidade de se usar contadores, laços e os próprios sinais provenientes dos ADC que trabalham com números no formato de ponto fixo tornando necessária instruções que também manipulem esse tipo de dado.

A vantagem do tratamento do dado como ponto flutuante é que este possui uma melhor precisão e uma escala dinâmica maior do que o equivalente em ponto fixo, além de não haver uma real necessidade de se preocupar com fenômenos associados ao formato de ponto fixo, tais como, *underflow*, *overflow* e erros de arredondamento.

A principal vantagem do formato em ponto fixo está no custo. Pelo *hardware* ser mais "simples", seu custo, usualmente, é bem menor do que o de um processador em ponto flutuante.

A diferença chave entre os processadores de ponto fixo e de ponto flutuante está ligada ao desempenho de ambos em relação a uma característica: relação sinal-ruído. A representação por palavras binárias só é possível para um número finito de valores. Se o número não coincidir com um destes valores, este será arredondado, inserindo, assim, o chamado *ruído de quantização*.

No formato de ponto flutuante, o espaço existente entre dois números adjacentes é muito menor do que aquele que há no formato de ponto fixo, ou seja, adiciona-se um ruído de quantização muito maior nos processadores de ponto fixo.

Para melhorar o desempenho quanto à relação sinal-ruído, os processadores de ponto fixo usualmente trabalham com acumuladores de precisão estendida (2 a 3 vezes o comprimento da palavra de dados) para que não haja perda na relação sinal-ruído. Esta escala estendida, virtualmente, elimina o erro de arredondamento enquanto a acumulação está em progresso. O único erro de arredondamento que ocorre é quando este valor é armazenado em uma memória de 16 bits.

Por ter menor ruído de quantização, sistemas de ponto flutuante também são mais fáceis de serem projetados. Muitas das técnicas DSP (processamento digital de sinais) são baseadas na repetição de multiplicações e adições. Em ponto fixo, a possibilidade de *overflow / underflow* precisa ser considerada em cada operação. Deve-se conhecer a amplitude dos números, como os erros de quantização são acumulados e que escalonamento é necessário. Em comparação, estas necessidades não surgem em ponto flutuante (com raras exceções).

Nesse ponto é necessário abordar uma questão: Qual formato numérico trabalhar? Segundo Smith [3], há alguns pontos para se considerar:

1. **Verificar quantos bits são usados no ADC ou DAC.** Em muitas aplicações, 12-14 bits é o ponto de cruzamento entre o formato de ponto fixo e o de ponto flutuante. Por exemplo, sinais de televisão e de vídeo tipicamente usam um ADC e/ou DAC de 8 bits e a precisão de ponto fixo é aceitável. Em contrapartida nas aplicações de áudio profissional podem ser requeridas amostras de 20 ou 24 bits, e quase certamente necessita-se de ponto flutuante para manusear uma larga escala dinâmica.
2. **Verificar a complexidade do algoritmo a ser implementado.** Se é relativamente simples, pode-se trabalhar no formato de ponto fixo; se é

muito complicado pode-se utilizar o formato em ponto flutuante. Por exemplo, um filtro FIR e outras operações no domínio do tempo somente requerem umas poucas dezenas de linhas de código, inclinando-se para a lógica de ponto fixo. Em contraste, os algoritmos no domínio da frequência, como um analisador de espectro e a convolução FFT, são muito detalhados e podem ser muito difíceis de serem escritos em lógica de ponto fixo. O tempo de desenvolvimento pode ser reduzido utilizando-se a lógica de ponto flutuante.

3. **Verificar a implicação do custo.** Quando escolhe-se o formato de ponto fixo, o custo do produto irá ser reduzido mas o custo de desenvolvimento cresce em comparação ao formato de ponto flutuante. De modo contrário, o sistema de ponto flutuante terá um ciclo de desenvolvimento mais barato, mas um produto final mais caro.

2.3.1. Ponto fixo

Uma possível representação para um dado binário no formato ponto-fixo (sinalizado ou não sinalizado) é ilustrada pela Fig. 2-12. O formato ponto-fixo é caracterizado pelo tamanho da palavra binária (número de bits) e pela posição do ponto binário (ou ponto radix).

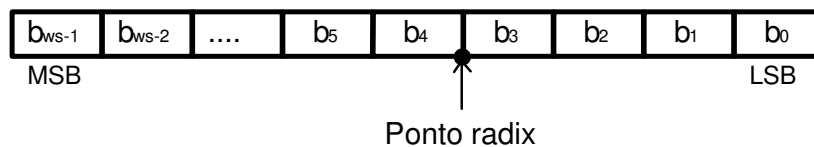


Fig. 2-12 - Representação de um número no formato de ponto fixo.

Na Fig. 2-12, tem-se:

- b_i = dígitos binários (bits).
- w_s = tamanho da palavra em bits.
- MSB = bit mais significativo.
- LSB = bit menos significativo.

- Ponto radix (binário) é mostrado quatro posições da direita para a esquerda.

Os processadores, tipicamente, representam a negação de um número binário em ponto-fixo de três maneiras: sinal-amplitude, complemento de um e complemento de dois. Dessa forma, se um valor em ponto-fixo é sinalizado ou não, é um fato não codificado explicitamente na palavra binária (não há um bit de sinal). Todavia, a informação de sinal é implícita na arquitetura do processador.

O ponto radix é o meio pelo qual um número em ponto fixo é escalonado. É na programação que se determina o ponto radix. O processador (o hardware) quando executa suas funções matemáticas usa seus circuitos lógicos que desconsideram o valor de escalonamento. Em outras palavras, os seus circuitos lógicos desconhecem esse fator de escala. Eles executam a álgebra de ponto fixo, sinalizada ou não, como se o ponto radix estivesse à direita de b_0 . Logo, sinalizados ou não sinalizados, e a posição do ponto radix são as principais diferenças entre os dados tipo ponto-fixo.

A faixa dinâmica, considerando-se palavras de mesmo tamanho, dos números em ponto-fixo é muito menor do que aquela dos números em ponto flutuante. Para evitar os “transbordamentos” (*underflow* e *overflow*) e minimizar os erros de quantização, os números em ponto fixo devem ser escalonados.

Uma expressão genérica para representar um número em ponto-fixo é o modelo **slope/bias**. *Slope* significa que o dado será multiplicado por uma constante (potência de dois) que modificará a inclinação de modo a ocupar mais convenientemente a escala numérica do padrão de bits adotado. *Bias* representa um *offset* do dado. É efetuado quando se deseja cobrir números que estão fora do padrão adotado. Esse esquema é matematicamente representado pela Fig. 2-3.

$$V \approx \tilde{V} = S \times Q + B \quad (\text{Eq.2.1})$$

Onde:

- V é um valor real.
- \tilde{V} é um valor aproximado.
- Q é um número inteiro que codifica V .
- $S = F \times 2^E$ é a inclinação (*slope*)

- B é o *offset* (*bias*)

A inclinação é dividida em duas partes:

- 2^E especifica o ponto *radix*. E é o expoente da potência de dois.
- F é a inclinação fracional. É normalizado tal que $1 \leq F \leq 2$.

Tanto S quanto B são constantes e não representam diretamente o *hardware* do processador. Trabalha-se somente com o valor quantizado Q . São usados somente para interpretar os valores do “mundo real” na linguagem de ponto fixo da máquina.

Neste trabalho, utilizar-se-á somente o escalonamento do ponto *radix*. Deste modo:

$$B = 0 \quad (\text{Eq.2.2})$$

$$F = 1 \quad (\text{Eq.2.3})$$

Assim:

$$V \approx \tilde{V} = 2^E \times Q \quad (\text{Eq.2.4})$$

Ou seja, o escalonamento de um número do “mundo real” é definido somente pela inclinação, ou melhor, pelo ponto *radix*. A representação de formato de ponto fixo com *radix* 0 é usada para armazenar números inteiros, positivos e negativos ...-3,-2,-1,0,1,2,3... Como por exemplo, pode-se analisar o caso de um processador de 16 bits. No caso mais simples, existem $2^{16} = 65536$. Denomina-se formato de números inteiros sem sinal. A conversão entre o modelo de bits e o equivalente decimal é apenas uma conversão de base (decimal para binária). A desvantagem é que números negativos não podem ser representados.

Um dos modos de representar os números negativos é por intermédio de um *offset binário*, que é similar ao formato de números inteiros sem sinal, exceto que os valores decimais são deslocados para permitir valores negativos. Deste modo, uma representação de 16 bits pode usar um *offset* de 32767 resultando em uma escala de -32767 a 32768. *Offset* binário não é um formato padronizado e pode-se encontrar qualquer valor de *offset* em uso, como 32768, por exemplo. É mais usado na conversão ADC ou DAC.

Outro método para representação de números negativos é o método de *sinal e amplitude*. O bit mais a esquerda é chamado de *bit de sinal*, sendo zero quando o número

for positivo e um para números negativos. Isto resulta em um padrão perdido, aja visto que existem dois zeros, o zero positivo (0000h) e o zero negativo (1000h). Este esquema de codificação resulta em números de 16 bits com uma escala que varia de -32767 até 32767 .

Embora sejam simples, estas representações são de difícil implementação em hardware. O formato mais comum para a representação de números negativos é o **complemento de dois**. Este método facilita o projeto do hardware do processador que é um circuito eletrônico que modela as funções matemáticas necessárias como por exemplo, tendo um dado A e outro B como entradas constrói-se um circuito lógico que resulta na sua saída C, tal que:

$$A + B = C \quad (\text{Eq.2.5})$$

O **complemento de dois** é o padrão utilizado para representar os números negativos nos computadores. Para entende-lo, toma-se o número inteiro decimal 0 (0000b). Contando-se progressivamente, o número decimal é simplesmente o equivalente binário (0 = 0000b, 1 = 0001b, 2 = 0010b...). Retornando ao número 0 (0000b) e agora subtraindo, o equipamento digital automaticamente conta o complemento de dois (0 = 0000b, -1 = 1111b, -2 = 1110,...).

Usando 16 bits, o complemento de dois pode representar números de -32768 à 32767 . O bit mais significativo é zero se o número é positivo ou um se o número é negativo. Conseqüentemente o bit mais significativo é chamado de bit de sinal, assim como na representação de sinal e amplitude.

Um ponto em questão no momento é como efetivamente usar o que até então foi explanado para representação numérica em um processador, tanto de números fracionais, como inteiros, positivos ou negativos. Inicialmente, números fracionais são representados nos DSP's em um formato de ponto fixo na forma de complemento de dois. A TITM (Texas Instruments) adota a simbologia denominada de formato Q, a qual será usada daqui por diante por ter-se trabalhado em um DSP desenvolvido por essa empresa.

No formato Q_n , o n significa o número de bits à direita do ponto binário (*radix*). Assim, uma palavra de 16-bits tem um bit de sinal, $15 - n$ bits inteiros e n bits fracionais. O número binário 1100000000000001 pode ser interpretado, por exemplo, como se segue:

$$Q_0: \quad 1100000000000001 = -2^{15} + 2^{14} + 2^0 = -16383$$

$$Q_{14}: \quad 11.00000000000001 = -2^1 + 2^0 + 2^{-14} = -0.9999389648438$$

$$Q15: 1.100000000000001 = -2^0 + 2^{-1} + 2^{-15} = -0.4999694824219$$

Q0 é equivalentemente visto como uma representação padrão para números inteiros positivos e negativos. Em qualquer formato Q de 16-bits, o valor mais negativo que pode ser representado é 1000000000000000b (8000h), e o valor máximo positivo é 0111111111111111b (07FFFh). A Tabela 1 mostra as escalas numéricas dos formatos Q. Convém ressaltar que entre esses dois limites pode-se assumir apenas alguns estados discretos, definidos por intervalos regulares, o que condiciona o arredondamento quando um número não se enquadra a um desses estados.

Baseado na Tabela 1, pode-se escolher o formato Q_n para representar o número decimal. O número deve estar contido dentro da escala do formato adotado. Para realizar a conversão de um valor fracional positivo para o formato Q_n escolhido pode-se utilizar a seguinte fórmula:

$$Q_n = (N_d \times 2^n)_d \quad (\text{Eq.2.6})$$

Onde:

Q_n = Número no formato Q_n;

N_d = Número decimal que se deseja converter;

n = Formato do número representado (posição do ponto *radix*).

Tabela 1 – Escala do formato Q_n para uma palavra de 16 bits com sinal

N (Q _n)	Valor mínimo	Valor máximo
0	-32768	32767
1	-16384	16383,5
2	-8192	8191,75
3	-4096	4095,875
4	-2048	2047,9375
5	-1024	1023,84375
6	-512	511,984375
7	-256	255,9296875
8	-128	127,87109375

9	-64	63,998046875
10	-32	31,9990234375
11	-16	15,99951171875
12	-8	7,999755859375
13	-4	3,999877929687
14	-2	1,999938964843
15	-1	0,999969482421

O resultado ainda está no formato decimal, não sendo necessário convertê-lo aos formatos hexadecimal ou binário, pois o *Assembler* o faz na compilação do programa. Do mesmo modo para representar números fracionais negativos, pode-se usar a seguinte fórmula:

$$Q_n = \left((2^{16} - N_d \times 2^n) + 1 \right)_d \quad (\text{Eq.2.7})$$

Alternativamente, para se fazer a conversão de uma palavra binária para o seu equivalente no “mundo real” pode-se usar a (Eq.2.8) para o caso de um valor em ponto fixo sem consideração de sinal e a (Eq.2.9) para um valor considerando o sinal. Deve-se notar que é usado o sistema de representação *slope/bias*.

$$\tilde{V} = S \cdot \left[\sum_{i=0}^{ws-1} b_i \cdot 2^i \right] + B \quad (\text{Eq.2.8})$$

$$\tilde{V} = S \cdot \left[-b_{ws-1} \cdot 2^{ws-1} + \sum_{i=0}^{ws-2} b_i \cdot 2^i \right] + B \quad (\text{Eq.2.9})$$

Onde:

V = É um valor aproximado.

S = F x 2^E é a inclinação (slope).

B = É o offset (bias).

ws = É o comprimento da palavra.

b_i = É o bit em questão da palavra.

2.3.2. Ponto Flutuante

A representação em ponto fixo é limitada quando se trata de representar uma escala com grandes variações e nas quais é necessário representar números muito pequenos e extremamente grandes. Isto pode ser contornado usando-se notação científica, podendo realocar, dinamicamente, o ponto *radix* à posição mais conveniente, de modo a melhor representar o número, a medida que as operações são efetuadas.

Este é um sistema mais complicado do que o esquema usado na representação de ponto fixo. A idéia básica é a mesma usada na notação científica, onde uma **mantissa** é multiplicada por 10 elevado a algum **expoente**. Por exemplo, $5,4321 \times 10^6$, 5,4321 é a *mantissa* e 6 é o *expoente*. Notar que os números representados na notação científica são normalizados até que haja somente um único dígito não nulo à esquerda da vírgula. Isto é obtido ajustando o expoente adequadamente.

A representação em ponto flutuante é similar a notação científica, exceto que é apresentada na base 2, ao invés da base 10. A forma de representar é dada pela (Eq.2.10).

$$\tilde{V} = \pm f \times 2^{\pm e} \quad (\text{Eq.2.10})$$

Embora haja formatos similares em uso, o mais comum é o ANSI/IEEE Std. 754-1985. Este padrão define o formato de números de 32 bits chamados de precisão simples, assim como os números de 64 bits, chamados de *dupla precisão*. Os 32 bits usados na precisão simples são divididos em três grupos separados: bits 0 até 22 formam a mantissa, bits 23 até 30 formam o expoente, e o bit 31 é o bit de sinal. Esses bits formam números no formato de ponto flutuante, v , dado pela seguinte relação:

$$v = (-1)^S \times M \times 2^{E-127} \quad (\text{Eq.2.11})$$

O termo $(-1)^S$, simplesmente significa o bit de sinal, S é zero para números positivos e um para números negativos. A variável, E , é um número entre 0 e 255 representando os oito bits do expoente. Subtraindo 127 deste número, permite que o expoente varie de -127 a 128. A mantissa, M , é formada de 23 bits como uma fração binária.

Usando este esquema, o maior e o menor número representáveis são, respectivamente: $\pm 6,8 \times 10^{38}$ e $\pm 5,9 \times 10^{-39}$. O padrão IEEE reduz esta escala para permitir que determinados padrões obtenham significados especiais. Em particular o maior

e o menor número permitidos são: $\pm 3,4 \times 10^{38}$ e $\pm 1,2 \times 10^{-39}$, respectivamente. Os padrões não usados permitem três casos especiais de classes de números:

1. ± 0 é definido como todos os bits da mantissa e do expoente sendo zeros.
2. $\pm \infty$ é definido como todos os bits da mantissa sendo zeros e todos os bits do expoente sendo uns.
3. Um grupo de números muito pequenos não normalizados entre $\pm 1,2 \times 10^{-38}$ e $\pm 1,4 \times 10^{-45}$. Estes são números de menor precisão obtidos pela remoção da restrição de que o primeiro dígito da mantissa seja um. Além dessas três classes especiais, há o modelo de bits que não é dado nenhum significado, comumente referidos como NaNs (*not a number*).

O padrão IEEE para dupla precisão simplesmente adiciona mais *bits*, tanto para a mantissa quanto para o expoente. Dos 64 bits usados para armazenar o número com dupla precisão, os bits de 0 à 51 são a mantissa, os bits de 52 a 62 são o expoente e o bit 63 é o bit de sinal. Como antes, a mantissa está entre 1 e 2. O expoente de 11 bits forma um número entre 0 e 2047, com um *offset* de 1023, permitindo expoentes de -1023 à 1024. O maior número representável e o menor número representável são respectivamente: $\pm 1,8 \times 10^{308}$ e $\pm 2,2 \times 10^{-308}$.

2.4. A família TMS320

A família TMS320 constitui-se de processadores digitais de sinais (DSP) de ponto-fixo, ponto-flutuante e de multiprocessamento e, ainda, de DSP's controladores de ponto-fixo. Os DSP's dessa família possuem uma arquitetura projetada especificamente para o processamento de sinais em tempo real.

A série de DSP's '240x combinam o processamento em tempo real com o controle de periféricos para criar soluções para aplicações em sistemas de controle.

Atualmente, a família TMS320 é formada pelas seguintes gerações: 'C1x, 'C2x, 'C24x, 'C5x, 'C54x e 'C6x (DSP's de ponto fixo), 'C3x e 'C4x (DSP's de ponto flutuante) e 'C8x (DSP de multiprocessamento).

Dispositivos de uma mesma geração, desta família, possuem a mesma estrutura nuclear, todavia apresentam configurações diferentes para suas memórias e periféricos. Essas gerações são divididas em três classes, que são:

1. **Plataforma TMS320C6000** – Alta performance – DSP's com maior capacidade de processamento, disponíveis atualmente até 1,1 GHz.
2. **Plataforma TMS320C5000** – Baixo consumo – Dispositivos mais eficientes, com consumos que atingem até 0,9V e 0,05 mW/MIPS e com performances de até 800 MIPS. Ideal para aplicações em produtos portáteis.
3. **Plataforma TMS320C2000** – Controle Digital Otimizado – Para soluções em controle digital.

2.4.1. TMS320LF2407

O TMS320LF2407 é um controlador DSP de ponto fixo de 16 bits pertencente à plataforma 'C2000. Apresenta vários periféricos avançados, otimizados para o uso em controle digital. As principais características desse componente são:

- Alta performance, tecnologia CMOS estática;
 - Instruções de 30ns (menor tempo de execução);
- Dois módulos gerenciadores de eventos (EVA e EVB). Cada um inclui:
 - Dois Timers de 16-bits de uso geral;
 - Oito canais de modulação de largura de pulso, com 16-bits cada;
 - Uma unidade de programação de tempo morto (deadtime);
 - Três módulos de captura;
 - Conversão analógica-digital sincronizada
- Interface para memória externa;
 - 192K palavras x 16-bits de memória total; 64K de programa; 64K de dados e 64K de I/O;
- Módulo temporizador *watchdog*;
- Conversor analógico-digital de 16 bits (ADC);
 - 8 ou 16 canais de entrada multiplexados;
 - tempo mínimo de conversão de 500ns;

- Um módulo controlador de rede local (*Controler Área Network*);
- Interface de comunicação serial (*SCI*);
- Módulo de interface periférica serial (*SPI*);
- Pulsos de clock do sistema baseado em um módulo PLL;
- 40 pinos individualmente programáveis e de uso genérico I/O (GPIO);
- 5 interrupções externas (Falha de alimentação, reset e duas interrupções mascaráveis);
- Três modos de operação de baixo consumo;
- Memória:
 - 32K palavras x 16-bits of flash EEPROM ;
 - 2,5K palavras x 16-bits de Dados/Programa;
 - ❖ 544 palavras de memória de duplo acesso (DARAM);
 - ❖ 2K palavras de memória de acesso simples (SARAM);

A arquitetura interna é baseada no modelo Harvard modificado, a qual suporta uma estrutura de barramentos próprios (separados) para os espaços de dados e de programas. Um terceiro espaço, para os periféricos de entrada e de saída, é disponível. Eles são acessíveis através do barramento de interface externa.

Para manusear e suportar todos os periféricos é necessário um outro barramento, o barramento de periféricos. Ele é mapeado no espaço de dados e faz interface como o barramento de dados através do módulo especial sistema-interface. Desta forma todas as instruções que atuam sobre o espaço de dados também o fazem sobre todos os registros dos periféricos.

Espaços separados de dados e programas permitem acesso simultâneo às instruções de programa e aos dados. Exemplificando: enquanto um dado é multiplicado, um produto precedente pode ser adicionado ao acumulador, e ao mesmo tempo, um novo endereço pode ser gerado. Este paralelismo permite que um conjunto de operações aritméticas, lógicas e de manipulação de bits possa ser efetivado em apenas um ciclo de máquina. O processador inclui, também, mecanismos de gerenciamento de interrupções, de repetição de operações e de chamadas de funções e subrotinas.

2.4.2. Conversor A/D

a) Introdução

Conforme vimos, existe uma relação muito importante a ser mantida entre a frequência de um sinal que está entrando num DSP e a frequência com que a amostragem deve ser feita.

Um sinal nunca é puro (senoidal), mas sim formado por harmônicas que se estendem a valores muito elevados antes de sua amplitude se tornar desprezível. Se a frequência do sinal se aproximar da frequência de amostragem, ou ainda se uma componente harmônica se aproximar dessa frequência de amostragem poderão ocorrer problemas (alias) que irão afetar o funcionamento do dispositivo, pois o processador poderá ser “enganado” vendo no sinal uma forma de onda que ele na realidade não tem, conforme sugere a Fig. 2-13.

Isto significa que entre o circuito de amostragem e a entrada devem ser colocados filtros *ante-engano* (anti-aliasing) para evitar que transições muito rápidas do sinal (que possam estar presentes e ser interpretadas de forma errônea pelo circuito venham a ocorrer).

A idéia básica é colocar na entrada do DSP um filtro que deixe passar somente os sinais de frequência que estejam abaixo do limite que possa causar erros, que conforme vimos é metade da frequência de amostragem (limite de Nyquist), veja a Fig. 2-14.

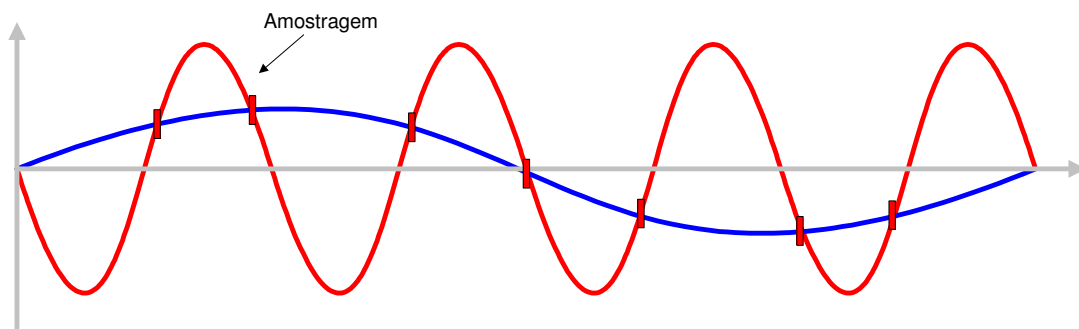


Fig. 2-13 – Ambigüidade de frequência – Como a amostragem pode levar a uma falsa idéia de um sinal real.

Assim na entrada do DSP, o primeiro bloco importante que encontramos é justamente o filtro *anti-aliasing*, que evita que sinais de frequência acima do limite de

Nyquist passam passar causando problemas de interpretação pelo circuito na hora da amostragem.

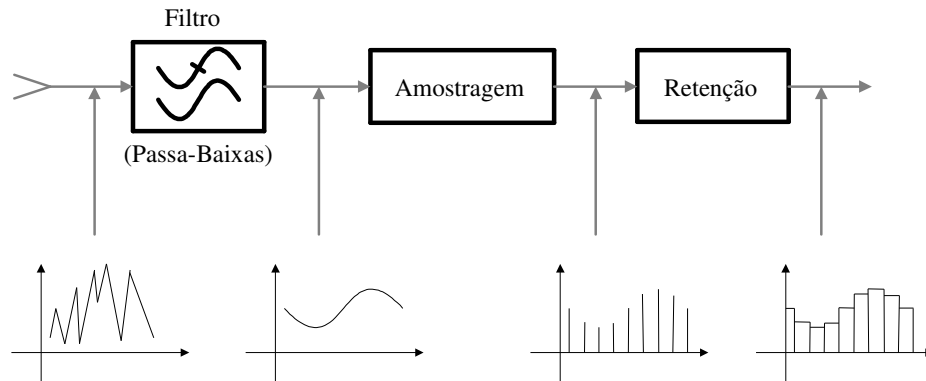


Fig. 2-14 – O filtro anti-aliasing (passa-baixas).

b) Amostragem e retenção

O bloco seguinte que encontramos na entrada do DSP e que já faz parte do A/D é o que faz amostragem do sinal de acordo com o que estudamos na sessão anterior.

A maneira mais simples de se amostrar um sinal é empregando um circuito que é mostrado na Fig. 2-15, denominado em Inglês de *Sample and hold* (amostragem e retenção), e que funciona da seguinte maneira.

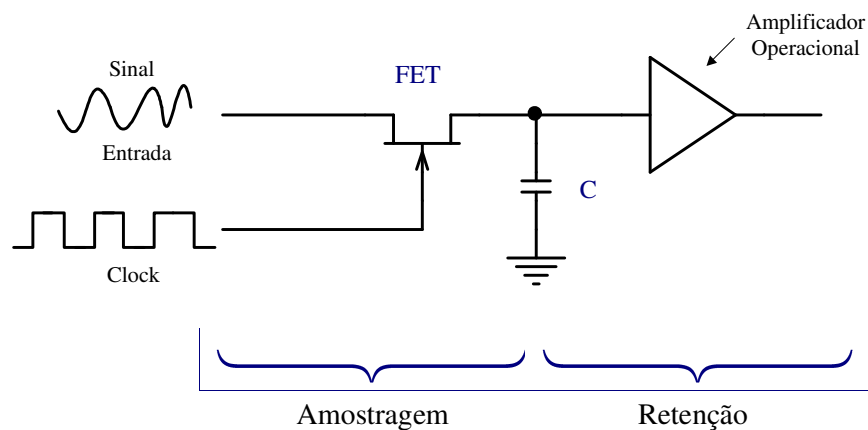


Fig. 2-15 – Circuito de amostragem e retenção (Sample and Hold).

Um transistor de efeito de campo é chaveado por um oscilador retangular que gera a frequência de amostragem. Cada vez que o transistor conduz e leva o capacitor C a carregar-se com a tensão do circuito de entrada naquele momento, ou seja, carrega o capacitor com a tensão instantânea do sinal que deve ser amostrada.

Essa tensão é então mantida no capacitor até a amostragem posterior; dando tempo ao bloco seguinte, que é o circuito de manutenção, de manter esta tensão na saída pelo tempo necessário ao processamento que vem depois.

O próximo passo na operação do DSP é converter os valores da saída do circuito de amostragem e manutenção numa forma que o microprocessador possa usar, ou seja, a forma digital.

c) Quantização

Os valores instantâneos da tensão do sinal de entrada que são obtidos na saída do circuito de amostragem e retenção precisam ser convertidos para a forma digital. Este processo recebe o nome de *quantização*.

Neste ponto é importante ressaltar que aquilo que o DSP pode fazer com o sinal dependerá justamente da precisão com que a quantização é feita.

A representação dos valores instantâneos amostrados pelos circuitos anteriores depende do nível de quantização realizado, ou seja, de quantos bits são usados para representar cada valor amostrado.

Desta forma, se usarmos 2 bits teremos uma precisão menor do que se usássemos 4 bits para fazer a quantização. No caso do TMS320LF2407 são usados 10 bits para se efetuar a conversão.

Lembramos que está é uma desvantagem de se operar com sinais na forma digital, pois sua representação somente pode ser feita na forma de “degraus” cuja altura irá determinar o grau de precisão. Quanto maior o número de degraus que possa ser usado, maior será a precisão no valor analógico que é representado na forma digital.

d) A/D

O próximo bloco a ser estudado é o conversor analógico-digital que, justamente tem por função levar o sinal da saída do circuito de amostragem à quantização.

Existem diversas tecnologias que podem ser empregadas para se fazer a conversão de um tensão analógica em um sinal digital.

No caso do DSP TMS320LF2407 da Texas Instruments a tecnologia adotada é a de *aproximações sucessivas*. Este será, portanto, o conversor objeto de nossa explanação.

Diferente do TMS320F240, o TMS320LF2407 possui somente um conversor A/D e um único circuito de amostragem e retenção. Este periférico funciona como se tivesse dois conversores, ADC1 e ADC2, mas como dito possui apenas um. Esta medida é tomada para garantir o mínimo de modificações em relação aos controladores com dois conversores A/D. Deste modo o TMS320LF2407 apresenta os mesmos registradores, o que faz com que a programação desse periférico equivale a do TMS320F240 e permita a conversão (quase simultânea) de dois sinais analógicos. O tempo mínimo de conversão é de 500ns a frequência de 40MHz. Tensões de referência interna e externa podem ser usadas. Possui 16 entradas analógicas multiplexadas. Também permite a divisão dos pulsos de clock e gera interrupções (com prioridade programada) quando termina a conversão de um sinal. Pode operar em conversão contínua ou conversão simples.

O A/D por aproximações sucessivas é relativamente simples e barato, produz uma saída de n bits quando n ciclos de clock são aplicados ao circuito.

Na Fig. 2-16 observamos um diagrama de blocos que representa este tipo de conversor e por onde faremos a análise de seu funcionamento.

O sinal aplicado à entrada é retido pelo circuito de amostragem e retenção, aplicado à entrada do comparador e ao mesmo tempo dispara o circuito de clock do setor de conversão digital.

Ao iniciar a conversão, o registrador de aproximações sucessivas começa colocando em 1 o bit mais significativo (MSB) da saída, aplicando este sinal ao conversor D/A.

Se com este procedimento, a tensão aplicada pelo conversor D/A à entrada de referência do comparador for maior que a de entrada, isto é sinal que o valor que este bit representa é maior que aquele que se deseja converter.

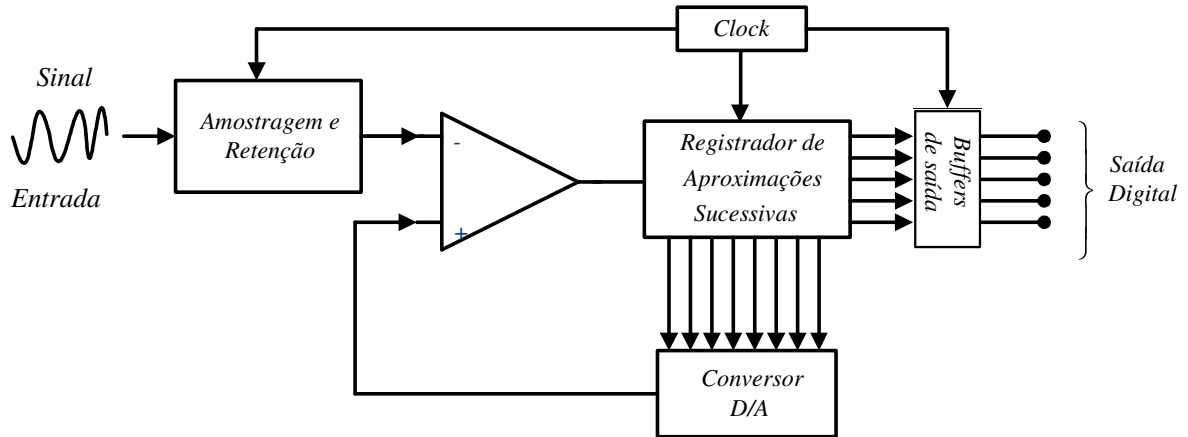


Fig. 2-16 – Conversor A/D de aproximação sucessiva.

O comparador informa isso ao registro de aproximações, que então volta o MSB a zero e coloca o bit que o segue imediatamente em 1. Uma nova comparação é feita. Se agora o valor da tensão for menor que a de entrada, este bit é mantido, e testa-se o seguinte, colocando-se em 1. Se novamente o valor for ultrapassado, o comparador informa isso ao registro e o bit volta a zero, passando o seguinte a 1, que é testado.

Quando todos os bits forem testados, teremos na saída do registro um valor binário muito próximo do desejado, dependendo da resolução do circuito.

Testando todos os bits desta forma, a conversão torna-se muito rápida, já que não é preciso esperar até a contagem final.

A Fig. 2-17 apresenta o diagrama de blocos funcional do conversor analógico-digital. Pode-se perceber a existência de 16 entradas analógicas multiplexadas e de 16 registradores armazenadores dos resultados de conversão.

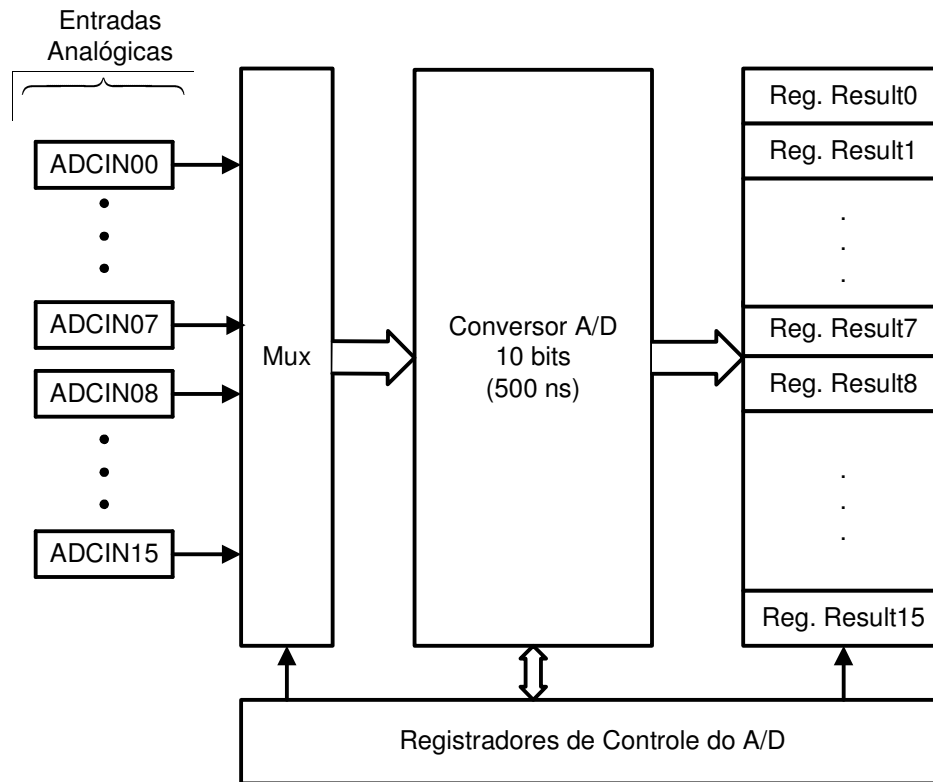


Fig. 2-17 – Diagrama de blocos do módulo ADC do TMS320LF2407.

2.5. Conclusão

Este capítulo teve como objetivo relatar alguns pontos importantes a respeito do DSP utilizado no projeto, objetivando compreender melhor os aspectos relativos à tecnologia e às possibilidades oferecidas pelos microcontroladores modernos.

Foi feita uma introdução mostrando um pouco a respeito da história, das tecnologias existentes e arquiteturas presentes nas famílias de microprocessadores atuais.

Mostrou-se, também, aspectos relativos à amostragem de sinais, visando obter uma melhor idéia a respeito de *processos amostrados*, de extrema importância para a elaboração do controle digital. Bem como um pequeno embasamento a respeito de filtros *anti-aliasing*, utilizados para se evitar a superposição dos espectros de frequência, inerentes ao efeito da amostragem.

Ao decorrer do capítulo também foram abordadas as formas de representação numéricas existentes em microcontroladores, tanto de ponto fixo como de ponto flutuante,

fator de extrema importância para entender as manipulações matemáticas existentes no microcontrolador.

Os periféricos do microcontrolador *TMS320LF2407* foram abordados de forma a se obter mais entendimento a respeito das potencialidades oferecidas pelo dispositivo. Em especial se deu atenção ao conversor *A/D*, visando um melhor compreensão da sua estrutura, importante para o entendimento da amostragem de sinais através do microcontrolador em estudo.

3. APRESENTAÇÃO, ANÁLISE, EQUACIONAMENTO E CONTROLE DO CONVERSOR UNIDERICIONAL CA-CC PROPOSTO.

3.1. Introdução

A topologia escolhida para o presente estudo, a qual foi introduzida no capítulo 1, foi primeiramente apresentada em [4]. Neste capítulo será apresentado de forma bastante sucinta tanto as etapas de operação quanto o equacionamento do conversor, o qual compreende a obtenção das funções de transferência (de corrente e tensão) e estratégia de controle.

Ao final do capítulo será dado como exemplo o cálculo completo dos controladores do conversor, assim como a apresentação dos resultados obtidos através de simulação numérica.

Cabe lembrar que tal conversor já foi estudado em [1], não cabendo na presente dissertação um estudo aprofundado sobre o mesmo.

A estrutura do conversor proposto é apresentada na Fig. 3-1.

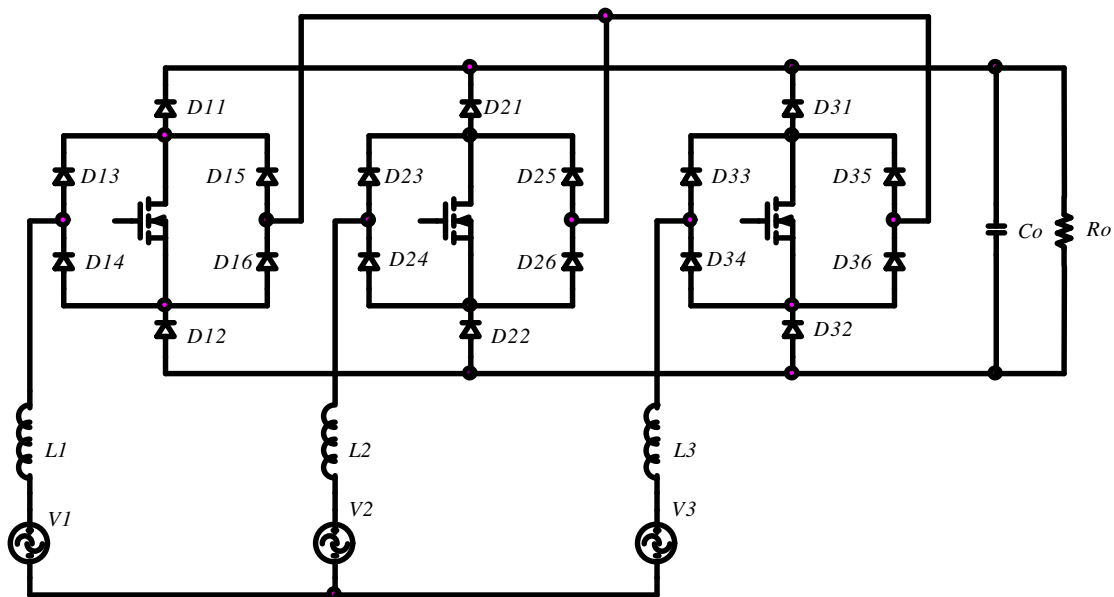


Fig. 3-1 – Circuito proposto para o conversor CA-CC trifásico unidirecional sem neutro.

3.2. Estados topológicos

Analisando o conversor apresentado na Fig. 3-1, pode-se observar que este apresenta um funcionamento simétrico, apesar de distinto, para cada um dos 6 setores de 60° graus presentes dentro de um período da rede, definidas pela fase que apresenta a maior corrente em módulo no presente instante.

Assim sendo, toda a análise do conversor poderá ser feita para apenas um setor e depois estendida para os demais setores, compreendendo então todo o período da rede, isso possibilita uma análise mais simples do conversor em questão.

Considerando que as correntes tenham o formato senoidal (o mesmo das tensões) e escolhendo-se o setor para se efetuar a análise como aquele definido como $60^\circ \leq \omega \cdot t \leq 120^\circ$, chegamos a algumas conclusões.

Primeiramente, definindo as tensões de alimentação (de fase) como sendo:

$$\begin{cases} V_1(t) = V_p \cdot \text{sen}(\omega \cdot t) \\ V_2(t) = V_p \cdot \text{sen}(\omega \cdot t - 120^\circ) \\ V_3(t) = V_p \cdot \text{sen}(\omega \cdot t + 120^\circ) \end{cases} \quad (\text{Eq.3.1})$$

Porém, no setor em análise, temos que:

$$\begin{cases} V_1(t) > 0 \\ V_2(t) < 0 \\ V_3(t) < 0 \end{cases} \quad (\text{Eq.3.2})$$

Para determinar qual a corrente maior em módulo no setor em estudo, poderemos considerar três instantes distintos.

$$p/ \omega \cdot t = 60^\circ \quad (\text{Eq.3.3})$$

$$\begin{cases} |V_1(t)| = \frac{\sqrt{3}}{2} \cdot V_p \\ |V_2(t)| = \frac{\sqrt{3}}{2} \cdot V_p \\ |V_3(t)| = 0 \end{cases}$$

$$p/ \omega \cdot t = 90^\circ \quad (\text{Eq.3.4})$$

$$\begin{cases} |V_1(t)| = V_p \\ |V_2(t)| = |V_3(t)| = \frac{V_p}{2} \end{cases}$$

$$p/ \omega \cdot t = 120^\circ \quad (\text{Eq.3.5})$$

$$\begin{cases} |V_1(t)| = \frac{\sqrt{3}}{2} \cdot V_p \\ |V_2(t)| = 0 \\ |V_3(t)| = \frac{\sqrt{3}}{2} \cdot V_p \end{cases}$$

Assim, através deste equacionamento, sabendo-se que as correntes são “espelhos” das tensões podemos concluir que a corrente $I_1(t)$ é a que apresenta maior valor em módulo neste setor. Além disso, será adotada a hipótese de que a tensão de saída deve ser maior que a máxima tensão de entrada de linha ($V_o \geq \sqrt{3} \cdot V_p$), fato este de extrema importância para o correto funcionamento do conversor e que poderá ser encontrada em maiores detalhes em [1].

Observa-se também que o conversor, apresentado na Fig. 3-1, apresenta três interruptores comandáveis (um por braço), cada um com dois estados possíveis (bloqueio ou condução), possibilitando-se, assim, a existência de oito estados topológicos:

$$N.E.T = N.E.T.I^{N.I} = 2^3 = 8 \quad (\text{Eq.3.6})$$

Onde:

- ❖ N.E.T = Número de estados topológicos possíveis para o conversor;
- ❖ N.E.T.I = Número de estados topológicos de cada interruptor.
- ❖ N.I = Número de interruptores.

Desta forma, um estudo simplificado do conversor, englobando as etapas de funcionamento bem como os respectivos estados topológicos é analisados a seguir.

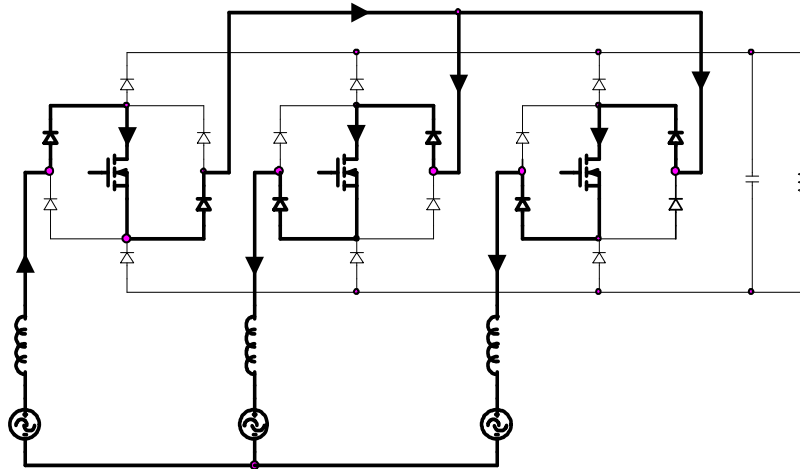


Fig. 3-2 – Primeiro estado topológico, S1=fechado, S2=fechado, S3=fechado.

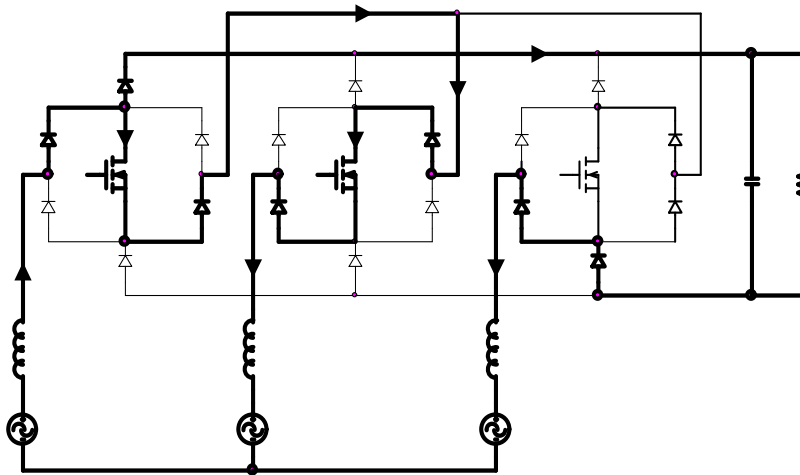


Fig. 3-3 - Segundo estado topológico, S1=fechado, S2=fechado, S3=aberto.

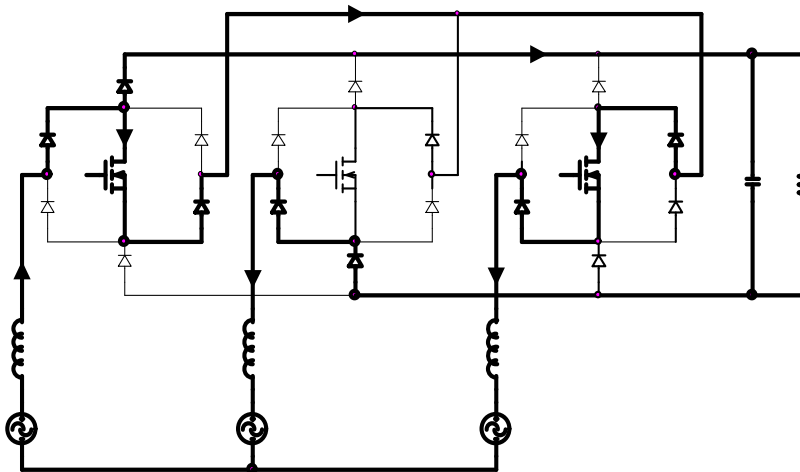


Fig. 3-4 - Terceiro estado topológico, S1=fechado, S2=aberto, S3=fechado.

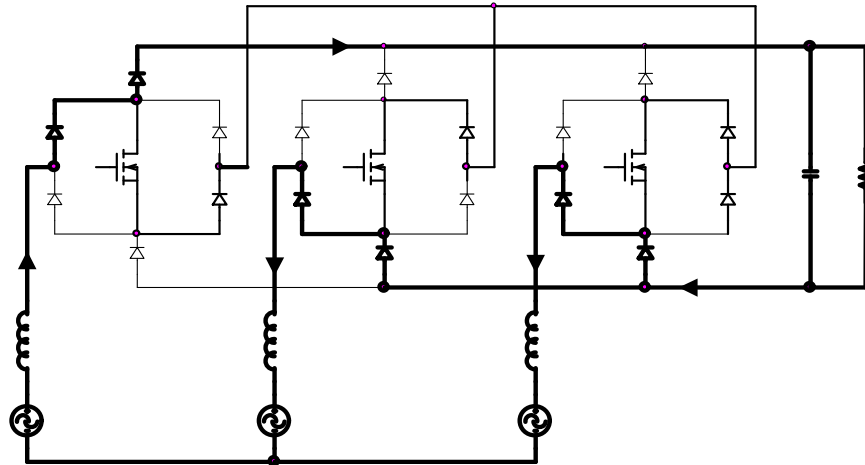


Fig. 3-5 - Quarto estado topológico, S1=fechado, S2=aberto, S3=aberto.

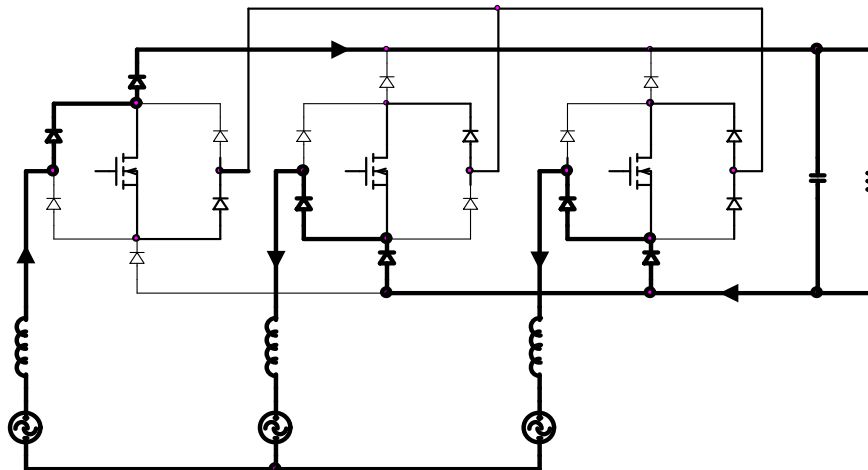


Fig. 3-6 - Quinto estado topológico, S1=aberto, S2=aberto, S3=fechado.

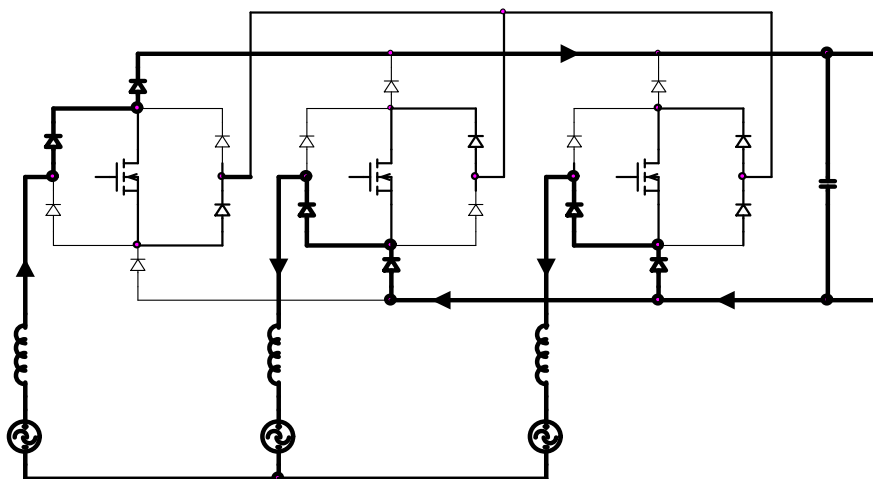


Fig. 3-7 - Sexto estado topológico, S1=aberto, S2=fechado, S3=fechado.

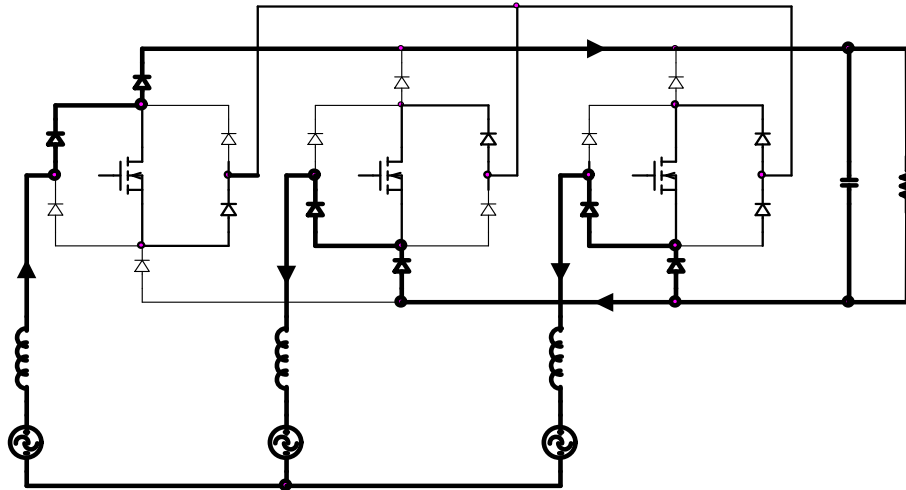


Fig. 3-8 - Sétimo estado topológico, S1=aberto, S2=fechado, S3=aberto.

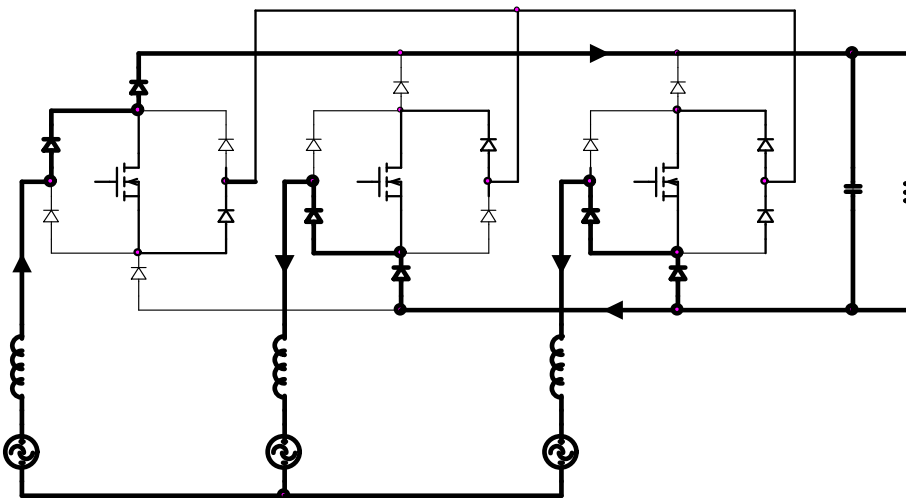


Fig. 3-9 - Oitavo estado topológico, S1=aberto, S2=aberto, S3=aberto.

3.2.1. Análise dos estados topológicos

a) Primeiro estado topológico

Analisando a Fig. 3-2 observarmos que:

$$V_1(t) - V_{L1}(t) = V_2(t) - V_{L2}(t) = V_3(t) - V_{L3}(t) \quad (\text{Eq.3.7})$$

Além disso, por se tratar de um retificador trifásico, equilibrado e sem neutro, sabemos que:

$$\begin{cases} V_1(t) + V_2(t) + V_3(t) = 0 \\ I_1(t) + I_2(t) + I_3(t) = 0 \end{cases} \quad (\text{Eq.3.8})$$

Será então considerado, para facilitar o equacionamento, que $L_1 = L_2 = L_3 = L$, desta forma, a partir da (Eq.3.8), tem-se:

$$\frac{dI_{L1}(t)}{dt} + \frac{dI_{L2}(t)}{dt} + \frac{dI_{L3}(t)}{dt} = 0 \quad (\text{Eq.3.9})$$

Multiplicando ambos os lados da (Eq.3.9) por L, obtemos:

$$L \cdot \frac{dI_{L1}(t)}{dt} + L \cdot \frac{dI_{L2}(t)}{dt} + L \cdot \frac{dI_{L3}(t)}{dt} = 0 \quad (\text{Eq.3.10})$$

Da (Eq.3.10) decorre que:

$$V_{L1} + V_{L2} + V_{L3} = 0 \quad (\text{Eq.3.11})$$

Assim, substituindo a (Eq.3.11) na (Eq.3.7) e resolvendo o sistema obtém-se:

$$\begin{cases} V_{L1}(t) = V_1(t) \\ V_{L2}(t) = V_2(t) \\ V_{L3}(t) = V_3(t) \end{cases} \quad (\text{Eq.3.12})$$

b) Segundo estado topológico

Analisando a Fig. 3-3 podemos observar que:

$$V_1(t) - V_{L1}(t) = V_2(t) - V_{L2}(t) = V_3(t) + V_o(t) - V_{L3}(t) \quad (\text{Eq.3.13})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{V_o(t)}{3} \\ V_{L2}(t) = V_2(t) - \frac{V_o(t)}{3} \\ V_{L3}(t) = V_3(t) + \frac{2}{3} \cdot V_o(t) \end{cases} \quad (\text{Eq.3.14})$$

c) Terceiro estado topológico

Analisando o estado topológico apresentado na Fig. 3-4 podemos observar que:

$$V_1(t) - V_{L1}(t) = V_2(t) + V_o(t) - V_{L2}(t) = V_3(t) - V_{L3}(t) \quad (\text{Eq.3.15})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{V_o(t)}{3} \\ V_{L2}(t) = V_2(t) + \frac{2}{3} \cdot V_o(t) \\ V_{L3}(t) = V_3(t) - \frac{V_o(t)}{3} \end{cases} \quad (\text{Eq.3.16})$$

d) Quarto estado topológico

Analisando a Fig. 3-5 percebemos que:

$$V_1(t) - V_{L1}(t) = V_2(t) + V_o(t) - V_{L2}(t) = V_3(t) + V_o(t) - V_{L3}(t) \quad (\text{Eq.3.17})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{2}{3} \cdot V_o(t) \\ V_{L2}(t) = V_2(t) + \frac{V_o(t)}{3} \\ V_{L3}(t) = V_3(t) + \frac{V_o(t)}{3} \end{cases} \quad (\text{Eq.3.18})$$

e) Quinto estado topológico

Analisando-se Fig. 3-6 podemos observar que:

$$V_1(t) - V_{L1}(t) = V_2(t) + V_o(t) - V_{L2}(t) = V_3(t) + V_o(t) - V_{L3}(t) \quad (\text{Eq.3.19})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{2}{3} \cdot V_o(t) \\ V_{L2}(t) = V_2(t) + \frac{V_o(t)}{3} \\ V_{L3}(t) = V_3(t) + \frac{V_o(t)}{3} \end{cases} \quad (\text{Eq.3.20})$$

f) Sexto estado topológico

Analisando-se Fig. 3-7 observamos que:

$$V_1(t) - V_{L1}(t) = V_2(t) + V_o(t) - V_{L2}(t) = V_3(t) + V_o(t) - V_{L3}(t) \quad (\text{Eq.3.21})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{2}{3} \cdot V_o(t) \\ V_{L2}(t) = V_2(t) + \frac{V_o(t)}{3} \\ V_{L3}(t) = V_3(t) + \frac{V_o(t)}{3} \end{cases} \quad (\text{Eq.3.22})$$

g) Sétimo estado topológico

Analisando-se a Fig. 3-8 percebemos que:

$$V_1(t) - V_{L1}(t) = V_2(t) + V_o(t) - V_{L2}(t) = V_3(t) + V_o(t) - V_{L3}(t) \quad (\text{Eq.3.23})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{2}{3} \cdot V_o(t) \\ V_{L2}(t) = V_2(t) + \frac{V_o(t)}{3} \\ V_{L3}(t) = V_3(t) + \frac{V_o(t)}{3} \end{cases} \quad (\text{Eq.3.24})$$

h) Oitavo estado topológico

Analisando-se a figura Fig. 3-9 podemos observar que:

$$V_1(t) - V_{L1}(t) = V_2(t) + V_o(t) - V_{L2}(t) = V_3(t) + V_o(t) - V_{L3}(t) \quad (\text{Eq.3.25})$$

Obtém-se então:

$$\begin{cases} V_{L1}(t) = V_1(t) - \frac{2}{3} \cdot V_o(t) \\ V_{L2}(t) = V_2(t) + \frac{V_o(t)}{3} \\ V_{L3}(t) = V_3(t) + \frac{V_o(t)}{3} \end{cases} \quad (\text{Eq.3.26})$$

3.3. Equacionamento

3.3.1. Estratégia de controle

A partir da análise feita no item 3.2, percebe-se a existência de apenas quatro estados topológicos distintos, apesar de haver oito possíveis combinações de estados topológicos de interruptores.

Essa limitação no número de estados topológicos era de se esperar, exatamente pela ausência do neutro na presente estrutura, o que gera uma restrição imposta por: $I_1(t) + I_2(t) + I_3(t) = 0$, ou seja, uma corrente sempre será *linearmente dependente* das outras duas correntes, de forma que se pode atuar somente sobre duas correntes de cada vez.

Desta forma, a estratégia de controle sugerida mantém fechado o interruptor correspondente à fase que apresenta a maior corrente em módulo, comandando-se apenas dois interruptores de cada vez e controlando-se as suas respectivas correntes.

Utilizando-se esta estratégia, o conversor proposto apresentado na Fig. 3-1 pode ser representado, dentro do setor analisado, pelo modelo equivalente mostrado na Fig. 3-1. Também podem ser obtidos circuitos equivalentes para os demais setores de forma análoga.

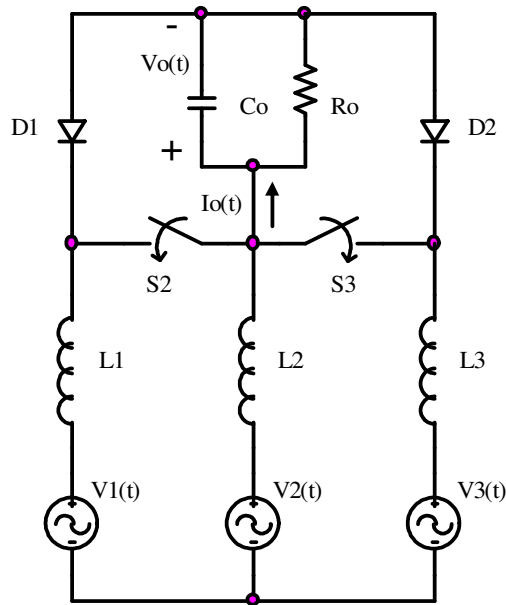


Fig. 3-10 – Circuito equivalente do conversor apresentado na Fig. 3-1.

3.4. Obtenção das funções de transferência

O equacionamento apresentado a seguir será efetuado a partir do circuito equivalente da Fig. 3-10.

Considerando-se que as correntes sejam “espelho” das tensões, temos que:

$$\begin{cases} I_1(t) = I_p \cdot \text{sen}(\omega \cdot t) \\ I_1(t) = I_p \cdot \text{sen}(\omega \cdot t - 120^\circ) \\ I_1(t) = I_p \cdot \text{sen}(\omega \cdot t + 120^\circ) \end{cases} \quad (\text{Eq.3.27})$$

Desta forma, a potência de entrada é definida por:

$$P_{IN} = V_p \cdot I_p \cdot (\text{sen}^2(\omega \cdot t) + \text{sen}^2(\omega \cdot t - 120^\circ) + \text{sen}^2(\omega \cdot t + 120^\circ)) \quad (\text{Eq.3.28})$$

Aplicando-se as identidades trigonométricas adequadas, obtemos:

$$P_{IN} = \frac{3 \cdot V_p \cdot I_p}{2} \quad (\text{Eq.3.29})$$

Como $P_o = P_{IN} \cdot \eta$, temos que:

$$I_p = \frac{2 \cdot P_o \cdot \eta}{3 \cdot V_p} \quad (\text{Eq.3.30})$$

Onde η representa o rendimento total da estrutura. Então, a partir do circuito da Fig. 3-10, lembrando que $D_2(t)$ e $D_3(t)$ representam as razões cíclicas dos interruptores S_2 e S_3 respectivamente. Assim, analisando a Fig. 3-10, podemos escrever as seguintes equações:

$$\begin{cases} V_1(t) - V_{L1}(t) - [1 - D_2(t)] \cdot V_o(t) + V_{L2}(t) - V_2(t) = 0 \\ V_1(t) - V_{L1}(t) - [1 - D_3(t)] \cdot V_o(t) + V_{L3}(t) - V_3(t) = 0 \end{cases} \quad (\text{Eq.3.31})$$

Além disso, sabendo-se que a estrutura é trifásica, equilibrada e sem neutro, temos que:

$$\begin{cases} V_1(t) + V_2(t) + V_3(t) = 0 \\ I_{L1}(t) + I_{L2}(t) + I_{L3}(t) = 0 \\ V_{L1}(t) + V_{L2}(t) + V_{L3}(t) = 0 \end{cases} \quad (\text{Eq.3.32})$$

Resolvendo o sistema de Equações composto pela (Eq.3.31) e pela (Eq.3.32), se obtém:

$$\begin{cases} 3 \cdot V_2(t) - 3 \cdot V_{L2}(t) - 2 \cdot D_2(t) \cdot V_o(t) + [1 + D_3(t)] \cdot V_o(t) = 0 \\ 3 \cdot V_3(t) - 3 \cdot V_{L3}(t) - 2 \cdot D_3(t) \cdot V_o(t) + [1 + D_2(t)] \cdot V_o(t) = 0 \end{cases} \quad (\text{Eq.3.33})$$

3.4.1. Obtenção da função de transferência $I(s)/D(s)$

Para simplificar a análise e a conseqüente obtenção da função de transferência, tanto o interruptor $S1$ quanto o interruptor $S2$ serão substituídos por fontes controladas de tensão. Considerando-se ainda que a tensão sobre elas corresponde ao valor médio em um período de chaveamento, ou seja, desprezar-se-ão as componentes harmônicas de altíssima frequência. Também a tensão de saída $V_o(t)$ será considerada constante e de valor V_o , tudo isso sendo feito para se facilitar a análise.

Assim, as tensões médias sobre os interruptores, em um período de chaveamento são dadas por:

$$\begin{cases} V_{s2}(t) = [1 - D_2(t)] \cdot V_o \\ V_{s3}(t) = [1 - D_3(t)] \cdot V_o \end{cases} \quad (\text{Eq.3.34})$$

Então, a partir da (Eq.3.33), temos que:

$$\begin{cases} 3 \cdot V_2(t) - 3 \cdot L \cdot \frac{dI_2(t)}{dt} - 2 \cdot D_2(t) \cdot V_o + [1 + D_3(t)] \cdot V_o(t) = 0 \\ 3 \cdot V_3(t) - 3 \cdot L \cdot \frac{dI_3(t)}{dt} - 2 \cdot D_3(t) \cdot V_o + [1 + D_2(t)] \cdot V_o(t) = 0 \end{cases} \quad (\text{Eq.3.35})$$

Desta forma, para se obter a função de transferência da tensão em relação à razão cíclica, adicionam-se pequenas perturbações em torno do ponto de operação das variáveis de interesse, da seguinte forma:

$$\begin{cases} I_{L2}(t) = I_{L2} + i_{L2}(t) \\ I_{L3}(t) = I_{L3} + i_{L3}(t) \\ D_2(t) = D_2 + d_2(t) \\ D_3(t) = D_3 + d_3(t) \end{cases} \quad (\text{Eq.3.36})$$

Assim, substituindo a (Eq.3.36) na (Eq.3.35) e considerando apenas as perturbações, resulta:

$$\begin{cases} -3 \cdot L \cdot \frac{di_2(t)}{dt} - 2 \cdot d_2(t) \cdot V_o = 0 \\ -3 \cdot L \cdot \frac{di_3(t)}{dt} - 2 \cdot d_3(t) \cdot V_o = 0 \end{cases} \quad (\text{Eq.3.37})$$

Aplicando a transformada de Laplace à (Eq.3.37), obtemos a seguinte expressão:

$$\begin{cases} -3 \cdot L \cdot s \cdot i_2(s) - 2 \cdot d_2(s) \cdot V_o = 0 \\ -3 \cdot L \cdot s \cdot i_3(s) - 2 \cdot d_3(s) \cdot V_o = 0 \end{cases} \quad (\text{Eq.3.38})$$

Resolvendo a (Eq.3.38), resulta:

$$\begin{cases} \frac{i_2(s)}{d_2(s)} = -\frac{2 \cdot V_o}{3 \cdot s \cdot L} \\ \frac{i_3(s)}{d_3(s)} = -\frac{2 \cdot V_o}{3 \cdot s \cdot L} \end{cases} \quad (\text{Eq.3.39})$$

O sinal negativo presente na (Eq.3.39) deve ser interpretado. Se a análise for efetuada em um setor onde a maior corrente em módulo é negativa, o sinal da função de transferência da (Eq.3.39) mudará. Portanto o controle se dará sobre os *módulos* das funções de transferência, de modo a não haver mudança de sinal da função de transferência de maneira a não acarretar problemas na hora de se projetar o controle.

Deve-se observar também que a função de transferência envolvendo a corrente da fase *um* tem a mesma forma que a apresentada pelas fases *dois* e *três*, sendo necessário, porém, para a obtenção da função de transferência, desenvolver uma análise semelhante à efetuada no item 3.2, considerando-se desta vez a maior corrente em módulo como sendo a da fase *dois* ou *três*.

Desta forma, a função de transferência “genérica” obtida através da análise realizada do item 3.2 ao item 3.4 é dada por:

$$\frac{I(s)}{D(s)} = \frac{2 \cdot V_o}{3 \cdot s \cdot L} \quad (\text{Eq.3.40})$$

3.4.2. Obtenção da função de transferência $V(s)/I(s)$

Sabendo que:

$$\begin{cases} P_o = P_{IN} \cdot \eta \\ P_o = \frac{V_o^2}{R_o} \end{cases} \quad (\text{Eq.3.41})$$

Assim, substituindo a (Eq.3.41) na (Eq.3.29), obtemos:

$$V_o = \sqrt{\frac{3 \cdot V_p \cdot I_p \cdot R_o}{2 \cdot \eta}} \quad (\text{Eq.3.42})$$

Portanto, a partir da (Eq.3.42) e sabendo que todos os termos são constantes, excetuando-se I_p , concluímos que o controle da tensão de saída pode ser feito através da corrente de pico de entrada.

Assim, será necessário encontrar a função de transferência que expressa a relação entre a tensão de saída e a corrente de pico de entrada.

Sabendo que a corrente $I_o(t)$ (ver Fig. 3-10) é diretamente proporcional às correntes de pico de entrada. Podemos escrever:

$$I_o(t) = C_o \cdot \frac{dV_o(t)}{dt} + \frac{V_o}{R_o} \quad (\text{Eq.3.43})$$

Aplicando a transformada de Laplace à (Eq.3.43), implica em:

$$C_o \cdot s \cdot V_o(s) + \frac{V_o(s)}{R_o} = I_o(s) \quad (\text{Eq.3.44})$$

$$\frac{V_o(s)}{I_o(s)} = \frac{R_o}{1 + s \cdot R_o \cdot C_o} \quad (\text{Eq.3.45})$$

Ou, de forma mais genérica:

$$\frac{V_o(s)}{I_o(s)} = \frac{\left(\frac{V_o^2}{P_o} \right)}{1 + s \cdot \frac{V_o^2 \cdot C_o}{P_o}} \quad (\text{Eq.3.46})$$

Sabendo que a malha de tensão apenas controlará a amplitude das correntes de entrada, e sabendo-se que:

$$I_o(t) = \frac{P_o}{V_o} \rightarrow I_o(t) = \frac{2 \cdot V_p \cdot I_p(t)}{3 \cdot V_o} \quad (\text{Eq.3.47})$$

Substituindo a (Eq.3.47) na (Eq.3.46), obtemos:

$$\frac{V_o(s)}{I_p(s)} = \frac{\frac{2 \cdot V_o^3}{3 \cdot V_p \cdot P_o}}{1 + s \cdot \frac{V_o^2 \cdot C_o}{P_o}} \rightarrow \frac{V(s)}{I(s)} = \frac{\frac{2 \cdot V_o^3}{3 \cdot V_p \cdot P_o}}{1 + s \cdot \frac{V_o^2 \cdot C_o}{P_o}} \quad (\text{Eq.3.48})$$

Que nos dá a função de transferência necessária para o projeto do controlador de tensão.

3.5. Exemplo de projeto dos controladores.

3.5.1. Metodologia de projeto.

A partir do equacionamento apresentado do item 3.2 ao item 3.4, a estratégia de controle proposta pode ser observada na Fig. 3-11.

Pode-se observar então que o sistema de controle proposto utiliza três malhas de corrente e uma de tensão. Os controladores de corrente são projetados como se atuassem de forma independente, sendo que a amplitude da referência de corrente é dada pelo controlador de tensão.

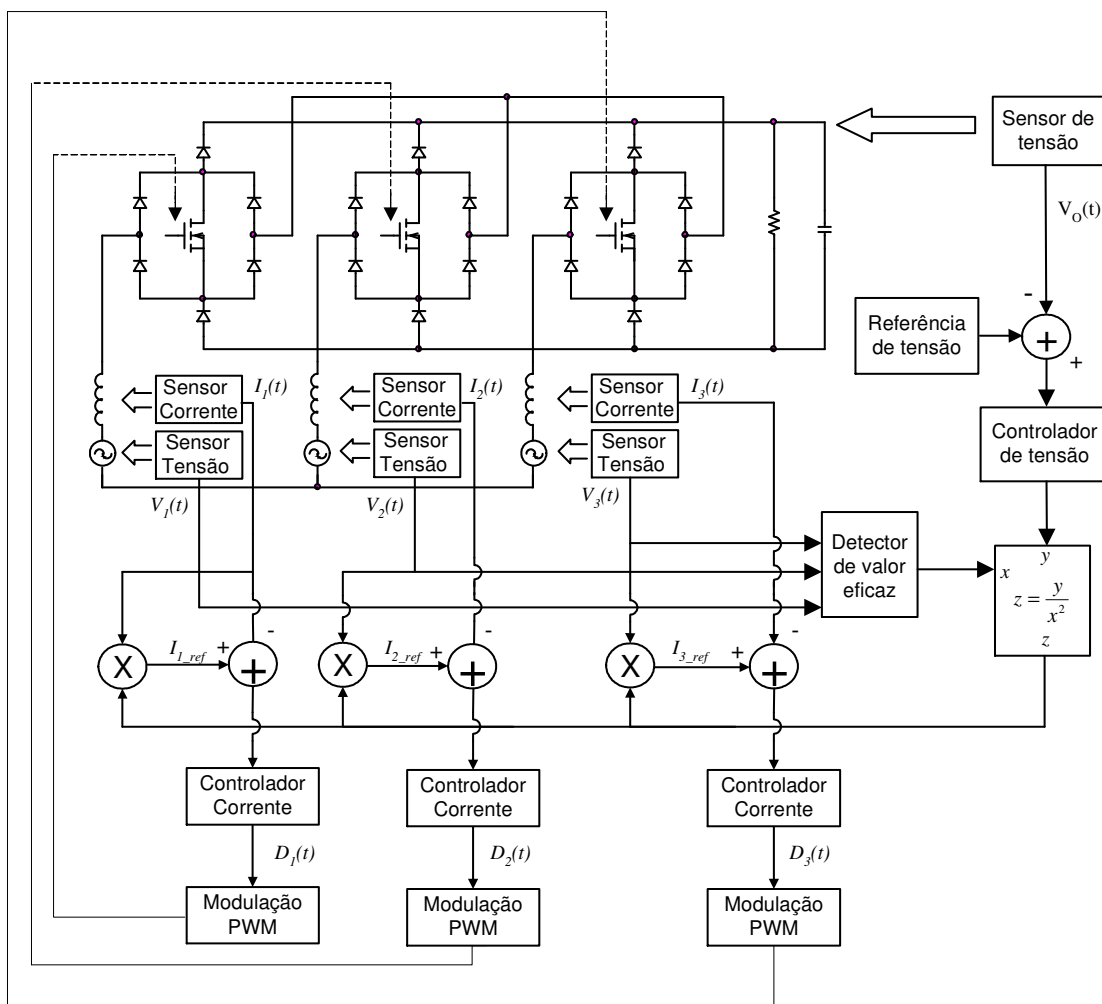


Fig. 3-11 – Arquitetura proposta para o sistema de controle do conversor em análise.

3.5.2. Projeto do controlador de corrente.

A partir da arquitetura do sistema de controle apresentada no item 3.5.1, pode-se elaborar um diagrama de blocos de forma a facilitar a visualização do sistema de controle como um todo. Tal representação equivalente é mostrada na Fig. 3-12.

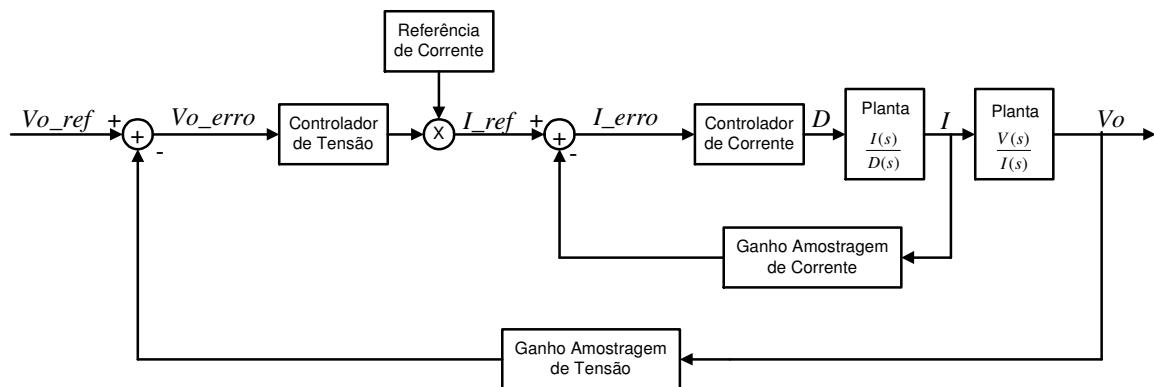


Fig. 3-12 – Diagrama de blocos da arquitetura do sistema de controle apresentada na Fig. 3-1.

Para projetar o laço de corrente é necessário a obtenção da função de transferência de *laço aberto*. Para isto é apresentado o diagrama de blocos funcional da malha de corrente do sistema de controle proposto na Fig. 3-13.

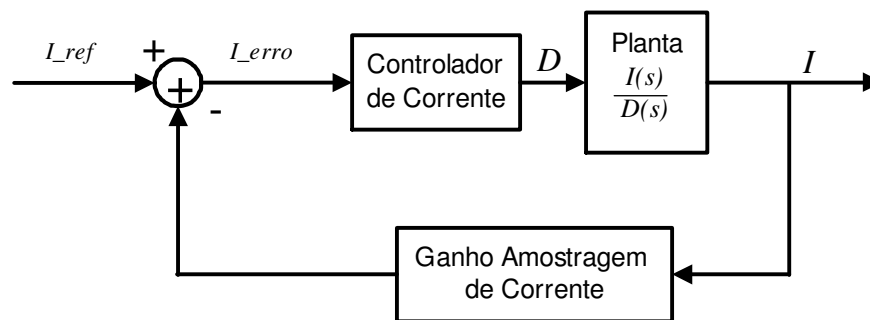


Fig. 3-13 – Diagrama de blocos da malha de corrente.

Sabe-se que a função de transferência da corrente de fase em função da respectiva razão cíclica é dada por:

$$C(s) = \frac{I(s)}{D(s)} = \frac{2 \cdot V_o}{3 \cdot s \cdot L} \quad (\text{Eq.3.49})$$

O controlador adotado para a malha de corrente é do tipo proporcional-integral e tem sua função de transferência dada pela (Eq.3.50).

$$C_i(s) = K_p + \frac{K_i}{s} \quad (\text{Eq.3.50})$$

Sugere-se então a utilização do controlador mostrado na Fig. 3-14:

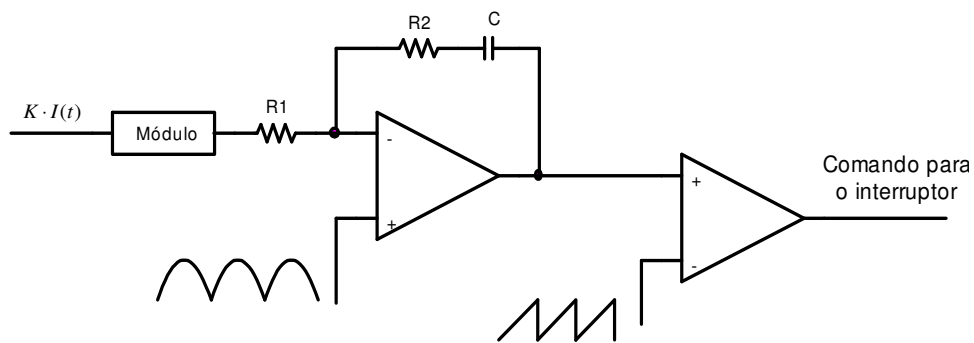


Fig. 3-14 – Circuito proposto para o controlador de corrente.

Cuja função de transferência é dada por:

$$C_i(s) = \frac{R_2}{R_1} + \frac{1}{s \cdot C \cdot R_1} \quad (\text{Eq.3.51})$$

Onde:

$$K_p = \frac{R_2}{R_1} \quad (\text{Eq.3.52})$$

$$K_i = \frac{1}{C \cdot R_1}$$

Assim, como exemplo de projeto, consideraremos os seguintes dados gerais:

$R_o = 15\Omega$	Resistência de saída
$V_o = 125V$	Tensão de saída
$V_p = 50V$	Tensão de pico de fase

$f_s = 50kHz$	Frequência de Chaveamento
$f_r = 60Hz$	Frequência da rede
$C_o = 1,5mF$	Capacitor de saída
$L = 400\mu H$	Indutor de entrada
$K_{shunt} = 0,016$	Ganho de amostragem de corrente
$K_{amost} = 0,00179$	Ganho de amostragem de tensão
V_T	Tensão de pico da “Dente de serra”
$\eta = 1$	Rendimento da estrutura
$P_o = 1,042kW$	Potência de Saída

Então, a partir da função de transferência da planta apresentada na (Eq.3.49) e do seu gráfico apresentado na Fig. 3-15 determina-se a frequência de cruzamento do sistema como sendo um quarto da frequência de chaveamento. Essa escolha é uma adaptação da *lei de Shannon e Nyquist*, que determina a máxima frequência de cruzamento como sendo a metade da frequência de chaveamento.

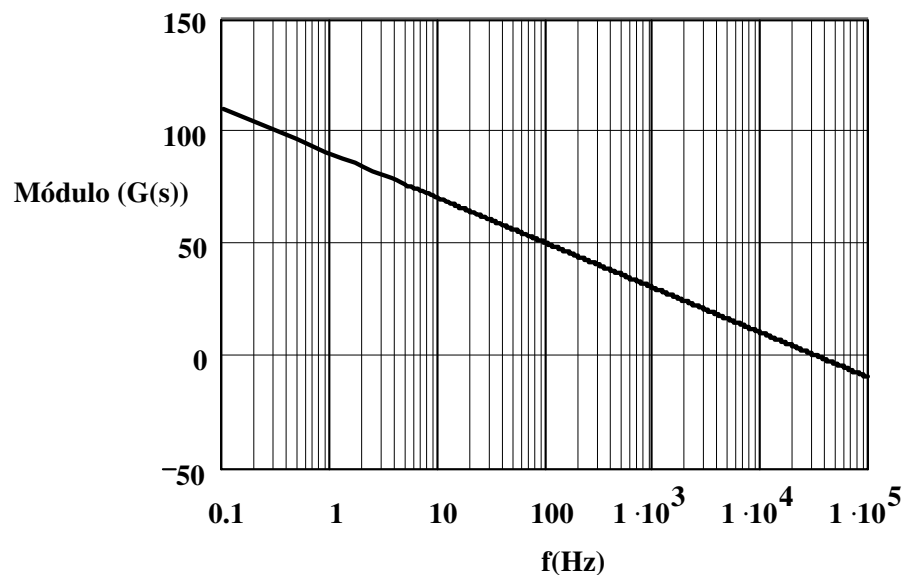


Fig. 3-15 – Diagrama, em dB, da planta $I(s)/D(s)$, sem controlador.

Escolhe-se, no entanto, a frequência de cruzamento como sendo um quarto da frequência de chaveamento para garantir uma margem de segurança maior. Lembrando que se deseja a máxima frequência de cruzamento possível de modo a garantir uma melhor resposta dinâmica do sistema.

Desta forma, posiciona-se ainda a frequência do zero uma década abaixo da frequência de cruzamento, de maneira a garantir uma boa margem de fase.

Ao observarmos a (Eq.3.51) percebemos que a mesma possui um zero em:

$$\omega_z = \frac{1}{R_2 \cdot C} \quad (\text{Eq.3.53})$$

A partir dos comentários anteriores, tem-se então que:

$$f_c = \frac{f_s}{4}; \quad f_z = \frac{f_s}{40} \quad (\text{Eq.3.54})$$

Onde f_c é a frequência de corte, f_s é a frequência de chaveamento e f_z é a frequência do zero. Assim, para o dimensionamento dos componentes do controlador recomenda-se a seguinte seqüência de passos:

1. **Escolhe-se C** : No caso optou-se por um capacitor de $1nF$.
2. **Determina-se R_2** : Pela (Eq.3.53), temos que:

$$\omega_z = \frac{1}{R_2 \cdot C} = 2 \cdot \pi \cdot \frac{f_s}{40} \rightarrow R_2 = \frac{20}{\pi \cdot f_s \cdot C} \rightarrow R_2 = 127k\Omega \quad (\text{Eq.3.55})$$

3. **Determina-se R_1** : Sabendo que o módulo da função de transferência em laço aberto deve ter módulo *um* na frequência de cruzamento (f_c), podemos escrever:

$$\left| \left(\frac{K_{shunt}}{V_T} \cdot \frac{j \cdot \omega_c \cdot C \cdot R_2 + 1}{j \cdot \omega_c \cdot C \cdot R_1} \right) \cdot \left(\frac{2 \cdot V_o}{3 \cdot L \cdot j \cdot \omega_c} \right) \right| = 1 \quad (\text{Eq.3.56})$$

$$R_1 = 5,41k\Omega \quad (\text{Eq.3.57})$$

Com isso para verificar a validade do estudo, apresentamos na Fig. 3-16 o gráfico do módulo da função de transferência em laço aberto e na Fig. 3-17 o gráfico da fase do sistema.

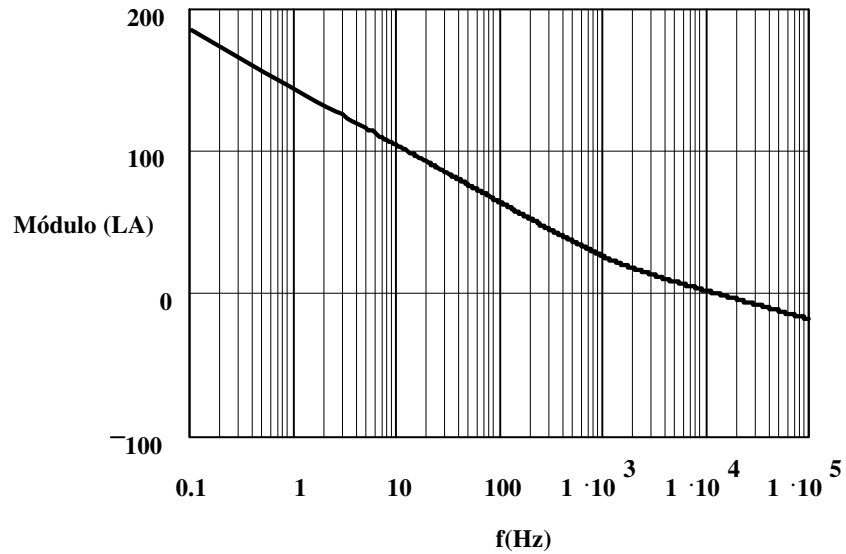


Fig. 3-16 – Diagrama em dB, da função de transferência em laço aberto.

Pela Fig. 3-16 verificamos que a frequência de cruzamento do sistema se encontra em $12,5\text{kHz}$, o que evidencia a validade dos procedimentos de cálculo adotados.

E pela Fig. 3-17 verificamos que a margem de fase do sistema está em torno de 85° , o que garante uma boa estabilidade ao sistema.

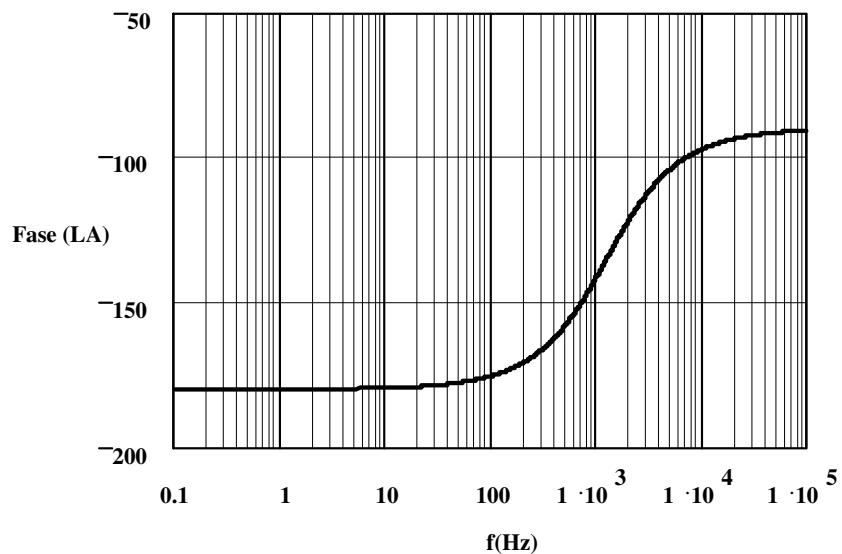


Fig. 3-17 – Diagrama de fase da função de transferência em laço aberto.

3.5.3. Projeto do controlador de tensão

A partir do diagrama de blocos equivalente apresentado na Fig. 3-12, supõe-se que a malha de tensão seja muito mais lenta que a malha de corrente, de forma a podermos representar toda a malha de corrente por um ganho equivalente, assim a malha de tensão resume-se à:

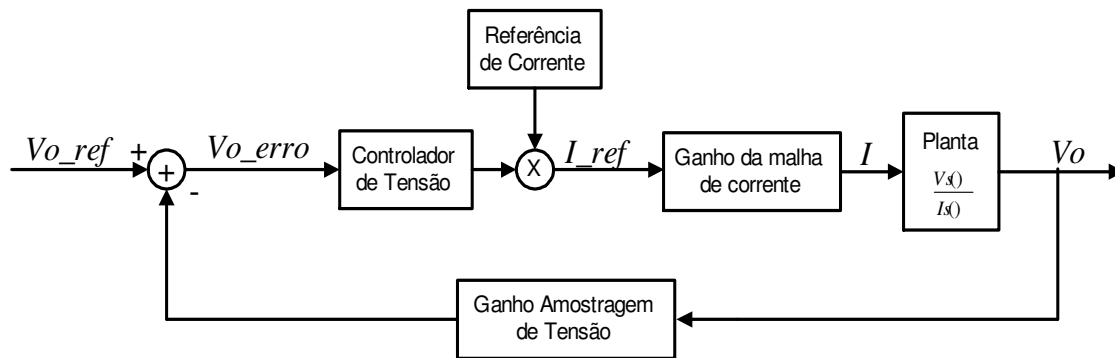


Fig. 3-18 – Diagrama de blocos da malha de tensão.

Desta forma, analisando-se a malha de corrente, supondo que a malha de tensão seja muito mais lenta que esta, pode-se supor que a frequência tenda à zero, de forma que o ganho da malha de corrente resume-se à:

$$G_{MC} = \lim_{s \rightarrow 0} \left| \frac{\frac{2 \cdot V_o}{3 \cdot s \cdot L} \cdot \left(\frac{s \cdot C \cdot R_2 + 1}{s \cdot C \cdot R_1} \right) \cdot \frac{1}{V_T}}{K_{shunt} \cdot \frac{2 \cdot V_o}{3 \cdot s \cdot L} \cdot \left(\frac{s \cdot C \cdot R_2 + 1}{s \cdot C \cdot R_1} \right) \cdot \frac{1}{V_T} + 1} \right| = \frac{1}{K_{shunt}} \quad (\text{Eq.3.58})$$

Onde G_{MC} é o ganho da malha de corrente em baixas frequências.

Sabe-se ainda da (Eq.3.48), que a função de transferência $V(s)/I(s)$ da planta é dada por:

$$G(s) = \frac{V(s)}{I(s)} = \frac{\frac{2 \cdot V_o^3}{3 \cdot V_p \cdot P_o}}{1 + s \cdot \frac{V_o^2 \cdot C_o}{P_o}} \quad (\text{Eq.3.59})$$

Na Fig. 3-20 temos o gráfico do ganho em dB da planta de tensão em função da frequência.

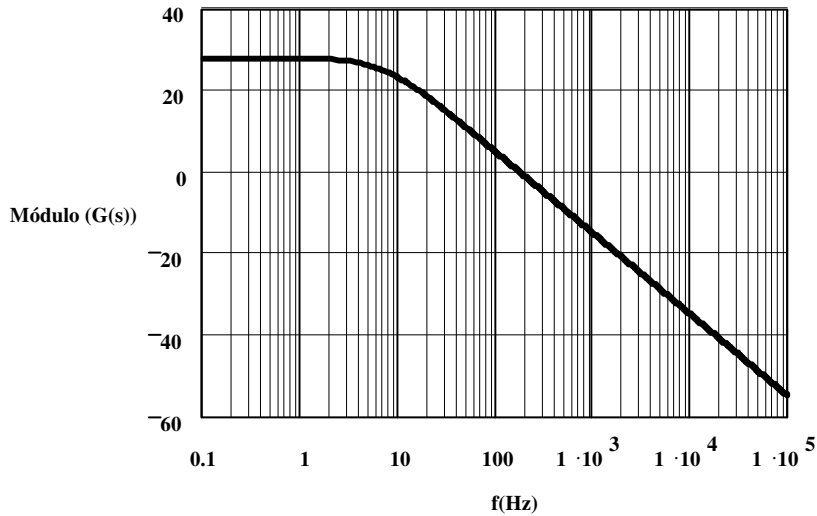


Fig. 3-19 – Diagrama, em dB, da planta $V(s)/I(s)$, sem controlador.

Assim, de forma a ter-se erro nulo, sugere-se a utilização de um controlador P.I, o qual é apresentado na Fig. 3-20.

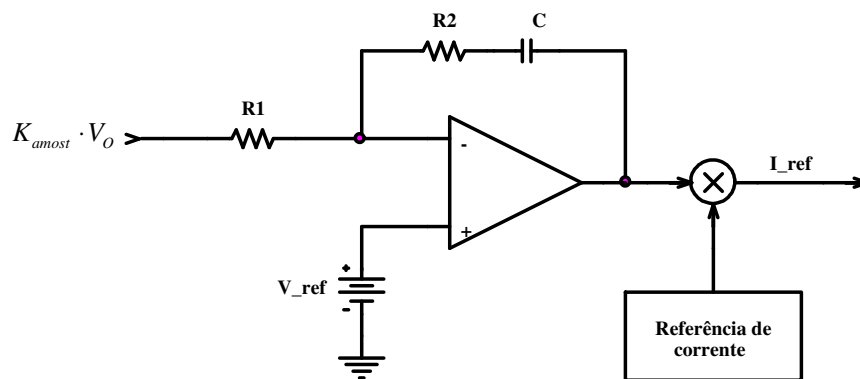


Fig. 3-20 – Circuito proposto para o controlador de tensão.

A função de transferência do controlador apresentado na Fig. 3-20 é dada por:

$$C_V(s) = K_p + \frac{K_i}{s} = \frac{s \cdot C \cdot R_2 + 1}{s \cdot C \cdot R_1} \quad (\text{Eq.3.60})$$

Escolhe-se então a frequência de cruzamento da função de transferência de laço aberto como sendo um quarto da frequência da rede, já o zero é posicionado uma década abaixo da frequência de cruzamento, de modo a garantir a margem de fase. Seja f_r a frequência da rede, sugere-se então a seguinte metodologia de projeto para dimensionar os componentes do controlador de tensão:

$$f_c = \frac{f_r}{4}; f_z = \frac{f_r}{40} \quad (\text{Eq.3.61})$$

Então:

1. **Escolhe-se C** : No caso optou-se por um capacitor de $1\mu F$.
2. **Determina-se R_2** : Sabe-se que:

$$\omega_z = \frac{1}{R_2 \cdot C} = 2 \cdot \pi \cdot \frac{f_r}{40} \rightarrow R_2 = \frac{20}{\pi \cdot f_r \cdot C} \rightarrow R_2 = 106k\Omega \quad (\text{Eq.3.62})$$

3. **Determina-se R_1 por:**

$$\left| \left(\frac{K_{\text{amost}}}{K_{\text{shunt}}} \cdot \frac{j \cdot \omega_c \cdot C \cdot R_2 + 1}{j \cdot \omega_c \cdot C \cdot R_1} \right) \cdot \left(\frac{\frac{2 \cdot V_o^3}{3 \cdot V_p \cdot P_o}}{1 + j \cdot \omega_c \cdot \frac{V_o^2 \cdot C_o}{P_o}} \right) \right| = 1 \quad (\text{Eq.3.63})$$

$$R_1 = 127k\Omega \quad (\text{Eq.3.64})$$

Com isso para verificar a validade do estudo, apresentamos na Fig. 3-21 o gráfico do módulo da função de transferência em laço aberto e na Fig. 3-22 mostramos a sua respectiva fase.

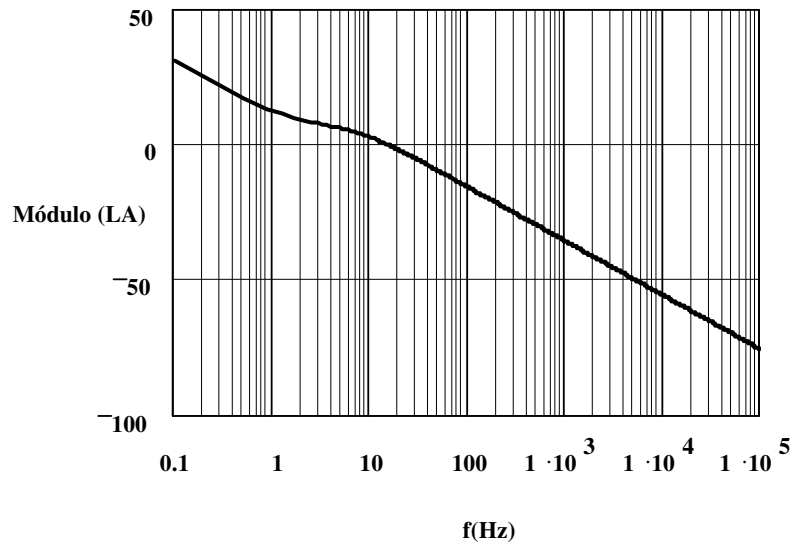


Fig. 3-21 - Diagrama em dB, da função de transferência em laço aberto.

Pela Fig. 3-21 verificamos que a frequência de cruzamento do sistema se encontra em 15Hz , o que evidencia a validade dos procedimentos de cálculo adotados.

E pela Fig. 3-22 verifica-se que a margem de fase do sistema encontra-se em torno de 110° , o que garante ótima margem de fase ao sistema.

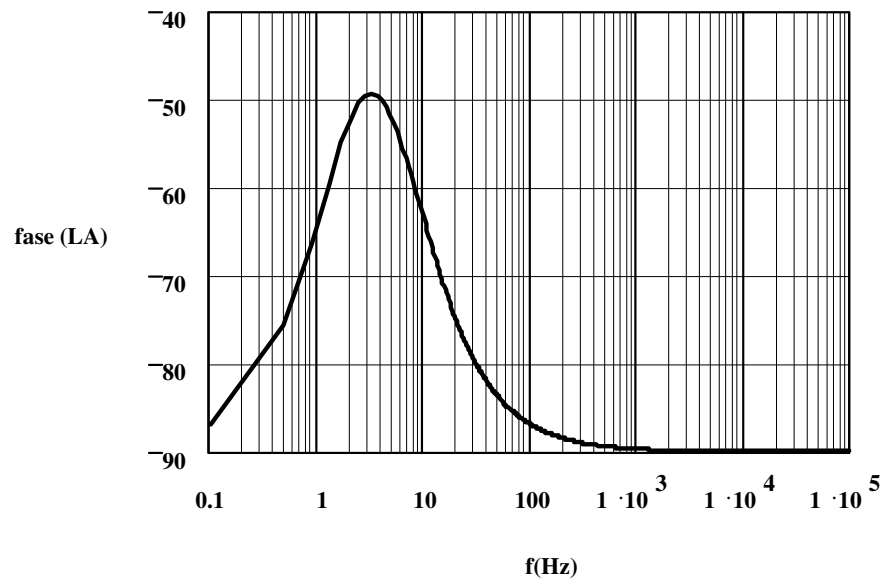


Fig. 3-22 - Diagrama de fase da função de transferência em laço aberto.

3.6. Resultados de simulação

A partir do projeto apresentado no item anterior foram efetuadas simulações utilizando-se o software *Orcad*, de forma a evidenciar a validade da metodologia de projeto dos controladores. Lembra-se, porém, que muito dos componentes utilizados nessa simulação são idealizados. Foram utilizados interruptores e indutores ideais para efetuar as simulações, o que no entanto não acarreta diferenças significativas entre os resultados de simulação e os experimentais, dando uma boa idéia do funcionamento do circuito. A implementação dos *PI's* foi efetuada usando-se somadores, multiplicadores, ganhos e integradores. O circuito simulado no software *Orcad* é mostrado na Fig. 3-23.

Na Fig. 3-24 são apresentadas as correntes de entrada $I_1(t)$, $I_2(t)$ e $I_3(t)$, onde podemos verificar o formato senoidal, excetuando-se as harmônicas, que são de valores muito reduzidos. Podemos verificar também o bom equilíbrio entre as correntes de fase.

A tensão de saída (dividida por cinco) também se encontra representada na Fig. 3-24.

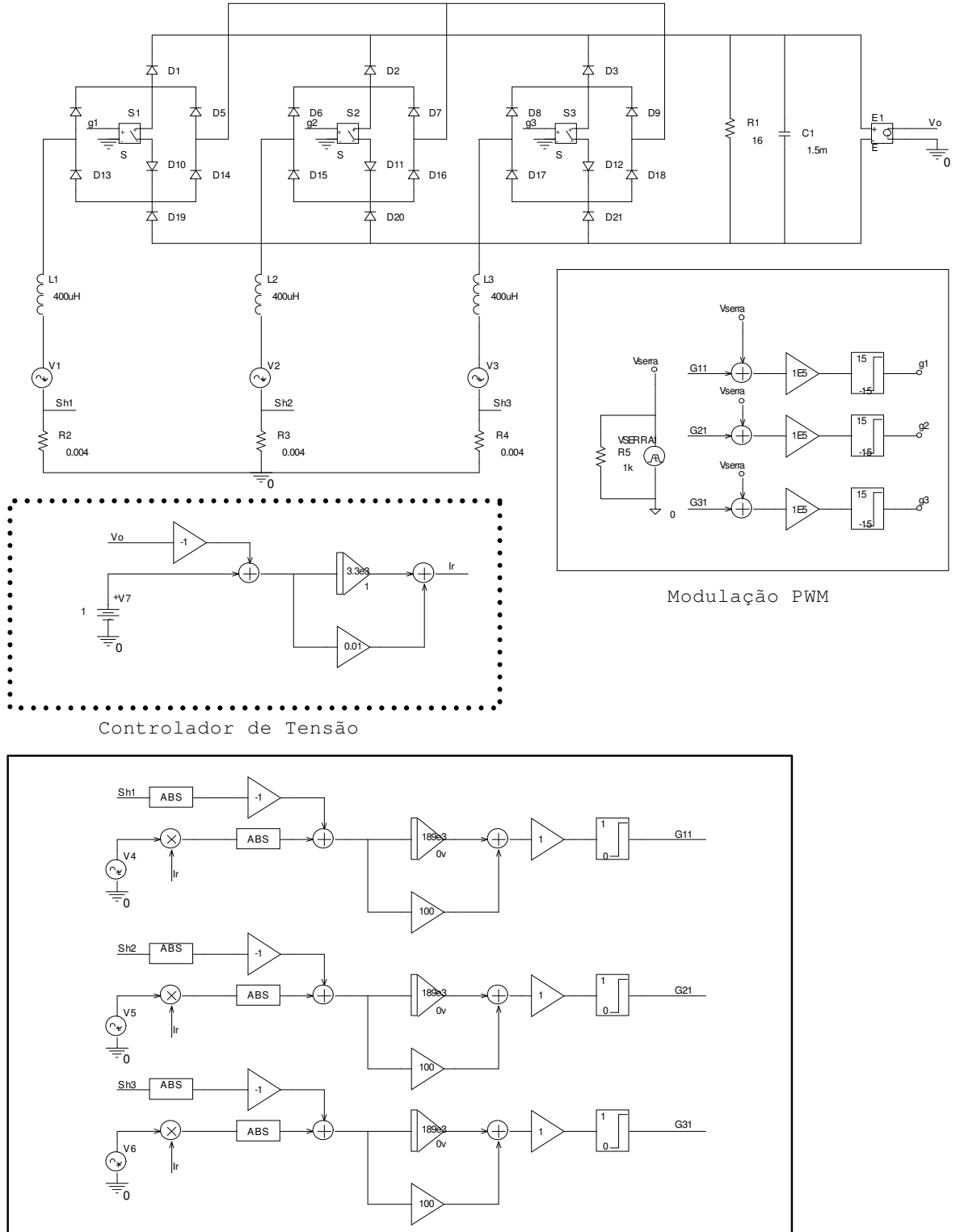


Fig. 3-23- Circuito simulado no software Orcad.

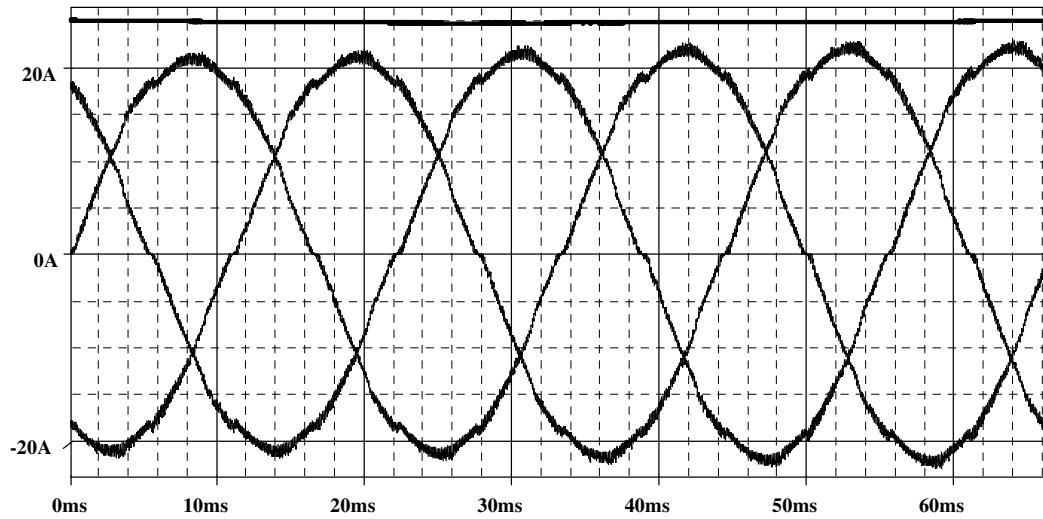


Fig. 3-24 – Correntes de entrada e tensão de saída dividida por cinco.

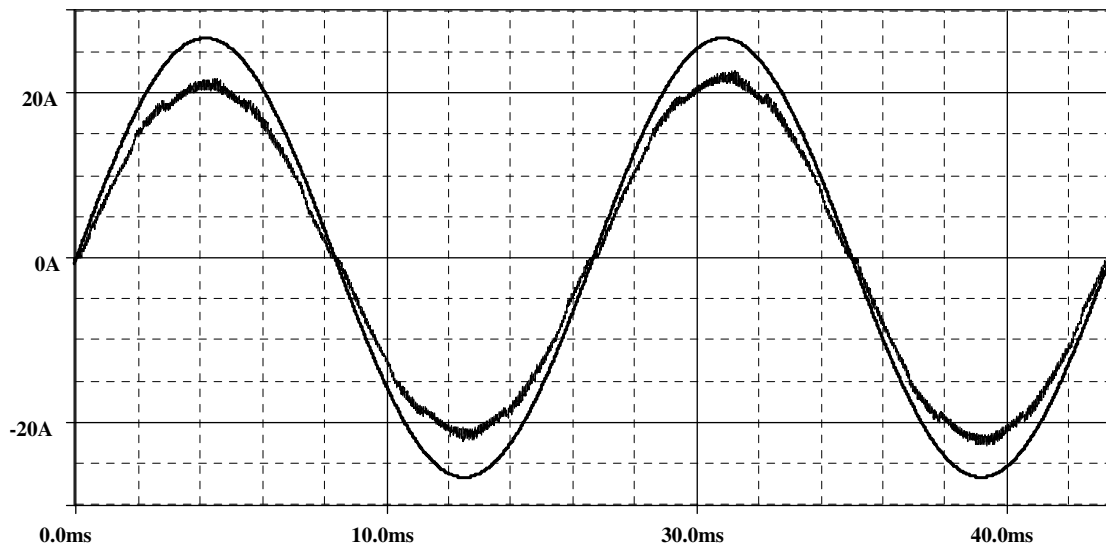


Fig. 3-25 – Tensão (dividida por 1.5) e corrente na fase 1.

Na Fig. 3-25 são mostradas a corrente e a tensão (dividida por 1.5) na fase 1. Pode-se observar que o defasamento é nulo e a corrente é uma imagem da tensão.

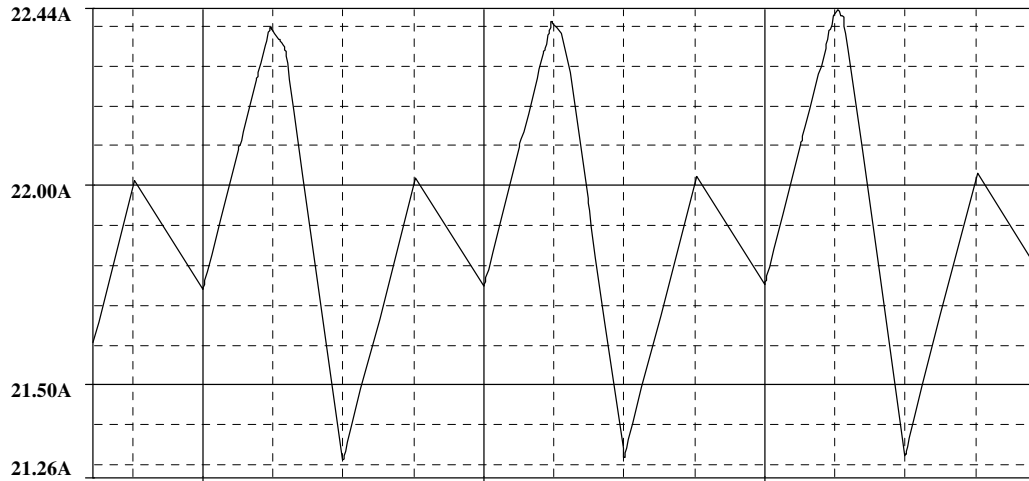


Fig. 3-26 – Detalhe do pico da corrente I_I .

Na Fig. 3-26 tem-se em detalhe o pico da corrente sobre o indutor L_I , observa-se a ondulação de $1,1A$ que corresponde a cerca de 10% da corrente de pico

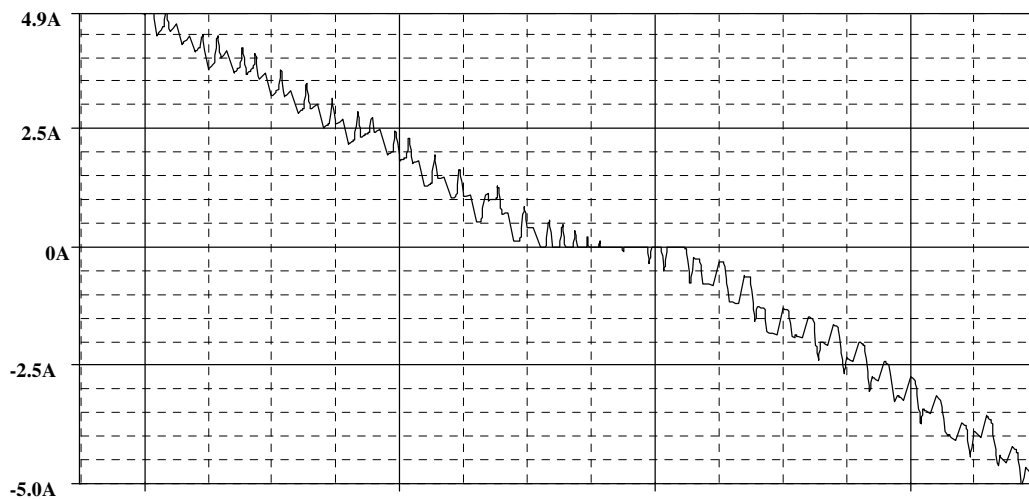


Fig. 3-27 – Detalhe da passagem por zero da corrente $I_I(t)$.

Na Fig. 3-27 vemos o detalhe da passagem por zero da corrente $I_I(t)$, podemos perceber uma distorção pequena da corrente na passagem por zero, o que não altera significativamente o funcionamento da estrutura, que apresenta um fator de potência bastante elevado.

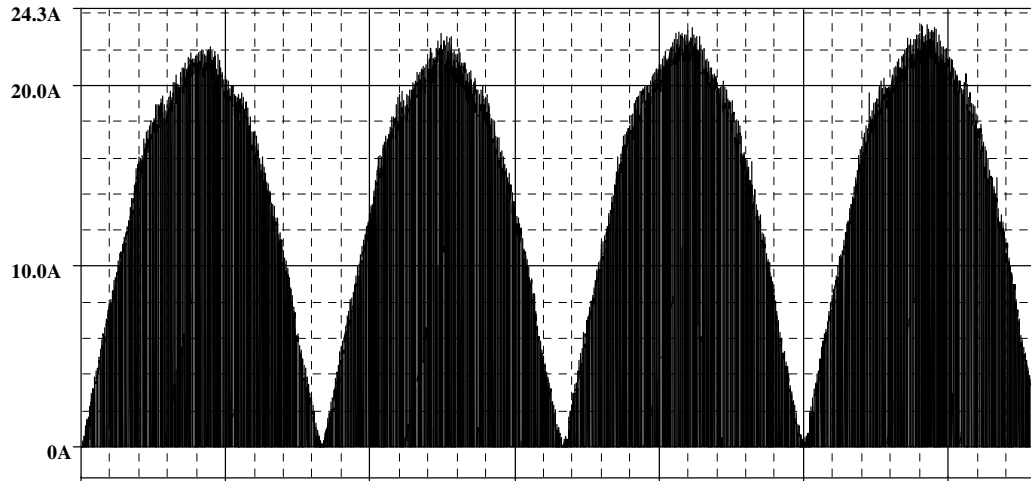


Fig. 3-28 – Corrente sobre a chave S_I .

A forma de onda de corrente sobre a chave S_I é apresentada na Fig. 3-28, as correntes sobre os interruptores S_2 e S_3 são equivalentes e por isso não serão mostradas.

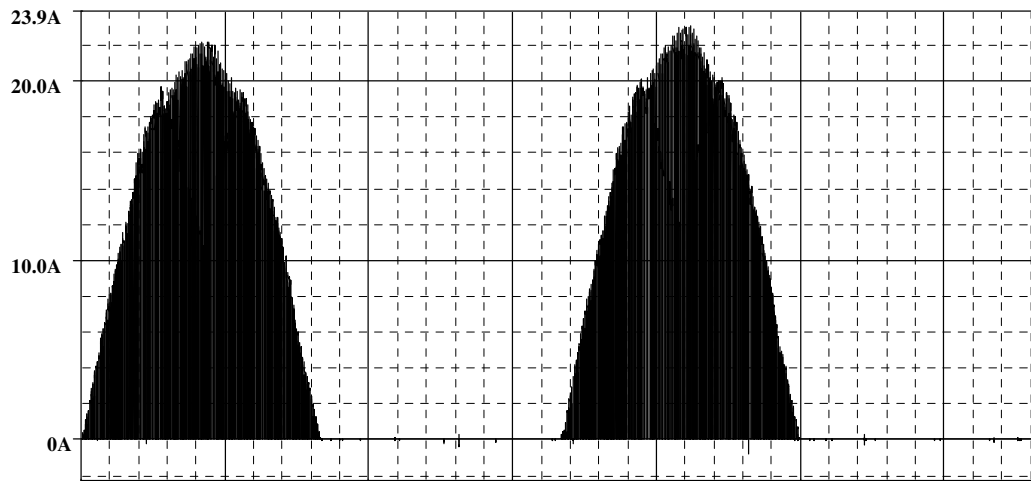


Fig. 3-29 – Corrente sobre o diodo D_{11} .

É apresentada na Fig. 3-29 a corrente que circula sobre o diodo D_{11} .

3.7. Conclusão

Neste capítulo foi apresentado o equacionamento e obtenção das funções de transferência do conversor trifásico CA-CC unidirecional proposto. Na seqüência deu-se

um exemplo de projeto e após isso efetuou-se a simulação do conversor utilizando-se o software *Orcad*.

Observou-se que os resultados obtidos foram bastante positivos: baixa distorção harmônica das correntes de entrada, controle da tensão de saída, alto rendimento e simplicidade do circuito de potência e controle.

Ou seja, pode-se concluir que a topologia é altamente confiável e recomendável para aplicações em conversores CA-CC trifásicos sem neutro, onde se necessita de alto fator de potência de entrada e tensão de saída regulada. Assim, como exemplo de aplicação para esse conversor, onde as normas são bastante rígidas podemos citar as fontes para telecomunicações.

4. PROJETO DO CONTROLADOR DIGITAL PARA O CONVERSOR CA-CC TRIFÁSICO PROPOSTO.

4.1. Introdução

Neste capítulo apresentam-se algumas características relevantes ao uso de controladores digitais a conversores estáticos.

O que se faz, neste trabalho, é reunir e reaplicar as conclusões obtidas de um compêndio de proposições encontradas em diversas publicações, tais como [1] a [8].

Primeiramente serão apresentados alguns conceitos pertinentes ao controle digital, as regras que regem o controle digital serão semelhantes as que são usadas no projeto de compensador analógico.

No decorrer do capítulo serão também mostrados os circuitos de interface entre o circuito de potência e o processador digital de sinais (*DSP*), visando uma melhor compreensão do funcionamento do controle.

No fim do capítulo será apresentado, como exemplo, o projeto dos controladores digitais para o conversor em estudo, bem como simulações de modo a evidenciar a validade dos cálculos efetuados.

É importante lembrar que apesar do tratamento matemático dado ao controle ser diferente, a filosofia aplicada é a mesma.

4.2. Descrição do método de controle utilizado

A Fig. 4-1 mostra o diagrama de blocos funcional do método de controle por valores médios de corrente (utilizando o *CI* controlador UC3854 da Unitrode [5]) no conversor CA-CC trifásico unidirecional objeto de nosso estudo. Esta é apenas uma representação, visando esclarecer alguns pontos sobre o controle digital, uma visão mais completa pode ser obtida, em notas de aplicação, dadas pelo fabricante.

Nota-se, a partir da Fig. 4-1 a existência de três malhas de corrente e uma de tensão. O laço de corrente é programado para seguir a referência das tensões de entrada retificadas. Esta referência tem sua amplitude modulada por dois sinais, sendo um proveniente do compensador de tensão e outro proveniente da malha de controle que detecta o valor eficaz das correntes. A tensão de saída é controlada alterando-se o valor da amplitude das correntes de entrada. Um multiplicador analógico cria a corrente de

referência multiplicando a tensão de referência retificada pela ação de controle do controlador de tensão e dividindo pelo valor eficaz das respectivas tensões de entrada. Deste modo a corrente de entrada é programada a seguir o formato da tensão de entrada, e uma amplitude que controla a tensão média de saída.

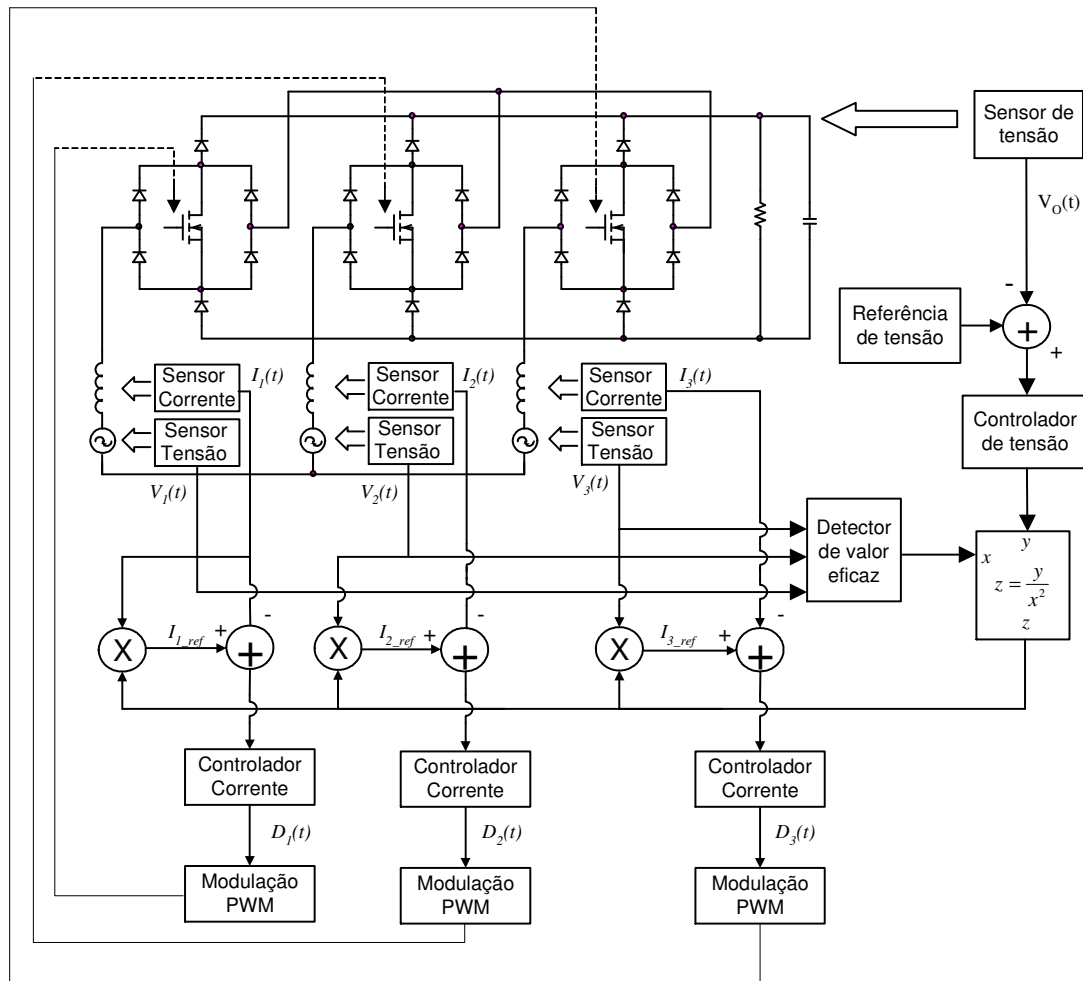


Fig. 4-1 - Arquitetura proposta para o sistema de controle do conversor em análise

O fator de divisão (x^2) existe para impedir as variações de tensão de carga existentes devido a distúrbios existentes nas tensões de entrada (ação *feedforward*). Seu valor é elevado ao quadrado de forma a tornar a referência inversamente proporcional à tensão de entrada.

A partir do esquema mostrado na Fig. 4-1 concebeu-se a forma de como controlar o conversor digitalmente. Devido às facilidades que o sistema de controle digital

proporciona, fez-se algumas modificações nesse sistema. As respectivas alterações são apresentadas na Fig. 4-2.

A primeira das alterações está relacionada com a referência da forma de onda da corrente de entrada. Diferentemente do controlador contínuo, optou-se por impor a referência de corrente através de uma tabela interna ao DSP, de modo a se ter uma referência que é independente da tensão de entrada e que segue rigidamente o formato de uma senóide (existe uma pequena distorção, porém ínfima, devido à natureza desta senóide, pois ela é discreta).

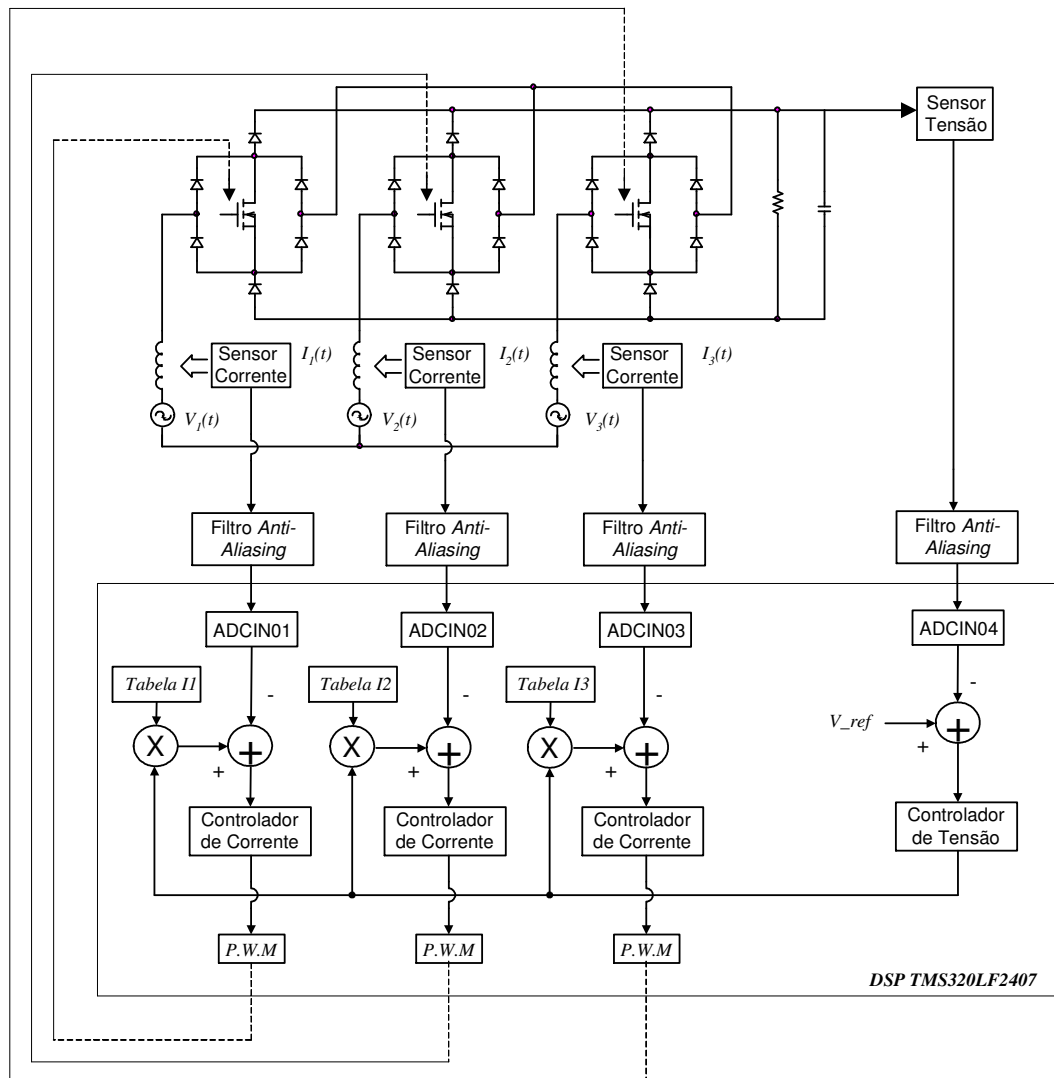


Fig. 4-2 – Diagrama de blocos funcional do controle implementado com controlador DSP

No controlador convencional utiliza-se a forma de onda da tensão da rede, que pode apresentar uma distorção em seu formato que se estenderá à corrente de entrada do conversor.

De uma maneira geral, observando a Fig. 4-2, percebemos que o DSP será responsável pela execução das seguintes tarefas:

- Monitoração das correntes de entrada e da tensão de saída;
- Cálculo dos sinais de erro (de tensão e de corrente);
- Determinação das correntes de referência;
- Cálculo dos controladores de tensão e de corrente;
- Geração dos sinais de comando para os interruptores.

Os blocos apresentados na Fig. 4-2 têm tarefas específicas dentro da estratégia de controle empregada, entre elas, as principais tarefas são apresentadas a seguir:

- Moduladores *PWM*: Este periférico é encarregado da geração dos pulsos *PWM* responsável pelos comandos dos interruptores. Estes são gerados a partir da comparação do sinal de saída do controlador de corrente digital com um sinal triangular gerado internamente ao *DSP*.
- *ADCIN01, ADCIN02, ADCIN03, ADCIN04*: Estes blocos representam as entradas analógicas do conversor *A/D* do *DSP*. Sua função é converter a tensão aplicada na entrada do conversor *A/D* em uma grandeza digital, que será expressa em valores numéricos adequados para serem interpretados de forma apropriada pelo *DSP*.
- Filtros *anti-aliasing*: Responsáveis pela limitação da *banda passante* dos sinais amostrados, de forma a evitar o efeito de *superposição de espectros* que causaria confusão ao sistema de controle.

4.3. Noções de controle digital

Para ilustrar a idéia básica de um sistema de controle discreto, considere o sistema de controle digital mostrado na Fig. 4-3. O processador digital desempenha a função de compensação dentro do sistema. A interface de entrada do processador é o conversor analógico-digital (*A/D*) e ele é necessário para converter os sinais analógicos em

sinais discretos. Na saída do processador um conversor digital-analógico (*D/A*) é requerido para converter os sinais binários (do processador) em uma forma adequada para o comando da planta.

Considere o exemplo a seguir de acordo com a Fig. 4-3. Suponha que o conversor *A/D*, o processador digital e o conversor *D/A* substituam um compensador proporcional-integral (*PI*) analógico (ou contínuo) de maneira que a resposta do sistema de controle digital tenha essencialmente as mesmas características do sistema analógico.

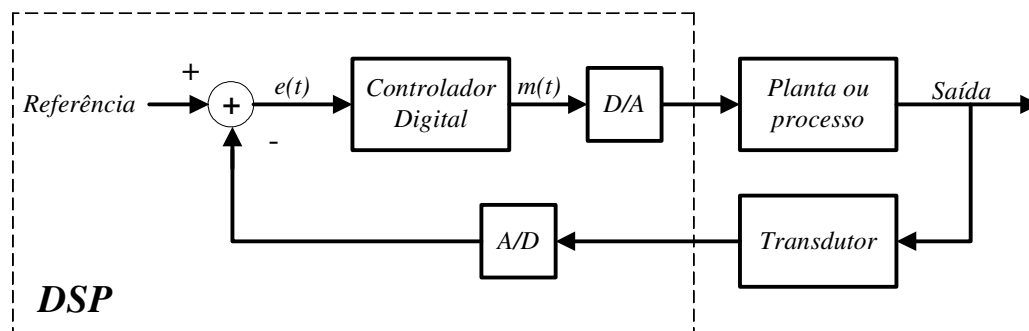


Fig. 4-3 – Diagrama em blocos de um sistema de controle discreto

O controlador analógico tem uma saída dada por:

$$m(t) = K_p \cdot e(t) + K_i \cdot \int_0^t e(\tau) d\tau \quad (\text{Eq.4.1})$$

Onde $e(t)$ e $m(t)$ são, respectivamente, o sinal de entrada e o de saída do controlador K_p e K_i são constantes determinadas a partir do cálculo do compensador. Neste exemplo, temos a integração realizada numericamente pela regra retangular, assim como mostrado na Fig. 4-4. A área sob a curva da figura dada é aproximada pela soma das áreas retangulares. Então, tomando-se $x(t)$, a integral numérica de $e(t)$ se escreverá como mostrado na (Eq.4.2).

$$x(kT) = x[(k-1)T] + T \cdot e(kT) \quad (\text{Eq.4.2})$$

Onde T é o passo de cálculo do algoritmo numérico, em segundos. Então a (Eq.4.1) torna-se, para o compensador digital, a expressão mostrada na (Eq.4.3).

$$m(kT) = K_p \cdot e(kT) + K_i \cdot x(kT) \quad (\text{Eq.4.3})$$

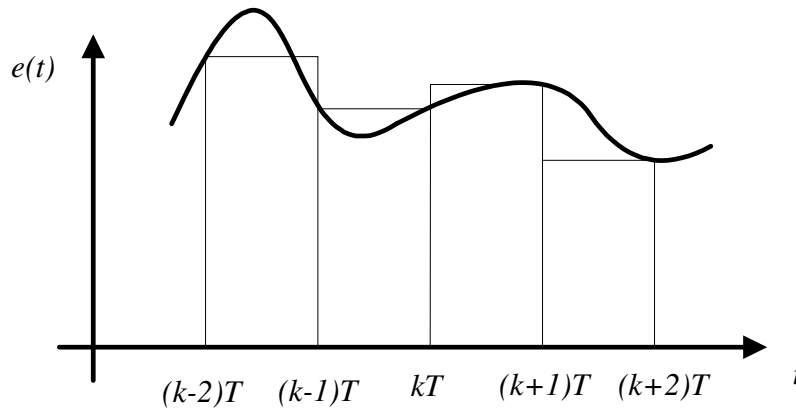


Fig. 4-4 – Exemplo de integração numérica

A (Eq.4.3) é uma equação de diferenças linear de primeira ordem. A forma geral de uma equação de diferenças linear invariante de primeira ordem é dada pela (Eq.4.4) – (T foi omitido por conveniência).

$$x(k) = b_1 \cdot e(k) + b_0 \cdot e(k-1) - a_0 \cdot x(k-1) \quad (\text{Eq.4.4})$$

Esta equação *recursiva* é chamada de primeira ordem porque somente sinais do último instante de amostragem aparecem explicitamente na equação. A forma geral de uma equação de diferenças linear de *enésima* ordem é dada por:

$$x(k) = b_n \cdot e(k) + b_{n-1} \cdot e(k-1) + \dots + b_0 \cdot e(k-n) - a_{n-1} \cdot x(k-1) - \dots - a_0 \cdot x(k-n) \quad (\text{Eq.4.5})$$

Desde que o processador digital possa ser programado para multiplicar e somar, ele pode integrar numericamente, a equação *recursiva* do controlador pode ser efetuada utilizando-se um processador digital.

Então o processador digital mostrado na Fig. 4-3 pode ser programado para resolver a equação de diferenças no formato mostrado pela (Eq.4.5) e o projeto do sistema de controle digital terá seu foco na determinação de:

1. Período de amostragem: T ;
2. Determinação da ordem da equação de diferenças: n ;
3. Determinação dos coeficientes a_i e b_i do filtro, de maneira que o sistema de controle alcance as características desejadas. É possível, ainda, demonstrar que se a planta também é linear e invariante no

tempo, o sistema inteiro pode ser modelado por uma equação a diferenças, como a mostrada na (Eq.4.5).

Basicamente, há duas maneiras de se projetar um controlador digital. A primeira delas é por aproximação, que consiste no projeto do compensador no domínio de s , após a sua conclusão, utilizar algum método de discretização por aproximação [9] (método de Tustin ou transformação bilinear, método da transformação casada, método da transformação casada modificada e método da transformação bilinear com distorção em frequência) para se obter a função de transferência no domínio de z .

O outro método é analítico, baseado nas ferramentas de projeto do domínio de s aplicadas na função de transferência discretizada [9]. Esse método tende a ser mais preciso que os métodos por aproximação.

4.3.1. Mapeamento do plano s no plano z

No projeto de sistema de controle contínuo a localização dos pólos e zeros no plano s é importante para se prever o comportamento dinâmico desses sistemas. De forma semelhante, no projeto de sistemas de controle discretos a localização dos pólos e zeros no plano z é, igualmente importante.

Quando um sistema de amostragem é incorporado ao processo, as variáveis complexas z e s são relacionadas pela seguinte expressão, obtida em [10]:

$$z = e^{sT} \quad (\text{Eq.4.6})$$

Isto significa que um pólo no plano s pode ser posicionado no plano z através da transformação dada em (Eq.4.6).

4.3.2. Projeto usando a transformada bilinear

Considerando que os métodos de projeto de controladores discretos envolvem expressões matemáticas relativamente complexas, usar os métodos de resposta em frequência, onde o ganho e a fase do sistema serão determinados em função da frequência, permite adquirir experiência no projeto de controladores digitais de um modo mais simples.

O projeto de Bode desenvolvido no plano z , entretanto, torna-se complicado porque as funções de z são tipicamente não racionais, onde a frequência aparece da forma $z = e^{j\omega T}$. A solução é transformar o plano z em um plano w , onde o projeto discreto possa

ser realizado usando-se as mesmas técnicas dos diagramas de Bode que são usadas no plano s em sistemas contínuos.

Desta forma é feito um “remapeamento” da variável complexa em um novo plano, por meio da transformada bilinear ou *transformada w* , apresentada pela (Eq.4.7).

$$z = \frac{1 + \left(\frac{T}{2}\right) \cdot w}{1 - \left(\frac{T}{2}\right) \cdot w} \quad (\text{Eq.4.7})$$

Sendo que T , é o período de amostragem do sistema. Convertendo uma função de transferência no plano z em uma função racional de w , os métodos de resposta em frequência podem ser estendidos para sistemas de controle de tempo discreto.

$$w = \frac{2}{T} \cdot \frac{z-1}{z+1} \quad (\text{Eq.4.8})$$

Através das transformações z e w , a banda primária do semiplano esquerdo do plano s é primeiro mapeada dentro do círculo unitário no plano z e então mapeada em todo o semiplano esquerdo do plano w . O plano w é similar ao plano s , exceto pelo fato de que o plano w é definido para sistemas discretos. O processo de transformação do plano z para o plano w é mostrado na Fig. 4-5.

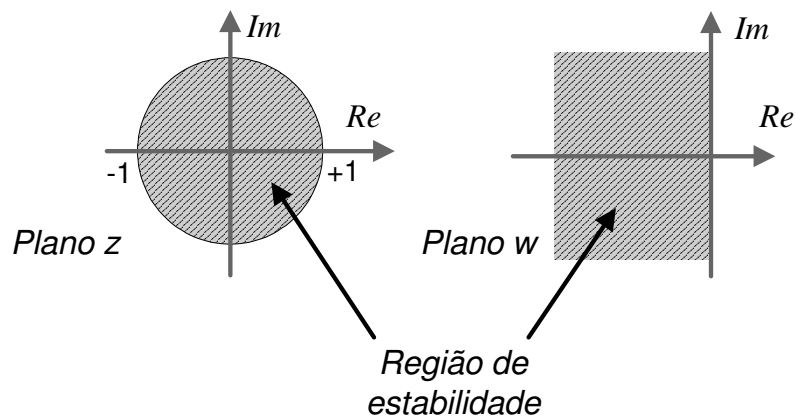


Fig. 4-5 – Transformação do plano z no plano w

Substituindo w por jv , as técnicas de resposta em frequência podem ser usadas para traçar o diagrama de Bode para a função de transferência em w . Embora o plano w

reconstrua o plano s geometricamente, o eixo de frequência no plano w é distorcido. A frequência fictícia w e a frequência real ω são relacionadas como segue:

$$w = \frac{2}{T_s} j \tan \frac{\omega \cdot T_s}{2} \rightarrow v = \frac{2}{T_s} \tan \frac{\omega \cdot T_s}{2} \quad (\text{Eq.4.9})$$

4.3.3. Projeto pelo lugar das raízes no domínio z

O projeto pelo LR no domínio z é feito com a planta do controlador e o controlador diretamente no domínio z , sendo que a desvantagem desse método é que ao trabalhar diretamente no domínio z torna-se complexo traçar o LR da função de transferência de interesse. Por esse motivo, essa técnica de projeto deve ser realizada com o auxílio de uma ferramenta matemática como, por exemplo, o programa *MATLAB*.

No projeto pelo LR (lugar das raízes) pode-se proceder da seguinte maneira:

1. Determina-se um modelo para a planta e obtém-se a função de transferência em s do conversor;
2. Obtém-se a transformada z da função de transferência do conversor em s ;
3. Determina-se o tipo de compensador a ser utilizado;
4. Obtém-se a transformada z da função de transferência do compensador escolhido;
5. São estabelecidos os critérios de posicionamento de pólos e de zeros do compensador. A frequência de cruzamento e a margem de fase também são determinadas;
6. Avalia-se o compensador calculado através de ensaios como, por exemplo, resposta ao degrau;
7. Parâmetros como pólos, zeros e ganho estático são reajustados caso necessário.

A desvantagem deste método, no entanto, é que ao se trabalhar no domínio z perde-se a simplicidade oferecida pelos diagramas de Bode, pois a frequência aparece como um termo exponencial (Eq.4.6). Para contornar essa situação é feito um remapeamento da variável complexa em um novo plano.

4.4. Circuitos auxiliares e de Interface

4.4.1. Projeto dos filtros de anti-aliasing

Aliasing, como explicado no item 2.2.3 é um fenômeno que ocorre em sistemas amostrados e que pode ser entendido como sendo quando um sinal de alta frequência (uma frequência superior a metade da frequência de amostragem) assume a identidade de um sinal com frequência inferior (abaixo da metade da frequência de amostragem) – isso ocorre porque não existe uma quantidade de amostras suficientes para caracterizar o sinal e este fenômeno pode ser facilmente visualizado e compreendido analisando-se o espectro de frequências de um sinal amostrado.

A fim de evitar o fenômeno de *aliasing* é inserido um filtro para atenuar as componentes de frequência superior à metade da frequência de amostragem. No caso optou-se por um filtro de segunda ordem, que é mostrado na Fig. 4-6, pois sua resposta se aproxima mais de um filtro ideal que um de primeira ordem.

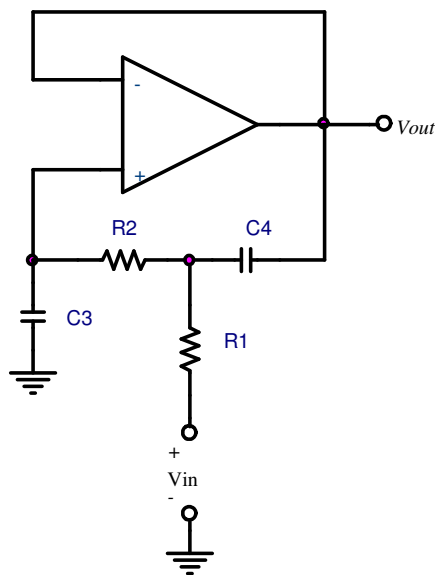


Fig. 4-6 – Filtro anti-aliasing proposto.

A função de transferência do filtro é apresentada na (Eq.4.10).

$$G(s) = \frac{k \cdot \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (\text{Eq.4.10})$$

De acordo com [11], considerando $R_1 = R$, $R_2 = R/m$ e $C_4 = C_3 = C$, podemos obter:

$$m = 4 \cdot Q^2 \quad (\text{Eq.4.11})$$

$$C \cdot R = \frac{2 \cdot Q}{\omega_o} \quad (\text{Eq.4.12})$$

Onde Q representa o *fator de qualidade* do sistema e ω_o representa a frequência de corte do filtro *passa-baixas*:

Assim, escolhe-se $Q = 0.707$ de modo a se obter uma *faixa plana*, sem picos de ressonância na resposta em frequência do sistema.

4.4.2. Ganho do conversor A/D

A tensão de aquisição do conversor *A/D* do *TMS320LF2407* é de 0 a 3,3V. De posse dessas informações é possível calcular o ganho introduzido devido a amostragem de um sinal.

Como estamos trabalhando no formato *Q15*, uma tensão de 3,3V aplicada à entrada do *A/D* será numericamente interpretada como sendo equivalente a *um* pelo *DSP*. Assim sendo, podemos determinar o ganho introduzido pelo *A/D* como sendo:

$$K_{A/D} = \frac{1}{3.3} = 0.303 \quad (\text{Eq.4.13})$$

4.4.3. Amostragem de variáveis alternadas

Como foi comentado anteriormente, a tensão de aquisição do *DSP* excruciona de 0 a 3,3V, de maneira impedir a aquisição de sinais alternados no tempo (que possuam tanto valores positivos quanto valores negativos de tensão). Desta forma, faz-se necessária a implementação de um *circuito somador* que adicione um valor constante de tensão à forma de onda a ser amostrada pelo *DSP*, de forma que o sinal de entrada do *DSP* possua apenas valores positivos de tensão, tal como mostrado pela Fig. 4-7.

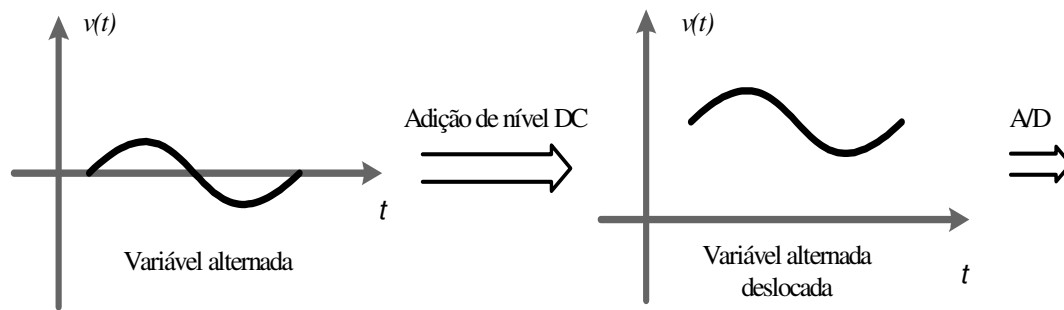


Fig. 4-7 – Adição de uma componente DC a valores alternados de tensão.

Porém, cabe lembrar que o valor de *offset* dado a forma de onda a ser adquirida deverá ser subtraída internamente ao *DSP* de forma a permitir uma representação *fidel* das variáveis amostradas. A Fig. 4-8 mostra uma possível implementação do *circuito somador*.

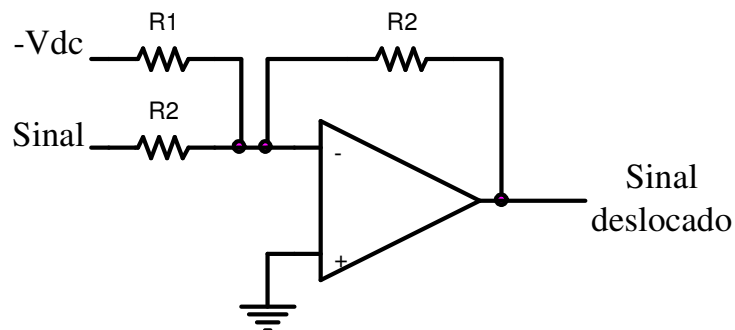


Fig. 4-8 - Circuito somador.

4.4.4. Esquema do circuito de interface

A Fig. 4-9 apresenta os circuitos analógicos necessários para se efetuar a *interface* entre o circuito de potência e o *DSP* (Digital Signal Processor). Este circuito é basicamente composto por dois filtros de *anti-aliasing*, quatro circuitos somadores para se adicionar valores *DC* às variáveis alternadas, cinco circuitos *Buffers*, uma carga trifásica conectada em estrela de modo a proporcionar um defasamento de 30° nas tensões de linha, gerando uma tensão em fase com a tensão da fase 1, além de diodos zeners para se evitar a sobretensão nos terminais do conversor *A/D*.

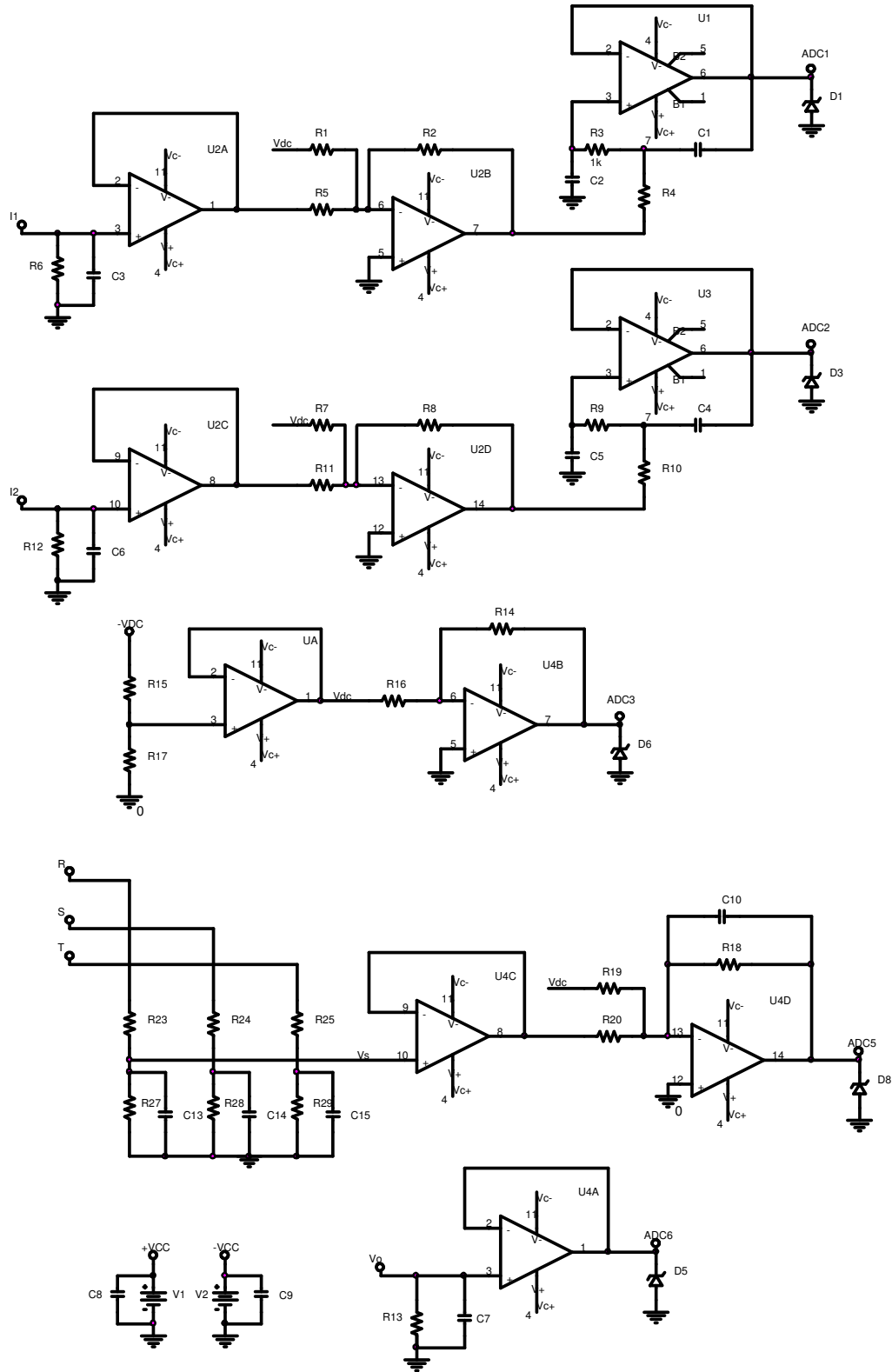


Fig. 4-9 – Esquema dos circuitos analógicos utilizados para se efetuar a interface entre o circuito de potência e o DSP.

4.4.5. Obtenção dos sinais de corrente e tensão a partir sensor de efeito Hall

A fim de se obter um bom isolamento entre os circuitos de comando e de potência, garantindo uma maior confiabilidade ao sistema, optou-se pela escolha de sensores de efeito Hall para a medição tanto das correntes de entrada quanto da tensão de saída. Esse sensor gera uma corrente $I(t)$ no seu secundário que é proporcional as variáveis a serem medidas no lado primário (no caso tensão ou corrente).

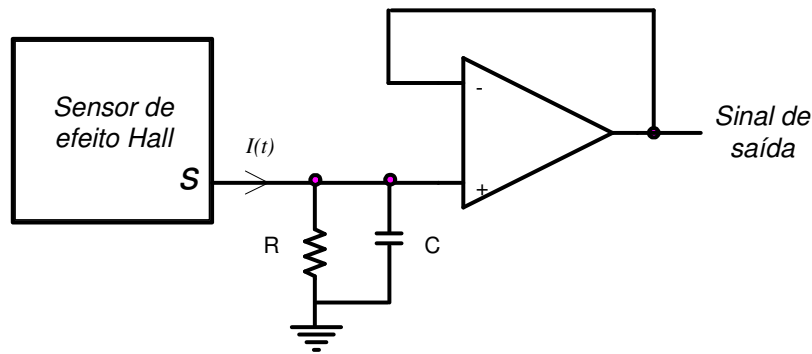


Fig. 4-10 – Circuito *Buffer* presente na saída do sensor de efeito Hall.

Para a obtenção de sinais a partir dos sensores de efeito Hall, optou-se pela estrutura mostrada na Fig. 4-10, que consiste em um *buffer* e cujo ganho na sua saída pode ser expresso por:

$$K_H = K_{hall} \cdot R \quad (\text{Eq.4.14})$$

Onde K_{hall} é o ganho de tensão ou corrente do sensor de efeito Hall e K_H é o ganho equivalente do circuito mostrado na Fig. 4-10.

4.4.6. Geração da tensão de sincronismo

Para sincronizarmos as tabelas internas do DSP, que servem de referência para os controladores da malha de corrente necessitamos de um circuito que gere uma tensão que esteja em fase com a tensão da fase 1 (V_I).

Como não temos acesso ao neutro do sistema trifásico é necessário utilizarmos um circuito que amostrasse a tensão V_{ab} e produza um atraso de 30° nessa tensão de forma a se obter uma tensão V_{si} em fase com a tensão V_I . Tal circuito é mostrado na Fig. 4-11.

Utiliza-se, no circuito, um transformador abaixador trifásico delta-delta de forma a isolar o circuito de potência do circuito de sinal, o defasamento de 30° é causado pela carga conectada em estrela na saída do transformador. Logo em seguida o sinal é aplicado a um *buffer* e depois é somado a um valor DC de tensão para ser aplicado à entrada do conversor *A/D*.

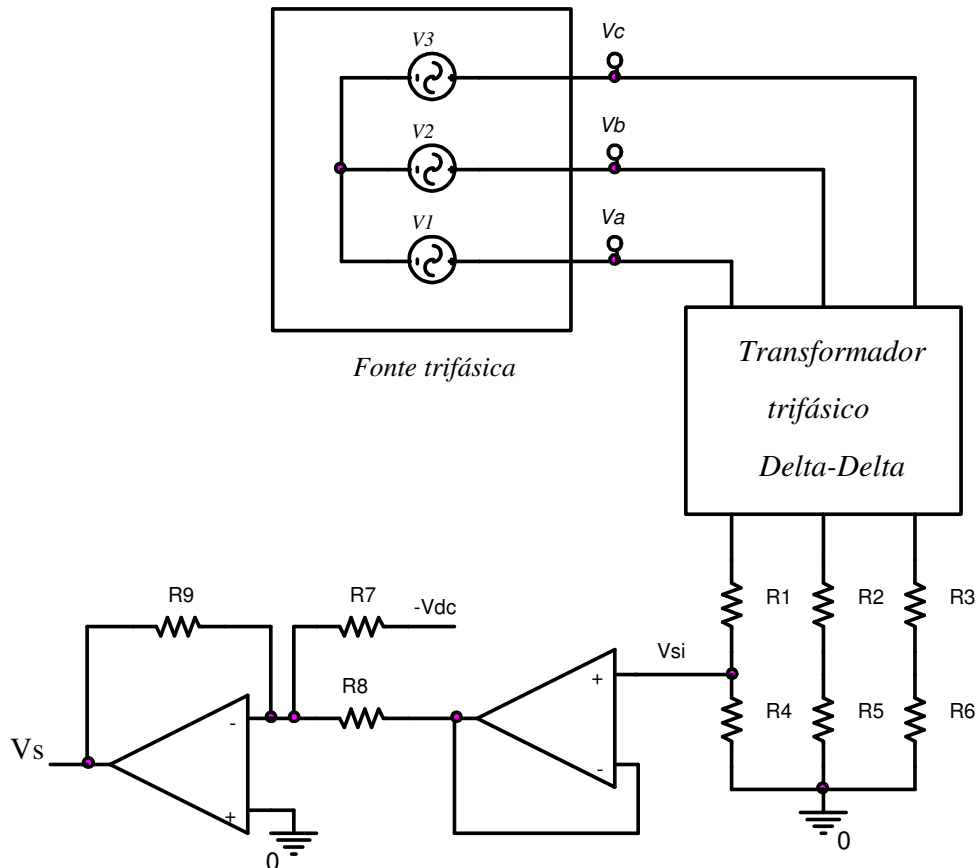


Fig. 4-11 – Circuito para geração da tensão de sincronismo V_s .

4.4.7. Geração da forma de onda triangular

A onda triangular V_t é gerada numericamente por um contador programável, funcionando no modo *up-down*, do gerenciador de eventos do *DSP*. O procedimento básico para a geração dos pulsos de *PWM* está representado na Fig. 4-12.

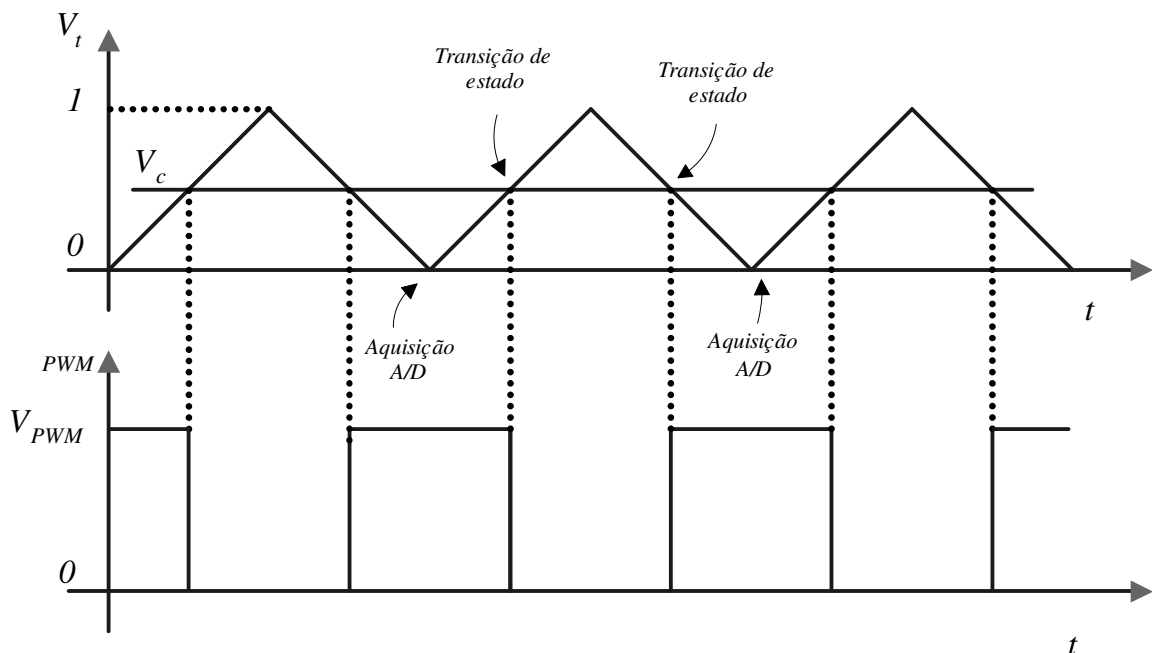


Fig. 4-12 – Formas de onda utilizadas para geração de pulsos PWM.

O sinal V_c é o resultado da equação de diferenças do compensador discretizado, representando assim o *esforço* de controle. A comparação entre esse sinal e a forma de onda triangular gera os pulsos de comando PWM . Pelo fato de todo o controle ser projetado no formato numérico $Q15$ (que representa números que variam entre -1 e 1), optou-se por uma onda triangular de amplitude 1. Assim, daqui para frente não se fará mais menção sobre o ganho da onda triangular, pois o mesmo é unitário.

Cabe, aqui, ressaltar um ponto importante a respeito das aquisições efetuadas pelo DSP . Para se impedir a propagação de ruídos espúrios, existentes durante o chaveamento, prejudicando a leitura do conversor A/D , as leituras devem ser feitas em instantes deferentes das do chaveamento. Isso pode ser observado na Fig. 4-12, em que a amostragem do sinal está sincronizada com o *underflow* existente na contagem *up-down* do timer do microcontrolador.

4.5. O programa

A Fig. 4-13 mostra o diagrama de blocos do programa implementado no controlador $TMS320LF2407$. Inicialmente inicializa-se todas as variáveis e constantes necessárias durante a execução do programa. Na sequência configura-se todos os

registradores necessários para o funcionamento do *DSP*. Isto inclui, o gerador de eventos, o conversor *A/D* e as interrupções necessárias.

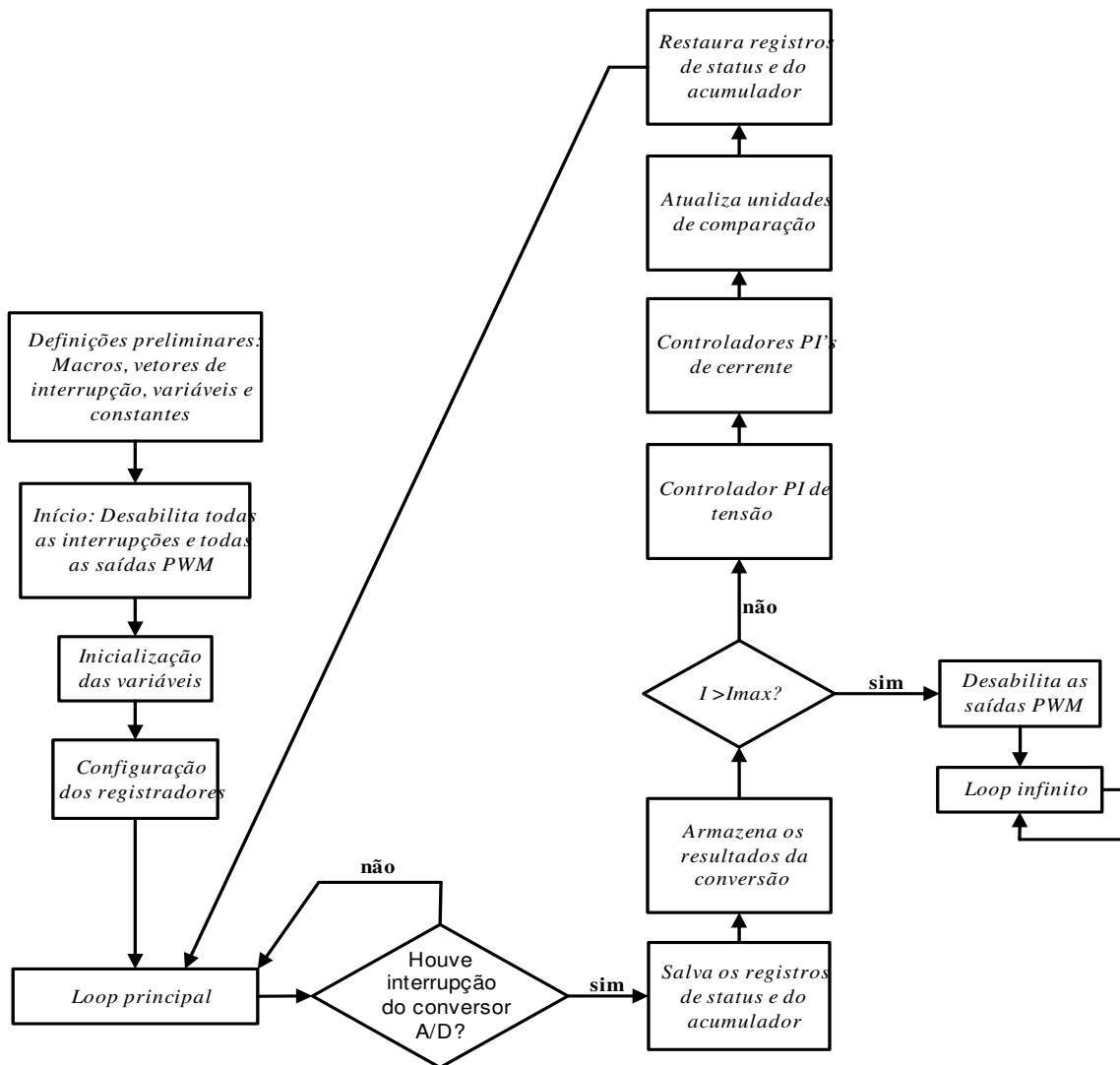


Fig. 4-13 – Diagrama de blocos do programa implementado

O temporizador foi configurado para trabalhar no modo contínuo *up-down* (crescente/decrescente) que gera uma forma de onda do tipo triangular. A ação de controle dos controladores de corrente são carregados nos registradores de comparação (TxCMPR) e assim, quando o valor do contador iguala-se a este valor se comuta a saída *PWM* para nível zero desativando o interruptor.

Ao receber o pedido de interrupção o controlador salva o conteúdo dos registradores mais importantes e que podem ser afetados durante a rotina de interrupção e

inicia a conversão das variáveis monitoradas. Após o término da conversão o controlador de tensão impõe a amplitude da referência de corrente, logo depois calcula-se o erro e aplica-se as leis de controle dos controladores de corrente. Passa-se por uma lógica de saturação e gera-se o pulso *PWM*.

Restaura-se os registradores previamente salvos e fica-se aguardando a chamada de uma nova interrupção.

4.6. Metodologia de projeto dos controladores digitais do conversor

4.6.1. Escolha do período de amostragem

Uma escolha racional do período de amostragem em um sistema de controle deve se basear na compreensão da sua influência no desempenho do mesmo. Parece razoável que as mais altas frequências de interesse devam estar fortemente relacionadas à banda passante do sistema em malha fechada. A escolha de períodos de amostragem pode então se basear na banda passante ou, equivalentemente, no tempo de subida do sistema em malha fechada. Velocidades de amostragem razoáveis estão na faixa de 5 a 10 vezes a banda passante.

Comparativamente, maiores tempos de amostragem podem ser usados nos problemas de controle por causa da dinâmica de caráter passa-baixa de grande parte dos sistemas controlados e por serem as suas constantes de tempo dominantes, tipicamente maiores que os tempos de resposta exigidos do sistema em malha fechada.

Assim, considerando a frequência de cruzamento de laço aberto do sistema como estando em torno de $8kHz$, podemos optar por uma frequência de amostragem de $50kHz$, que é cerca de 6 vezes a frequência da banda passante. Essa escolha também é preferível devido ao fato de que a frequência de comutação ser de $50kHz$, com isso podemos utilizar o mesmo *timer* do controlador para sincronizar a amostragem do sinal e a geração de pulsos *PWM*, facilitando a programação do controlador.

4.6.2. Atraso de transporte

O atraso de transporte não será considerado no cálculo dos compensadores, embora ele não possa ser desprezado. O atraso de transporte aqui considerado será de um quarto do período de amostragem (que corresponde ao intervalo médio entre a aquisição do sinal feita pela *A/D* e a geração do esforço de controle correspondente).

O atraso de transporte, segundo [8] é modelado por:

$$H_e(s) = \frac{s \cdot T_a}{e^{s \cdot T_a} - 1} \quad (\text{Eq.4.15})$$

Que tem como gráfico de módulo a Fig. 4-14 e como gráfico de fase a Fig. 4-15.

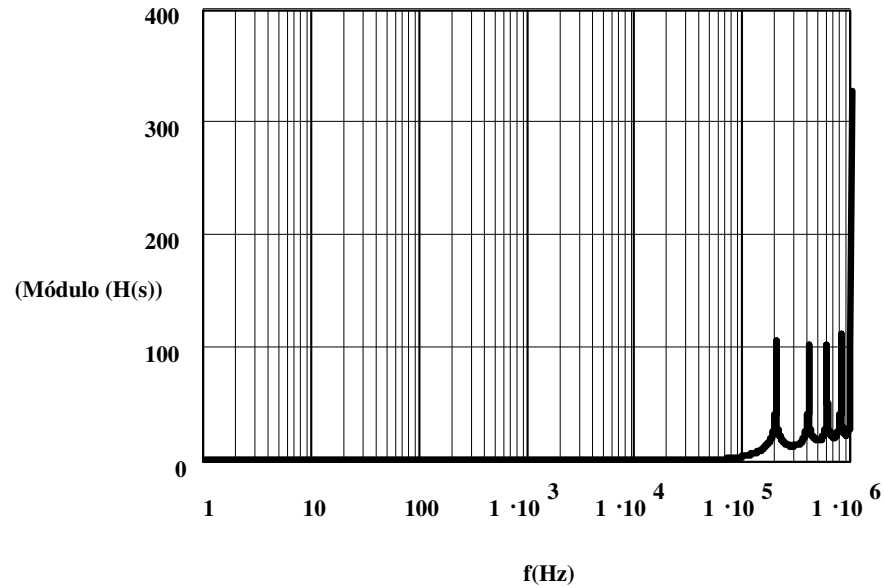


Fig. 4-14 – Módulo do atraso de transporte do sistema discreto.

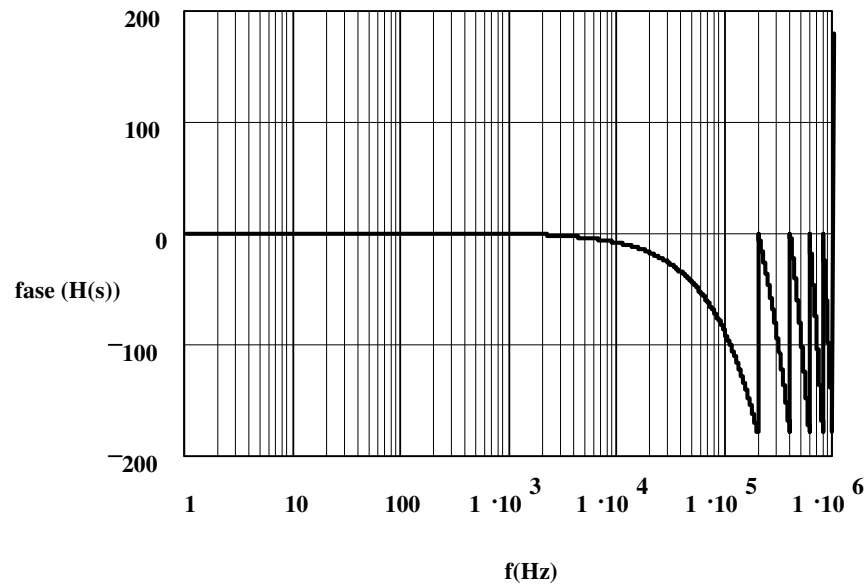


Fig. 4-15 – Fase do atraso de transporte do sistema discreto.

Com isso, considerando que a frequência de cruzamento da função de transferência em laço aberto esteja em torno de δkHz poderemos desconsiderar o efeito do atraso de transporte no sistema, pois a influência do mesmo será mínima.

4.6.3. Obtenção das funções de transferência discretizadas

a) Malha de corrente

Para efetuar o projeto no domínio do tempo discreto é necessário converter os modelos adotados para a planta ao domínio do plano z . As funções que modelam o conversor foram obtidas a partir do estudo efetuado no item 3.4. Para obter as funções de transferência discretizadas aplica-se a transformada z na função de transferência em análise precedida por um grampeador de ordem zero. Tal como mostrado na Fig. 4-16

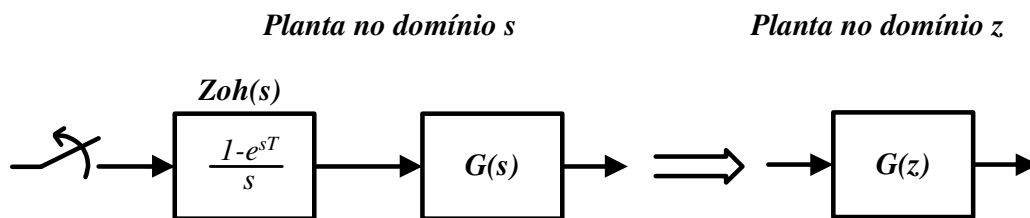


Fig. 4-16 – Diagrama de blocos do processo no domínio s e no domínio z .

Sendo a função de transferência das correntes em função das razões cíclicas dadas por:

$$G_i(s) = \frac{2 \cdot V_o}{3 \cdot s \cdot L} \quad (\text{Eq.4.16})$$

E aplicando a transformada z à (Eq.4.16), obtém-se como resultado a (Eq.4.17).

$$G_i(z) = \frac{2 \cdot V_o}{3 \cdot L} \cdot \frac{T_s}{(z-1)} \quad (\text{Eq.4.17})$$

Pode se usar o método de resposta em frequência deve-se mapear a (Eq.4.17) para o plano w usando a transformada dada pela (Eq.4.7), que resulta na (Eq.4.18)

$$G_i(z) = \frac{2 \cdot V_o}{3 \cdot L} \cdot \frac{\left(1 - \left(\frac{T_s}{2}\right) \cdot w\right)}{w} \quad (\text{Eq.4.18})$$

A partir da (Eq.4.18) pode-se projetar o compensador da malha de corrente

b) Malha de tensão

Da mesma forma, deve-se proceder com a função de transferência entre a tensão de saída e as correntes de pico de entrada, dada pela (Eq.4.19).

$$G_V(s) = \frac{\frac{2 \cdot V_o^3}{3 \cdot V_P \cdot P_o}}{1 + s \cdot \frac{V_o^2 \cdot C_o}{P_o}} \quad (\text{Eq.4.19})$$

Aplicando-se a transformada z à (Eq.4.19) obtemos:

$$G_V(z) = \frac{b \cdot (1 - e^{-aT_s})}{z - e^{-aT_s}} \quad (\text{Eq.4.20})$$

Onde:

$$b = \frac{2 \cdot V_o^3}{3 \cdot V_P \cdot P_o} \quad (\text{Eq.4.21})$$

$$a = \frac{P_o}{V_o^2 \cdot C_o} \quad (\text{Eq.4.22})$$

Do mesmo modo que o efetuado para a função de transferência da corrente, passa-se a (Eq.4.20) para o domínio do plano w por meio da (Eq.4.7), que resulta na (Eq.4.23).

$$G_V(w) = \frac{b \cdot (1 - e^{-aT_s}) \cdot \left(1 - \left(\frac{T_s}{2}\right) \cdot w\right)}{\left(\frac{T_s}{2}\right) \cdot w \cdot (1 + e^{-aT_s}) + 1 - e^{-aT_s}} \quad (\text{Eq.4.23})$$

Substituindo a (Eq.4.21) e a (Eq.4.22) na (Eq.4.23) obtemos:

$$G_V(w) = \frac{\frac{2 \cdot V_o^3}{3 \cdot V_P \cdot P_o} \cdot \left(1 - e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}\right) \cdot \left(1 - \left(\frac{T_s}{2}\right) \cdot w\right)}{\left(\frac{T_s}{2}\right) \cdot w \cdot \left(1 + e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}\right) + 1 - e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}} \quad (\text{Eq.4.24})$$

A partir das funções de transferência no plano w é possível realizar o projeto do compensador discreto da mesma forma que a realizada no domínio contínuo usando-se os diagramas de Bode. Uma explicação mais detalhada sobre o plano w pode ser encontrada em [12].

4.6.4. Projeto do controlador da malha de corrente

Para projetar o controlador do laço de corrente é necessário, primeiramente, obter a função de transferência em laço aberto do conversor. Para isso é apresentado na Fig. 4-17 é apresentado o diagrama funcional da malha de corrente do conversor. Onde K_{shunt} é o ganho equivalente total da amostragem de corrente.

Ou seja:

$$K_{shunt} = K_H \cdot K_{A/D} \quad (\text{Eq.4.25})$$

Aqui cabe ressaltar a presença do filtro *anti-aliasing* no diagrama de blocos. Antes de prosseguirmos vamos fazer um pequeno estudo acerca da influência do pólo inserido por esse filtro na função de transferência total da planta.

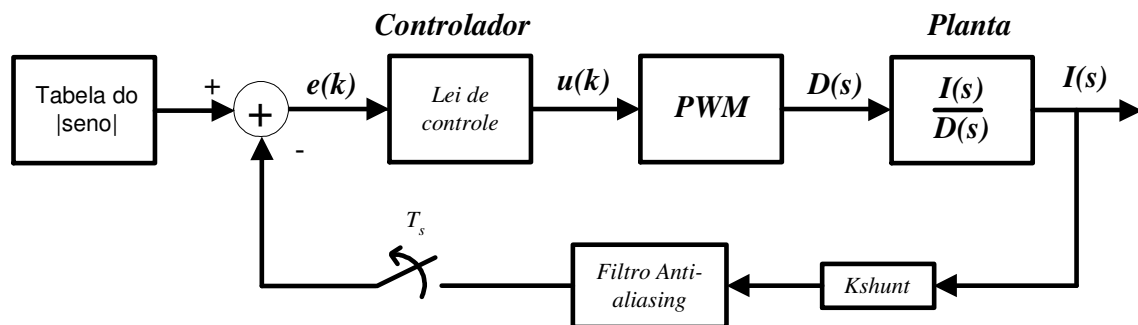


Fig. 4-17 – Diagrama de blocos da malha de corrente.

Considerando que a frequência de cruzamento da malha de corrente seja posicionada pelo menos uma década abaixo da frequência do pólo do filtro de anti-aliasing,

poderemos desconsiderar o efeito do filtro no cálculo dos controladores, pois o mesmo terá pouca influência no ganho e na fase na frequência de cruzamento da função de transferência em laço aberto. Como evidência da validade do comentário anterior e considerando que o filtro anti-aliasing possua uma frequência de corte de $20kHz$, teremos os seguintes diagramas de módulo e fase para o filtro.

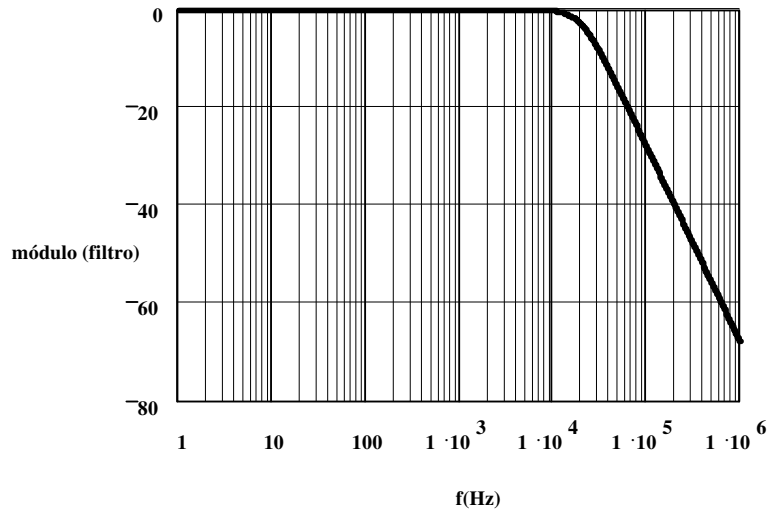


Fig. 4-18 – Diagrama do módulo do filtro de anti-aliasing.

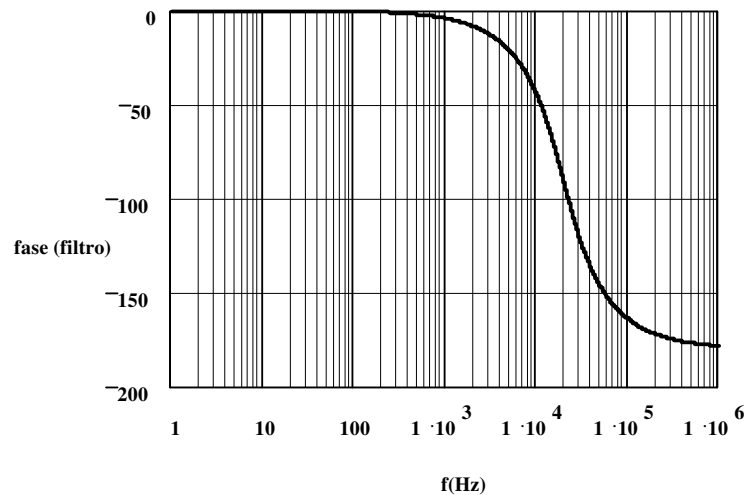


Fig. 4-19 – Diagrama de fase do filtro anti-aliasing.

Observando diagrama de fase do filtro anti-aliasing, observamos que se nosso sistema possuir uma frequência de cruzamento em torno de $5kHz$ o atraso devido ao filtro

de anti-aliasing será de aproximadamente de 20° , que deverá ser considerado no projeto do controlador de corrente.

O controlador a ser adotado para a malha de corrente é do tipo proporcional-integral e tem sua função de transferência (no domínio w) dada pela (Eq.4.26).

$$C_i(w) = k_p \cdot \frac{(w + \omega_z)}{w} \quad (\text{Eq.4.26})$$

Para a alocação do zero do compensador e para o cálculo do ganho K_P foram adotadas as mesmas restrições impostas para o projeto do compensador no plano s . As restrições mencionadas são:

- A frequência de cruzamento de laço aberto deve ser menor que a metade da frequência de comutação (isto é obtido através do ajuste do ganho K_P);
- O zero deverá ser alocado abaixo da frequência de cruzamento de ganho a pelo menos uma década abaixo da frequência de cruzamento.

Deste modo, consideramos então:

$$f_c = \frac{f_s}{6} \quad (\text{Eq.4.27})$$

$$\omega_z = \frac{2 \cdot \pi \cdot f_s}{60} \quad (\text{Eq.4.28})$$

A forma do diagrama de blocos no domínio w é mostrada na Fig. 4-20.

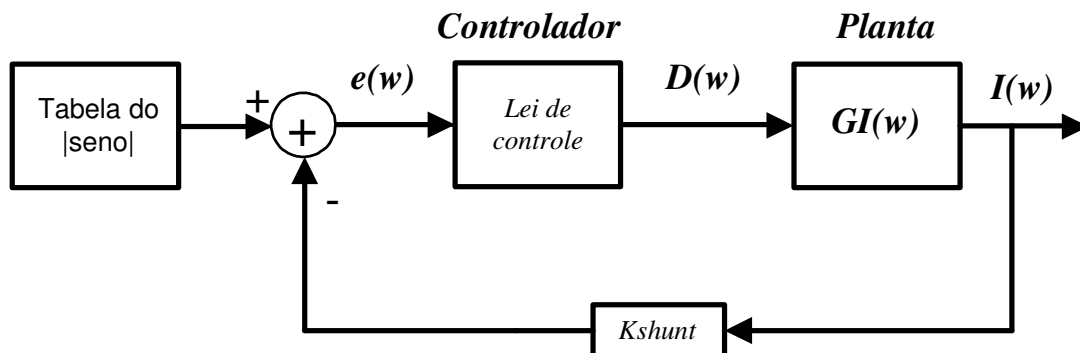


Fig. 4-20 – Diagrama de blocos da malha de corrente no plano w .

Observando o diagrama de blocos, percebe-se que já se tem a função de transferência discretizada. Assim, desconsiderando-se o efeito do filtro de anti-aliasing (que é mínimo) e considerando-se o valor de pico da onda dente de serra como sendo um termo que a forma final da $FTLA_i$ (função de transferência em laço aberto da malha de corrente) no domínio w será dada por:

$$FTLA_i(w) = k_{shunt} \cdot k_p \cdot \frac{(w + \omega_z)}{w} \cdot \frac{2 \cdot V_o}{3 \cdot L} \cdot \frac{\left(1 - \left(\frac{T_s}{2}\right) \cdot w\right)}{w} \quad (\text{Eq.4.29})$$

A partir dessa função de transferência pode-se calcular o compensador necessário para se obter a resposta dinâmica desejada.

4.6.5. Projeto do compensador da malha de tensão

De modo similar ao efetuado para a malha de corrente, para se projetar a malha de tensão é necessário a obtenção da função de transferência em laço aberto.

Na Fig. 4-21 temos o bloco funcional da malha de tensão.

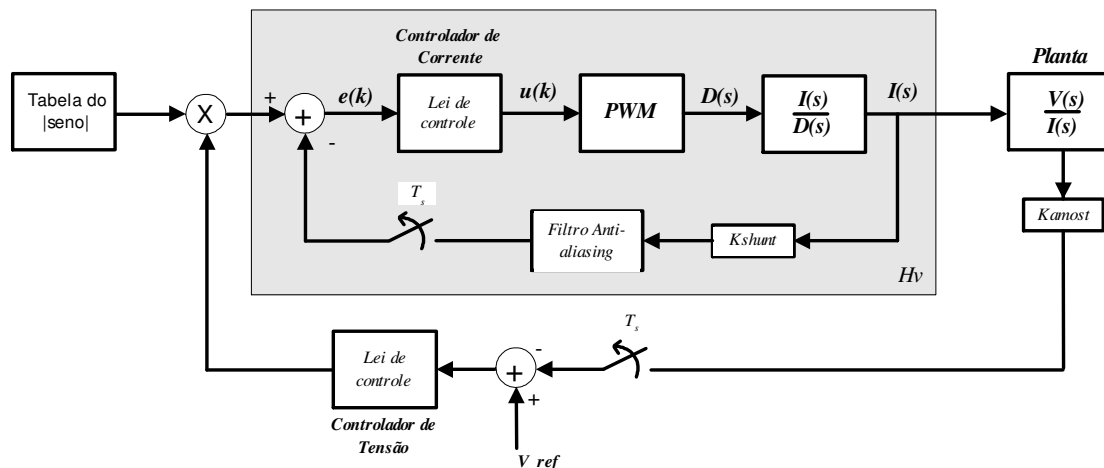


Fig. 4-21- Diagrama de blocos da malha de tensão.

Substituindo a malha de corrente por um bloco único chegamos ao seguinte diagrama mostrado na Fig. 4-22. Onde H_v representa a função de transferência de malha fechada do laço de corrente.

Como a frequência de corte da função de transferência em laço aberto da malha de tensão é lenta, podemos substituir a malha de corrente por seu ganho equivalente em baixas frequências. O ganho é dado pela (Eq.4.30).

$$\lim_{s \rightarrow 0} H_V(s) = \frac{1}{K_{shunt}} \quad (\text{Eq.4.30})$$

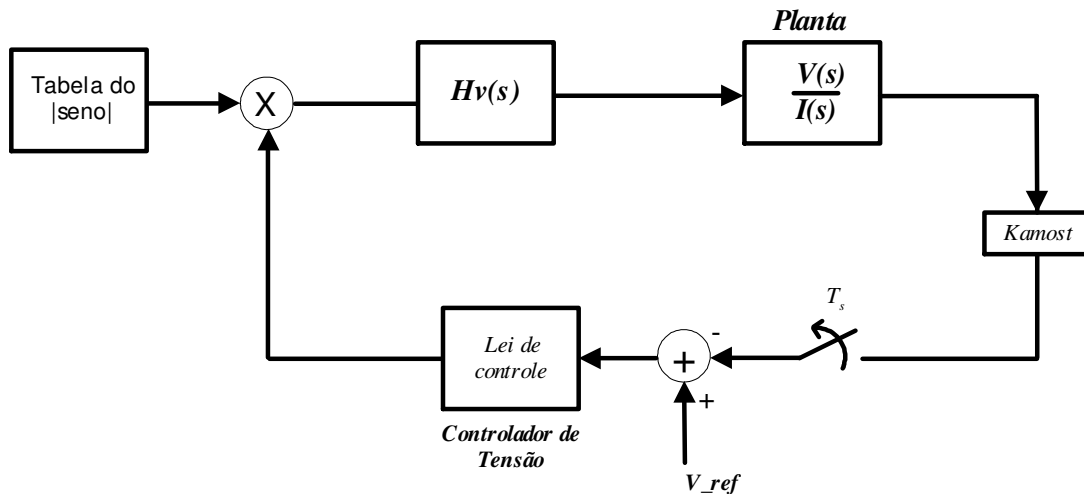


Fig. 4-22 – Diagrama de blocos funcional simplificado da malha de tensão.

A corrente de referência é considerada como um valor constante é igual ao seu valor médio [10]. Assim considerando que a amplitude da tabela interna ao *DSP* se encontra em formato *Q15*, a amplitude da tabela interna será um. Assim o valor médio da senoide retificada será dado pela (Eq.4.31)

$$K_{med} = \frac{2}{\pi} \quad (\text{Eq.4.31})$$

Assim a forma final do diagrama de blocos no domínio w da malha de tensão é mostrada na.

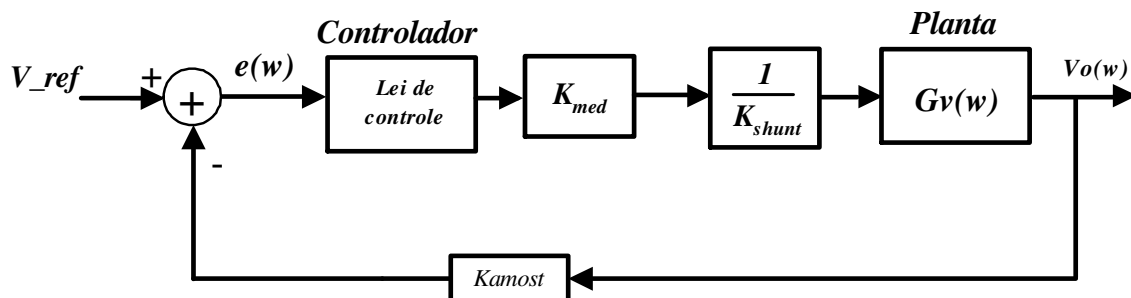


Fig. 4-23 - Diagrama de blocos da malha de tensão no plano w .

Observando a Fig. 4-23, temos que a forma final da $FTLA_v$ (função de transferência em laço aberto da malha de tensão) no domínio w será dada por:

$$FTLA_v(w) = \frac{2}{\pi} \cdot \frac{K_{amost}}{k_{shunt}} \cdot K_{PV} \cdot \frac{(w + \omega_z)}{w} \cdot \frac{3 \cdot V_o^3 \cdot P_o \cdot \left(1 - e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}\right) \cdot \left(1 - \left(\frac{T_s}{2}\right) \cdot w\right)}{\left(\frac{T_s}{2}\right) \cdot w \cdot \left(1 + e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}\right) + 1 - e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}} \quad (\text{Eq.4.32})$$

A partir dessa função de transferência indicada na (Eq.4.32) é possível se calcular o compensador necessário para se obter a resposta dinâmica desejada da malha de tensão.

4.6.6. Obtenção da equações recursivas

Para que se possa implementar a lei de controle em um processador é necessário escrevê-la na forma de equações à diferenças. Para tanto, toma-se a lei de controle projetada (no domínio w que possui a forma apresentada em (Eq.4.26)) e aplicando-se a anti-transformada dada pela (Eq.4.8) remapeia-se esta no plano z obtendo a

$$C(z) = a \cdot \frac{1 + b \cdot z^{-1}}{1 - z^{-1}} \quad (\text{Eq.4.33})$$

Onde:

$$a = \frac{k_p}{2} \cdot (2 + \omega_z \cdot T_s) \quad (\text{Eq.4.34})$$

$$b = \frac{\omega_z \cdot T_s - 2}{\omega_z \cdot T_s + 2} \quad (\text{Eq.4.35})$$

A partir da (Eq.4.33) pode-se encontrar a lei de controle na forma de equações à diferenças. Sabendo que:

$$C(z) = \frac{U(z)}{E(z)} \quad (\text{Eq.4.36})$$

Podemos escrever:

$$\frac{U(z)}{E(z)} = a \cdot \frac{1 + b \cdot z^{-1}}{1 - z^{-1}} \quad (\text{Eq.4.37})$$

Sabendo-se que o termo z^{-1} equivale a o atraso de uma amostra podemos escrever diretamente a equação de diferenças como mostrado na (Eq.4.38).

$$u(k) = u(k-1) + a \cdot e(k) + a \cdot b \cdot e(k-1) \quad (\text{Eq.4.38})$$

A (Eq.4.38) é a lei de controle que deve ser implementada no *DSP*.

4.7. Exemplo de projeto dos controladores

Considerando-se os mesmos parâmetros, dados no item 3.5.2, é possível obter as leis de controle a serem implementadas.

4.7.1. Malha de corrente

Definindo a frequência de cruzamento em laço aberto como sendo um sexto da frequência de chaveamento obtemos:

$$f_c = \frac{f_s}{6} = \frac{50kHz}{6} = 8,333kHz \quad (\text{Eq.4.39})$$

Posicionando o zero do compensador uma década abaixo da frequência de cruzamento de modo a se propiciar uma boa margem de fase para o sistema, temos a frequência do zero do compensador dada pela (Eq.4.40):

$$\omega_z = \frac{2 \cdot \pi \cdot f_c}{10} = 5235 \text{ rad/s} \quad (\text{Eq.4.40})$$

Devemos ter o módulo da função de transferência em laço aberto da malha de corrente igual a um na frequência de cruzamento, com isso determinamos K_{pi} a partir da

$$\left| K_{pi} \cdot K_{shunt} \cdot \frac{w + \omega_z}{w} \cdot \frac{2 \cdot V_o \cdot \left(1 - \frac{T_s}{2} \cdot w\right)}{3 \cdot L \cdot w} \right| = 1 \quad (\text{Eq.4.41})$$

Substituindo $w = 2 \cdot \pi \cdot f_c \cdot i$ na (Eq.4.41), e resolvendo-a, obtemos:

$$K_{pi} = 13,8 \quad (\text{Eq.4.42})$$

De posse dos valores de K_{pi} e ω_z foram traçados os diagramas de módulo e fase da função de transferência em laço aberto de corrente ($FTLA_i$) mostrados respectivamente pela Fig. 4-24 e pela Fig. 4-25.

Observando a Fig. 4-25 percebemos que a função de transferência em laço aberto da malha de corrente apresenta pouca atenuação para frequências maiores que a de

cruzamento. Isso, porém não é problema, pois deve ser lembrado que o filtro anti-aliasing atenuará componentes de frequência superior a 20kHz , possibilitando, assim o uso do controlador projetado.

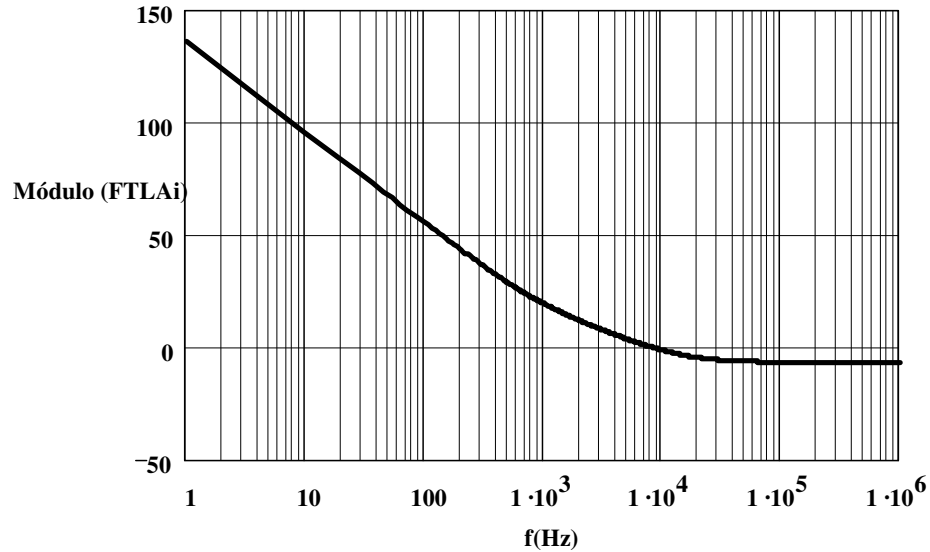


Fig. 4-24 – Diagrama de módulo da função de transferência em laço aberto da malha de corrente.

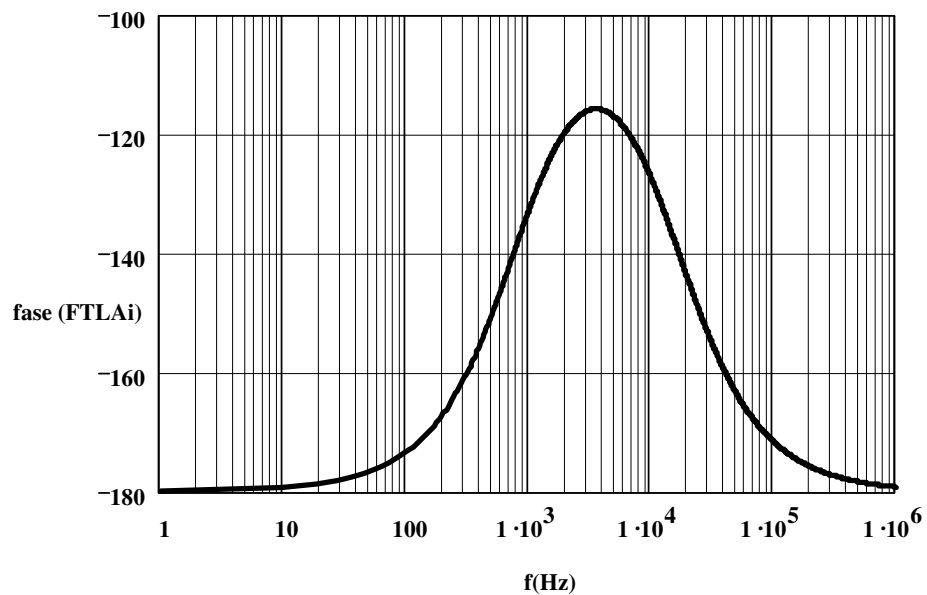


Fig. 4-25 - Diagrama de fase da função de transferência em laço aberto da malha de corrente.

Observando a Fig. 4-25 vemos que o sistema apresenta uma boa margem de fase, que é dada pela (Eq.4.43)

$$MF = 180^\circ - \arg(FTLA_i(f_c)) = 180^\circ - 123,47^\circ = 56,53^\circ \quad (\text{Eq.4.43})$$

Assim, o compensador calculado terá a seguinte representação no plano w :

$$C_i(w) = 13,8 \cdot \frac{(w + 5235)}{w} \quad (\text{Eq.4.44})$$

Resta, agora, somente obter a equação de diferenças, para a aplicação em *DSP*. Aplicando-se a (Eq.4.34), (Eq.4.35) e substituindo na (Eq.4.38) chegamos a:

$$u(k) = u(k-1) + 14,52 \cdot e(k) - 13,07 \cdot e(k-1) \quad (\text{Eq.4.45})$$

4.7.2. Malha de tensão

Escolhe-se a frequência de cruzamento da função de transferência de laço aberto da malha de tensão como sendo um quarto da frequência da rede, já o zero é posicionado uma década abaixo da frequência de cruzamento, para garantir a margem de fase. Assim:

$$f_c = \frac{f_r}{4} = \frac{60\text{Hz}}{4} = 15\text{Hz} \quad (\text{Eq.4.46})$$

$$\omega_z = \frac{2 \cdot \pi \cdot f_c}{10} = 9,424 \text{ rad/s} \quad (\text{Eq.4.47})$$

Devemos ter o módulo da função de transferência em laço aberto da malha de corrente igual a um na frequência de cruzamento, com isso determinamos K_{PV} a partir da (Eq.4.46).

$$\left| \frac{2}{\pi} \cdot \frac{K_{anost}}{k_{shunt}} \cdot K_{PV} \cdot \frac{(w + \omega_z)}{w} \cdot \frac{2 \cdot V_o^3}{3 \cdot V_p \cdot P_o} \cdot \frac{\left(1 - e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}\right) \cdot \left(1 - \left(\frac{T_s}{2}\right) \cdot w\right)}{\left(\frac{T_s}{2}\right) \cdot w \cdot \left(1 + e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}\right) + 1 - e^{-\frac{P_o}{V_o^2 \cdot C_o} T_s}} \right| = 1 \quad (\text{Eq.4.48})$$

Substituindo $w = 2 \cdot \pi \cdot f_c \cdot i$ na (Eq.4.48), e resolvendo-a, obtemos:

$$K_{PV} = 1,31 \quad (\text{Eq.4.49})$$

De posse dos valores de K_{pV} e ω_z foram traçados os diagramas de módulo e fase da função de transferência em laço aberto de corrente ($FTLA_V$) mostrados respectivamente pela Fig. 4-26e pela Fig. 4-27.,

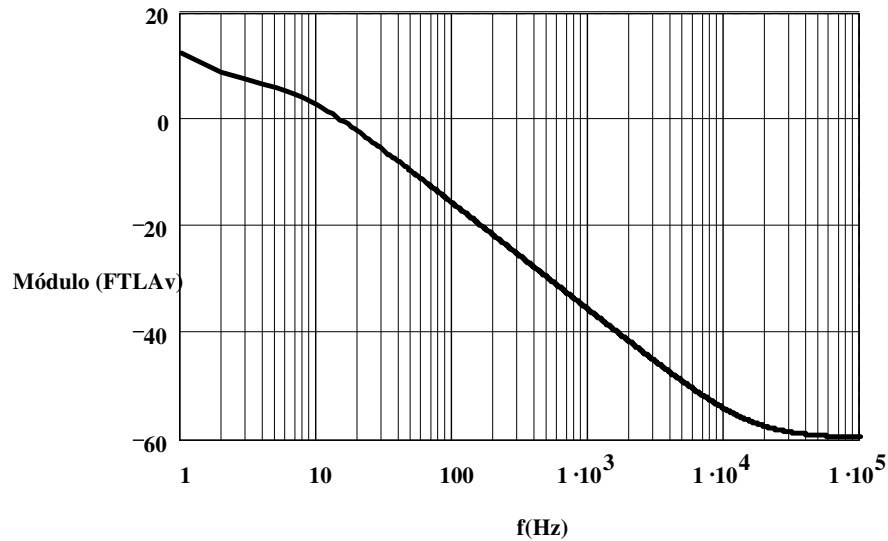


Fig. 4-26 - Diagrama de módulo da função de transferência em laço aberto da malha de tensão.

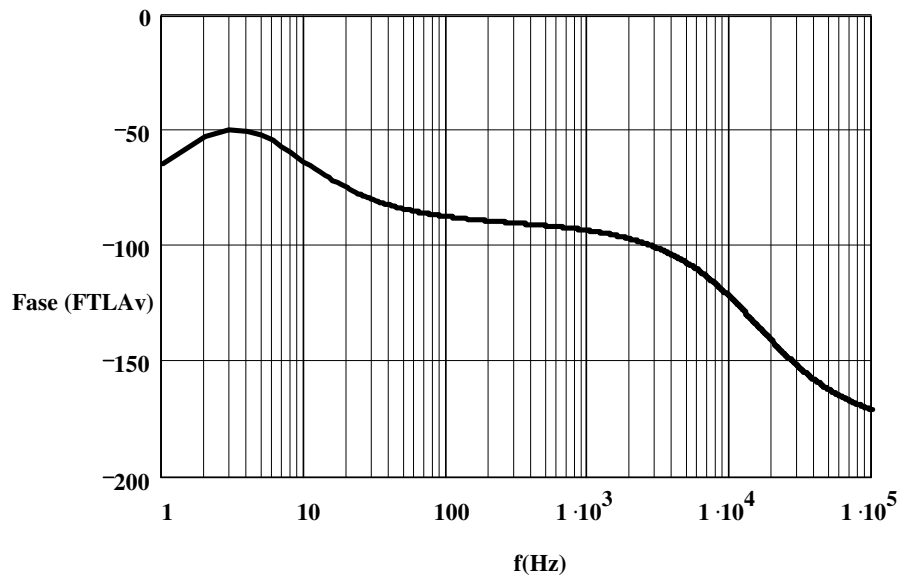


Fig. 4-27 - Diagrama de fase da função de transferência em laço aberto da malha de tensão.

Observando a Fig. 4-27 vemos o sistema apresenta uma boa margem de fase, que é dada pela (Eq.4.50).

$$MF = 180^\circ - \arg(FTLA_i(f_c)) = 180^\circ - 70,51^\circ = 109,49^\circ \quad (\text{Eq.4.50})$$

Assim, o compensador calculado terá a seguinte representação no plano w :

$$C_v(w) = 1,31 \cdot \frac{(w + 9,425)}{w} \quad (\text{Eq.4.51})$$

Resta ,agora, somente obter a equação de diferenças, para a aplicação em *DSP*. Aplicando-se a (Eq.4.34), (Eq.4.35) e substituindo na (Eq.4.51) chegamos a:

$$u(k) = u(k-1) + 1,31 \cdot e(k) - 1,30 \cdot e(k-1) \quad (\text{Eq.4.52})$$

4.8. Resultados de simulação

Realizaram-se simulações digitais a fim de se averiguar a validade dos cálculos no projeto dos controladores efetuados nos itens anteriores.

Cabe aqui lembrar que, devido as limitações impostas pela lógica de ponto fixo, os simuladores usualmente conhecidos (SPICE, por exemplo) tornam-se uma ferramenta bastante limitada, sendo necessário então a utilização de outro software, mais conveniente para aplicações em ponto fixo.

Sendo assim recorreu-se ao software *MATLAB* que possui a ferramenta *SIMULINK* para se testar a validade das equações de controle projetadas.

Para a elaboração do circuito de potência utilizou-se a biblioteca *SimPowerSystems* presente na ferramenta *SIMULINK* do software *MATLAB*.

O esquema do circuito elaborado no *SIMULINK* é mostrado na Fig. 4-28. Na Fig. 4-29 apresentamos as três correntes de entrada, as quais apesar de possuírem pequenas distorções não comprometem em demasia o fator de potência, que permanece muito próximo da unidade. Na Fig. 4-30 mostramos a corrente da fase a, que pelo observado se encontra em fase com a tensão da fase a. E na Fig. 4-31 é mostrado o diagrama do controle elaborado para a estrutura de potência.

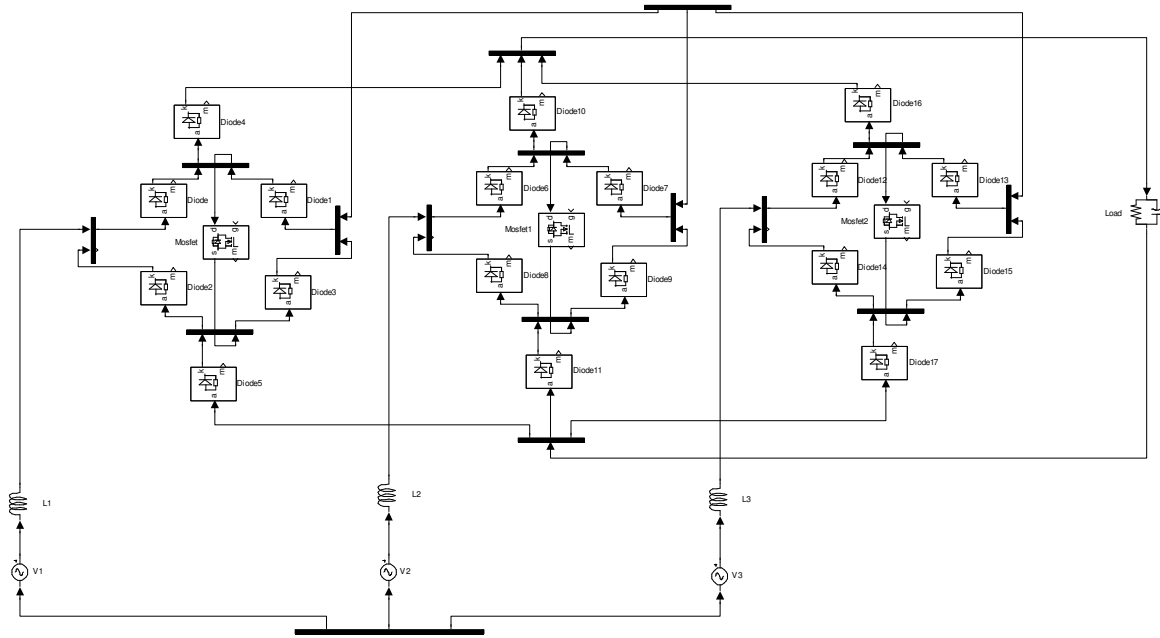


Fig. 4-28 – Esquema do circuito de potência elaborado no SIMULINK.

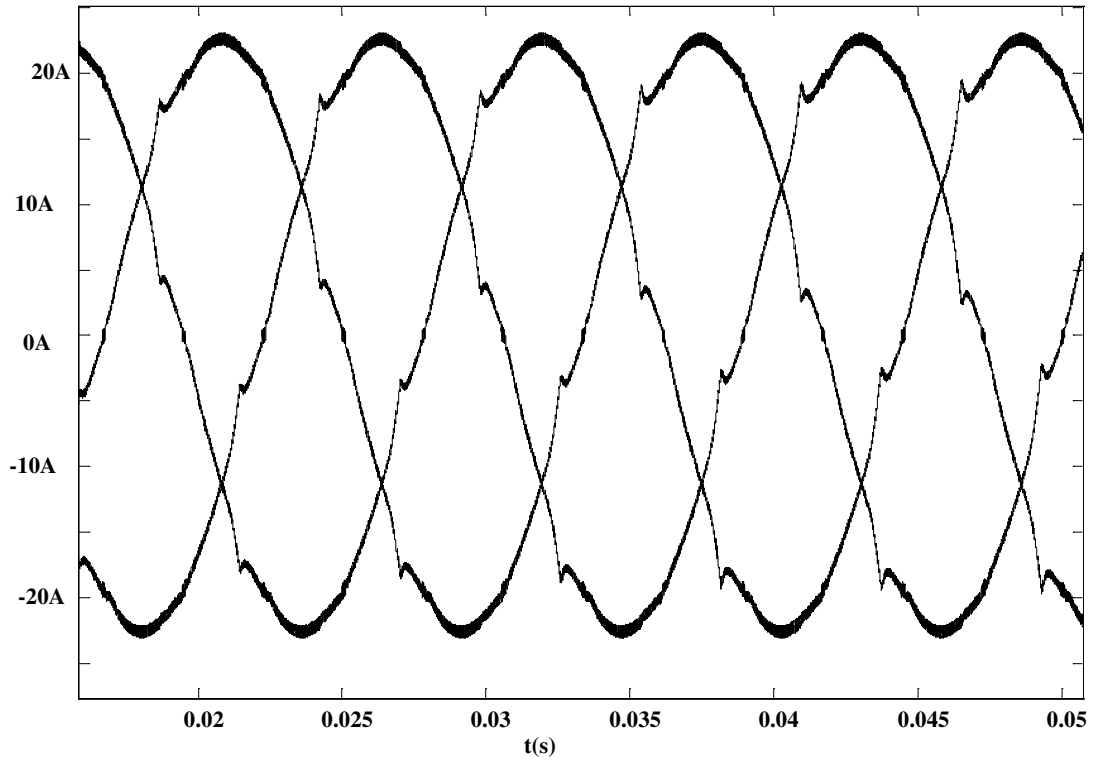


Fig. 4-29 – Detalhe das três correntes de entrada.

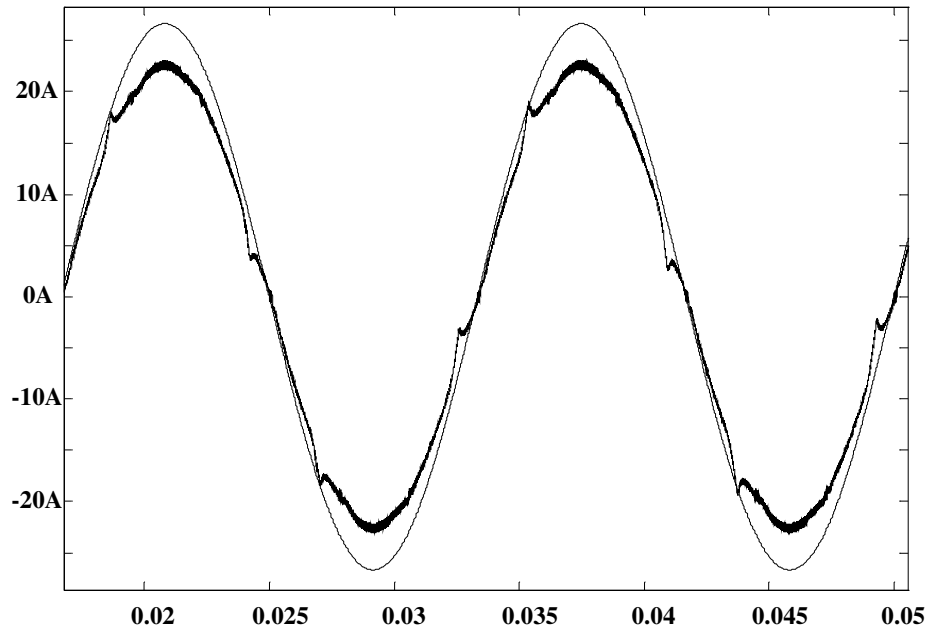


Fig. 4-30 – Corrente de entrada I_a e tensão da fase “a” dividida por um e meio.

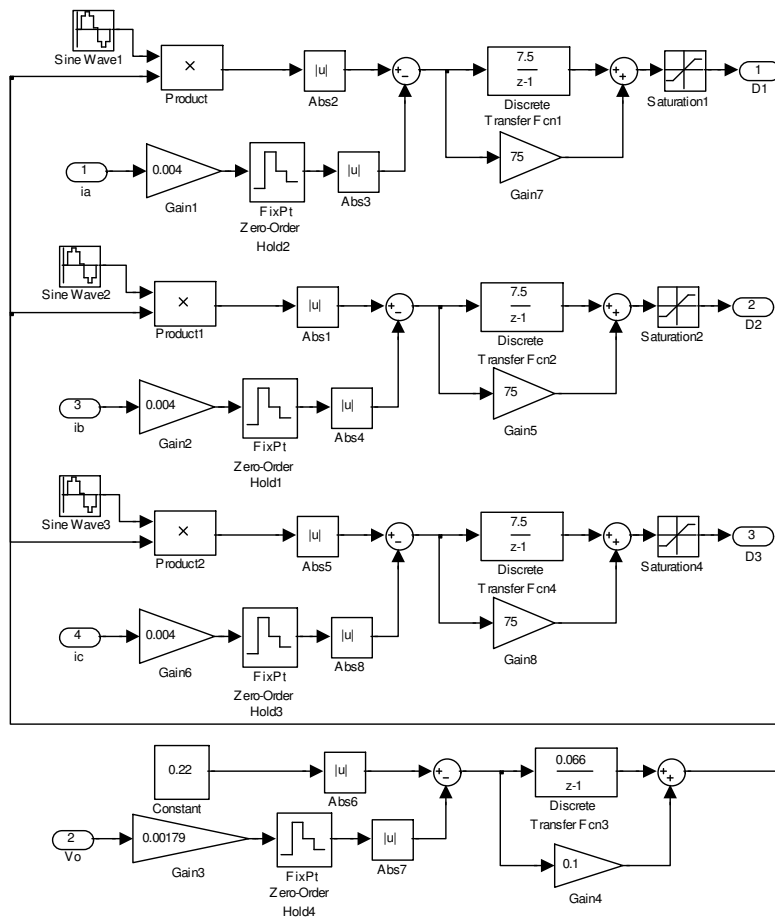


Fig. 4-31- Detalhe do controle elaborado no software SIMULINK.

4.9. Conclusão

Neste capítulo foi apresentada a metodologia completa de projeto dos controladores digitais para o conversor CA-CC trifásico unidirecional proposto. Também foram apresentados no decorrer do capítulo os circuitos necessários para se efetuar a interface entre o circuito de potência e o controle.

A metodologia de cálculo dos controladores se mostrou adequada as necessidades do projeto, obtemos bons resultados de simulação. Cabe ressaltar, porém, que outra metodologia de cálculo dos controladores poderia ser seguida, como a do lugar das raízes, por exemplo. Indo da escolha do projetista optar pela qual é mais familiar ou que traz maiores benefícios, como facilidade de cálculo ou de visualização dos parâmetros do controlador.

A fim de se testar a eficácia da metodologia de projeto elaborada utilizou-se o software *SIMULINK*, devido a facilidade de elaboração do controle digital em tal ambiente. Os resultados obtidos através de simulação numérica foram muito satisfatórios e conclusivos, validando, assim, toda a metodologia de cálculo desenvolvida.

5. DIMENSIONAMENTO DO CIRCUITO DE POTÊNCIA E APRESENTAÇÃO DOS RESULTADOS EXPERIMENTAIS

5.1. Introdução

Nos capítulos anteriores, foram apresentadas as etapas de funcionamento do conversor para uma análise qualitativa do circuito. Uma análise quantitativa também foi apresentada na definição das estratégias de controle do sistema. Estas análises representam subsídios para o entendimento da lógica do sistema apresentado.

Assim, nesse capítulo será mostrado o procedimento para a elaboração completa do circuito de potência do conversor CA-CC trifásico unidirecional abordado. Serão determinadas as condições iniciais para o projeto, passando em seguida para o dimensionamento físico dos indutores de entrada, dos capacitores de saída e dos interruptores e semicondutores em geral.

No final do capítulo serão apresentados os resultados experimentais obtidos a partir da implementação de um protótipo com as malhas de controle digitais implementadas no Capítulo IV.

Com a conclusão deste capítulo, haverá condições para realizar o projeto dos conversores a serem montados em laboratório para a análise experimental.

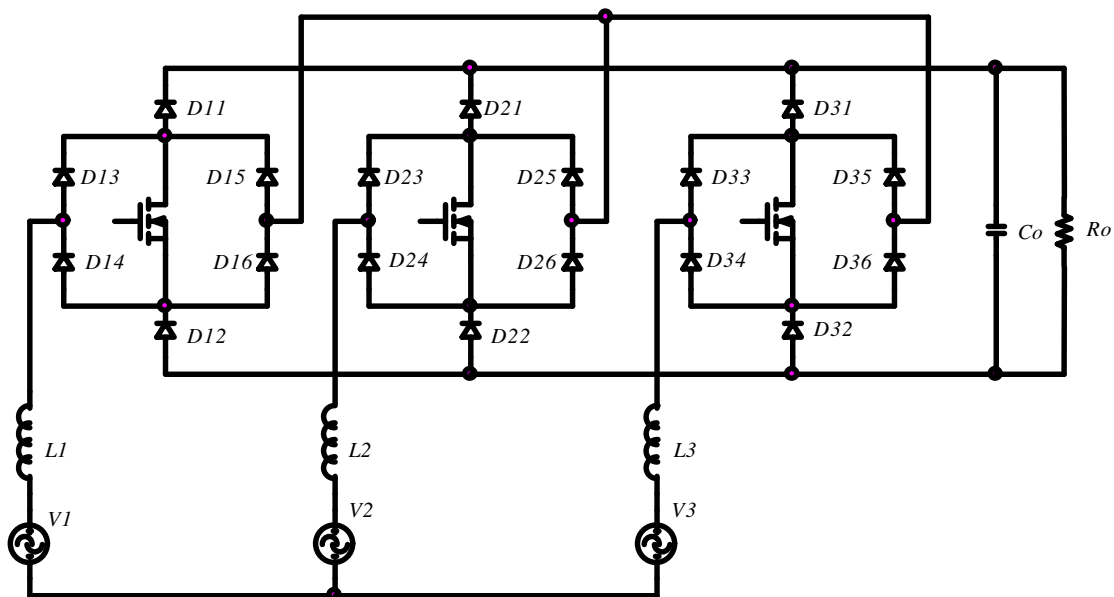


Fig. 5-1 - Circuito proposto para o conversor CA-CC trifásico unidirecional sem neutro

5.2. Especificações gerais

Toda a experimentação das leis de controle foram feitas usando-se um protótipo implementado pelo engenheiro Yales Rômulo de Novaes, M.Sc.

Aqui, no entanto serão demonstrados todos os cálculos necessários para o dimensionamento de todo o estágio de potência do conversor CA-CC trifásico unidirectional proposto.

Como especificações gerais de projeto do engenheiro Yales Rômulo de Novaes temos os seguintes dados.

a) Potência de Saída:

$$P_o = 6KW \quad (\text{Eq.1.1})$$

b) Rendimento aproximado:

$$\eta = 0,88 \quad (\text{Eq.1.2})$$

c) Ondulação de alta frequência no indutor:

$$\Delta I = 10\% \quad (\text{Eq.1.3})$$

d) Frequência de comutação estimada:

$$f_s = 50KHz \quad (\text{Eq.1.4})$$

e) Tensão de entrada:

$$V_{Lnom} = 220V \quad (\text{Eq.1.5})$$

f) Variação da tensão de entrada:

$$\Delta V = +20\% , -30\% \quad (\text{Eq.1.6})$$

A partir desses dados, pode-se estimar a potência de entrada do retificador, tensão de saída e correntes de entrada, como segue:

A tensão de saída deverá ser maior do que o máximo valor de pico da tensão de linha da rede de alimentação, conforme a (Eq.1.7) e a (Eq.1.8).

$$V_{Lpmax} = V_{Lnom} \cdot 1,2 \cdot \sqrt{2} = 373,35V \quad (\text{Eq.1.7})$$

$$V_o = 450V \quad (\text{Eq.1.8})$$

A potência de entrada do retificador pode ser determinada pela (Eq.1.9).

$$P_i = \frac{P_o}{\eta} = 6818,18W \quad (\text{Eq.1.9})$$

Assim, tem-se as correntes de pico máxima e mínima, em função da variação da tensão de entrada.

$$I_{i_{p\max}} = \frac{2}{3} \cdot \frac{P_i}{V_{f_{p\min}}} = \frac{2}{3} \cdot \frac{6818,18}{125,7} = 36,16A \quad (\text{Eq.1.10})$$

$$I_{i_{p\min}} = \frac{2}{3} \cdot \frac{P_i}{V_{f_{p\max}}} = \frac{2}{3} \cdot \frac{6451}{215,5} = 21,9A \quad (\text{Eq.1.11})$$

5.3. Projeto do estágio de potência

As fórmulas para a determinação dos esforços no semicondutores para a presente topologia foram obtidas em [1], não sendo objetivo do presente tópico deduzi-las.

A partir dos parâmetros apresentados no item 5.2, fez-se o dimensionamento e os cálculos são apresentados a seguir.

5.3.1. Interruptores controlados

$$I_{S_{ef}} = \frac{P_o}{\eta \cdot V_p} \cdot \sqrt{\frac{V_o - 1,63 \cdot V_p}{5,7 \cdot V_o}} = 10,6A \quad (\text{Eq.1.12})$$

$$I_{S_{med}} = \frac{P_o}{\eta \cdot V_p} \cdot \left(\frac{4}{3 \cdot \pi} - \frac{2 \cdot V_p}{3 \cdot V_o} \right) = 6,79A \quad (\text{Eq.1.13})$$

Interruptor escolhido: *IXFH44N60*.

5.3.2. Diodos $D_{i-3/4}$

$$I_{D_{i-3/4_{ef}}} = \frac{P_o}{3 \cdot \eta \cdot V_p} = 12,62A \quad (\text{Eq.1.14})$$

$$I_{Di_3/4_med} = \frac{2 \cdot P_o}{3 \cdot \pi \cdot \eta \cdot V_p} = 7,5A \quad (\text{Eq.1.15})$$

$$V_{RRM} = V_o = 450V \quad (\text{Eq.1.16})$$

Diodo escolhido: *HFA25TB60*.

5.3.3. Diodos $D_{i-5/6}$

$$I_{Di_5/6_ef} = \frac{P_o}{2 \cdot \eta \cdot V_p} \cdot \sqrt{\frac{V_o - 1,63 \cdot V_p}{5,7 \cdot V_o}} = 5,3A \quad (\text{Eq.1.17})$$

$$I_{Di_5/6_med} = \frac{P_o}{\eta \cdot V_p} \cdot \left(\frac{2}{3 \cdot \pi} - \frac{V_p}{3 \cdot V_o} \right) = 3,39A \quad (\text{Eq.1.18})$$

$$V_{RRM} = V_o = 450V \quad (\text{Eq.1.19})$$

Diodo escolhido: *HFA25TB60*.

5.3.4. Diodos $D_{i-1/2}$

$$I_{Di_1/2_ef} = \frac{P_o}{\eta \cdot V_p} \cdot \sqrt{\frac{V_o + 6,1 \cdot V_p}{43 \cdot V_o}} = 10,71A \quad (\text{Eq.1.20})$$

$$I_{Di_1/2_med} = \frac{P_o}{3 \cdot \eta \cdot V_o} = 5,05A \quad (\text{Eq.1.21})$$

$$V_{RRM} = V_o = 450V \quad (\text{Eq.1.22})$$

Diodo escolhido: *HFA15TB60*.

5.3.5. Projeto físico dos indutores de entrada (indutor boost)

a) Cálculo da indutância necessária:

$$L = \frac{V_{f-p\min}}{f_s \cdot \Delta I \% \cdot I_{L_pico}} \cdot \left(1 - \frac{3}{2} \cdot \frac{V_{f-p\min}}{V_o} \right) = \frac{125,74}{50 \cdot 10^3 \cdot 0,1 \cdot 36,15} \cdot \left(1 - \frac{3}{2} \cdot \frac{125,74}{450} \right) = 404\mu H \quad (\text{Eq.1.23})$$

Assim adota-se uma indutância de $400\mu H$

b) Produto das áreas necessário

$$A_e A_w = \frac{L \cdot I_{L_pico} \cdot I_{L_ef}}{K_w \cdot B_{max} \cdot J_{max}} = \frac{400 \cdot 10^{-6} \cdot 36 \cdot 25,5}{0,5 \cdot 0,6 \cdot 450} = 27,252 cm^4 \quad (\text{Eq.1.24})$$

Núcleo toroidal escolhido: 1 X Kool Mμ 77908-A7 – Magnetics

$$A_e \cdot A_w = 40,837 cm^4 \quad (\text{Eq.1.25})$$

c) Cálculo do número de espiras

$$N = \sqrt{L \cdot \frac{l_m}{\mu \cdot \mu_o \cdot A_e}} = \sqrt{400 \cdot 10^{-6} \cdot \frac{19,95}{26 \cdot 4 \cdot \pi \cdot 10^{-7} \cdot 2,27}} = 103,7 \quad (\text{Eq.1.26})$$

d) Bitola do condutor

$$A_{cu} = \frac{I_{L_ef}}{J_{max}} = \frac{23}{450} = 0,051 cm^2 \quad (\text{Eq.1.27})$$

Condutor escolhido: 25AWG

e) Número de condutores em paralelo:

$$n = \frac{A_{cu}}{S_{cu}} = 39,713 \quad (\text{Eq.1.28})$$

adota-se, então $n = 40$

f) Dimensionamento dos capacitores de saída

$$C_o \geq \frac{P_o \cdot (2 \cdot V_o - 3 \cdot V_p)}{2 \cdot f_s \cdot V_o^3 \cdot \Delta V_o \%} = \frac{6 \cdot 10^3 \cdot (2 \cdot 450 - 3 \cdot 180)}{2 \cdot 50 \cdot 10^3 \cdot 450^3 \cdot 0,5 \%} = 0,474 \mu F \quad (\text{Eq.1.29})$$

$$I_{Co_ef} = \frac{P_o}{V_o} \cdot \sqrt{\frac{0,613 \cdot V_o - 2 \cdot \eta \cdot V_p}{\eta^2 \cdot V_p} + 1} = 11,2 A \quad (\text{Eq.1.30})$$

$$I_{Co_pico} = \frac{P_o}{V_o} = 13,33 A \quad (\text{Eq.1.31})$$

$$I_{Co_med} = 0 A \quad (\text{Eq.1.32})$$

$$V_{Co_ef} = V_{Co_med} = 450 V \quad (\text{Eq.1.33})$$

Devido à elevada corrente eficaz que circula pelo capacitor de saída, se faz necessária a utilização de um banco com seis capacitores, cuja capacitância equivalente é de $1,5mF$.

5.4. Resultados experimentais

Aqui serão analisadas as principais formas de onda em questão. Neste caso são as variáveis que se desejam controlar (tensão de saída e correntes de entrada) e seu comportamento frente às variações de carga. A Fig. 5-2 apresenta a forma de onda da corrente de entrada do conversor CA-CC trifásico sem controle.

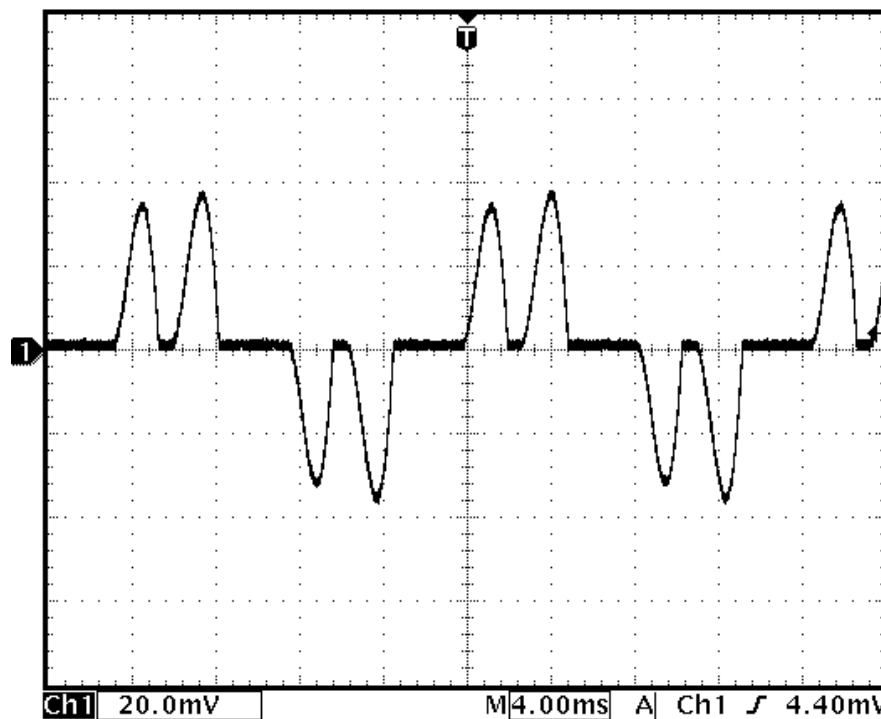


Fig. 5-2 – Corrente de entrada da fase A do conversor sem o controle das chaves (2,5A/Div)

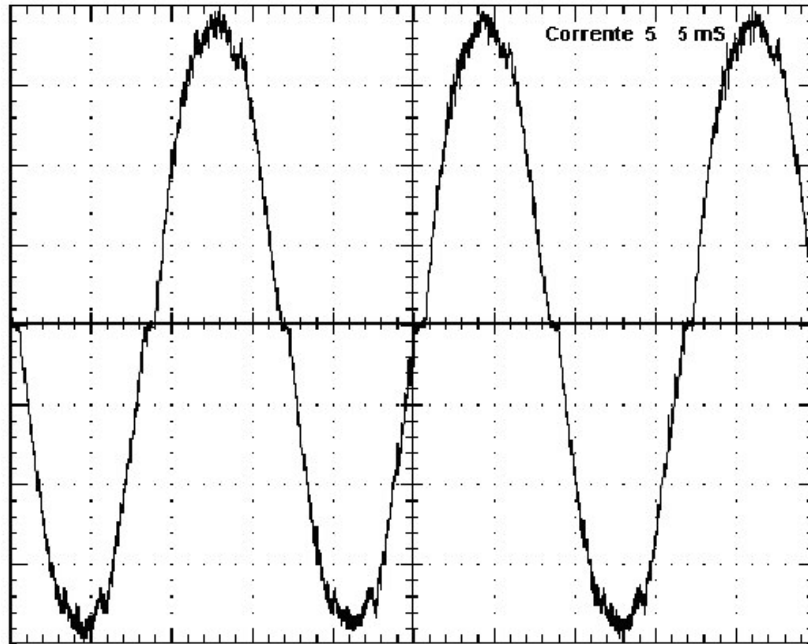


Fig. 5-3 – Corrente de entrada na fase A do conversor com o controle das chaves (5A/Div)

A Fig. 5-3 apresenta a forma de onda da corrente de entrada da fase A do conversor com o controle das chaves.

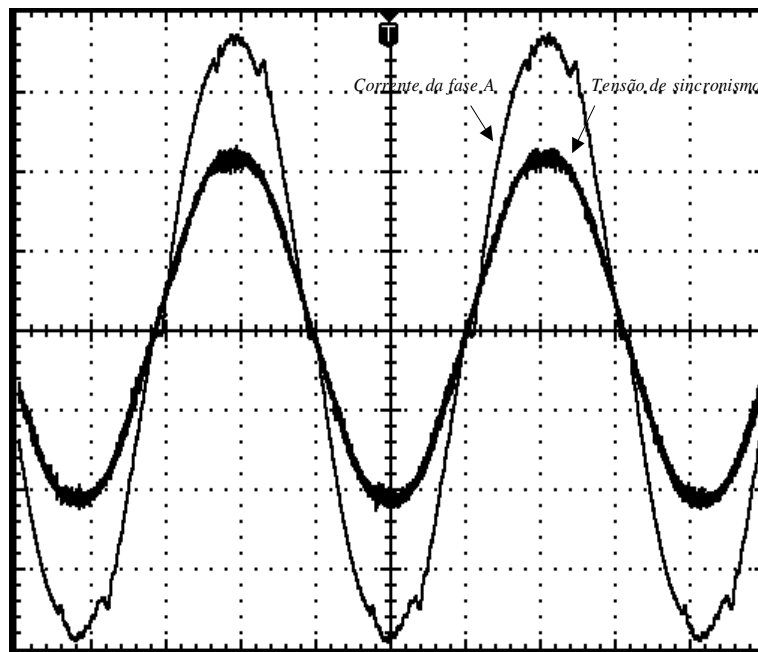


Fig. 5-4 – Corrente da fase A e tensão de sincronismo

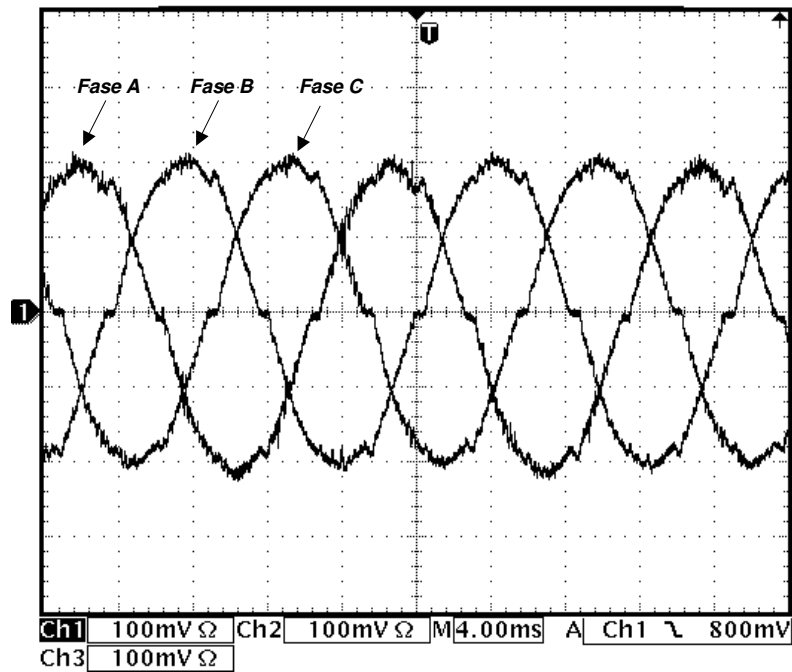


Fig. 5-5 – Correntes das fases A, B e C (10A/Div)

Pela Fig. 5-4 pode-se observar o defasamento nulo entre a tensão de sincronismo e a corrente da fase A. Na Fig. 5-5 estão apresentadas as correntes de entrada das fase A, B e C.

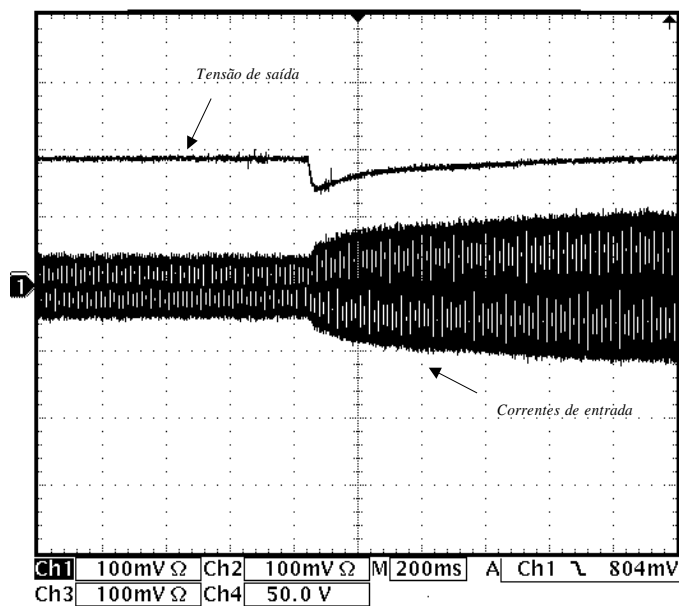


Fig. 5-6 – Tensão de saída e corrente de entrada durante um transitório de carga de 50 a 100% (50V/Div)

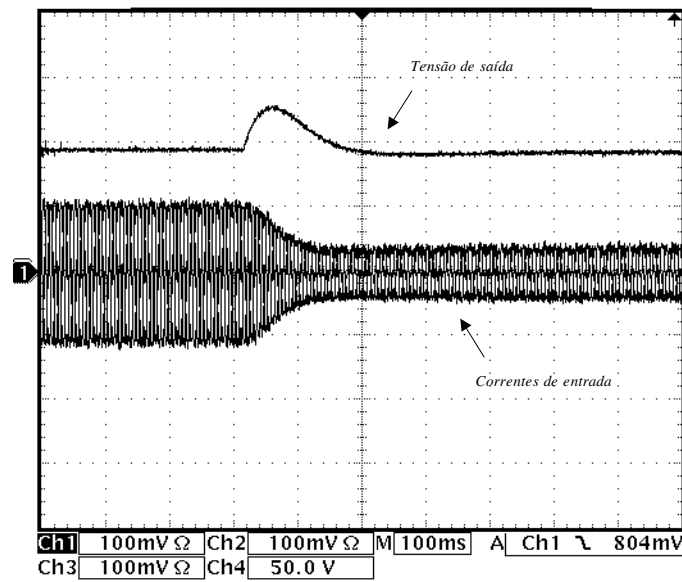


Fig. 5-7 - Tensão de saída e corrente de entrada durante um transitório de carga de 100 a 50% (50V/Div)

A Fig. 5-6 e a Fig. 5-7 mostram a resposta do controle frente as variações de carga da estrutura, podemos observar que o sistema responde com uma dinâmica de primeira ordem.

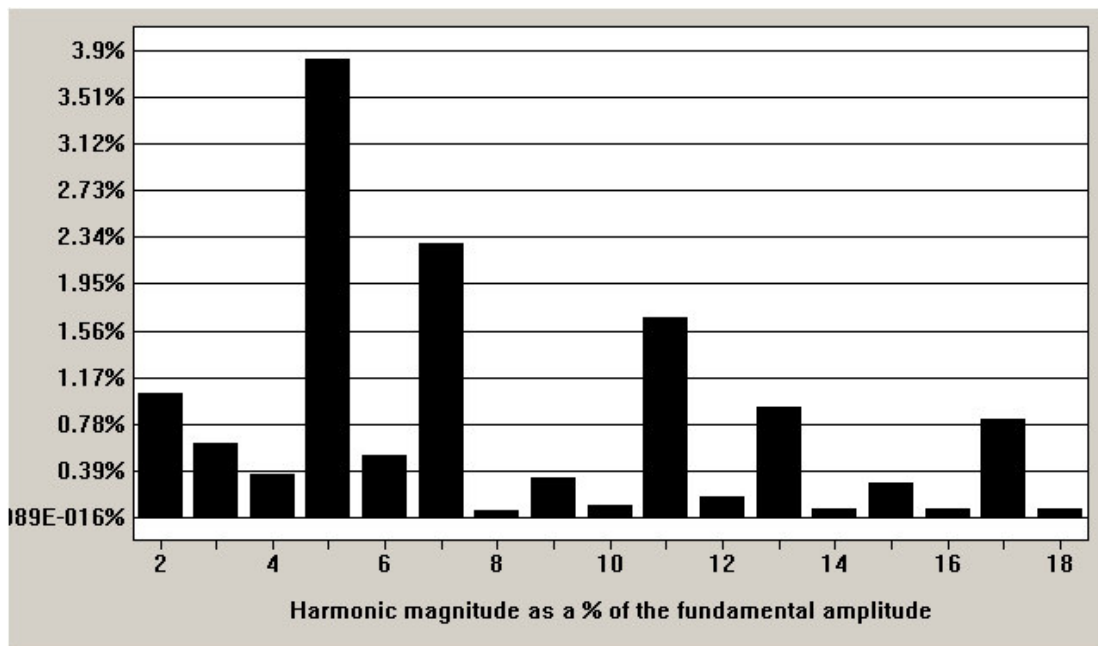


Fig. 5-8 – Espectro harmônico da corrente da fase A, como porcentagem da componente fundamental

A partir dos dados mostrados na Fig. 5-8 observamos que todas as harmônicas respeitam a norma IEC 61000-3-2. A distorção harmônica total se encontra em torno de 5,1%, o que acarreta em um fator de potência de 0,998.

5.5. Conclusão

No decorrer do capítulo foi desenvolvido o projeto do circuito de potência do conversor CA-CC trifásico proposto e foram mostrados os resultados experimentais obtidos.

Os resultados experimentais ficaram dentro do esperado, a taxa de distorção harmônica ficou baixa, na faixa de 5%, com um fator de deslocamento praticamente unitário, acarretando um fator de potência de 0,998.

A resposta do sistema frente as variações de carga se mostraram muito boas, refletindo uma dinâmica de primeira ordem.

O controlador utilizado não apresentou problemas em relação ao tempo disponível de execução.

Conclusão Geral

No decorrer desse trabalho apresentou-se o estudo teórico e prático de um conversor CA-CC trifásico de alto fator de potência e controle digital. O sistema implementado é constituído de três partes: o estágio de potência, uma placa de adaptação dos sinais e uma placa de desenvolvimento (DSKLF2407).

No primeiro capítulo deste trabalho, apresentou-se uma revisão dos conceitos de fator de potência e taxa de distorção harmônica. Efetuou-se também uma revisão geral das principais técnicas de retificação trifásicas, tanto passivas quanto ativas. Fez-se ainda a apresentação de três topologias de retificadores trifásicos PWM, escolhendo-se a topologia que apresentou melhor desempenho.

No segundo capítulo foi apresentado uma visão genérica sobre os formatos numéricos utilizados em um processador. Neste trabalho é usado o formato de ponto fixo. Fez-se também uma introdução ao processamento digital de sinais, dando ênfase especial aos efeitos provocados pela amostragem do sinal, como por exemplo o efeito *aliasing*. No decorrer do capítulo foi abordado o funcionamento dos principais periféricos do microcontrolador utilizados no projeto, em especial o conversor A/D.

No capítulo três, mostrou-se a concepção e o equacionamento completo do conversor em estudo. Desenvolveu-se uma metodologia de projeto, definindo-se a arquitetura do sistema de controle. Efetuou-se um exemplo de projeto, apresentando-se os resultados de simulação.

No capítulo quatro é mostrado uma metodologia de cálculo dos compensadores discretos. Ressalta-se que, embora, esteja se trabalhando com controle discreto a forma de como projetar o controlador não destoa muito dos projetos realizados para compensadores contínuos. No decorrer do capítulo são mostrados os circuitos utilizados como interface entre o circuito de potência e o microcontrolador. Também nesse capítulo são mostrados os resultados de simulação utilizando-se os controladores discretos calculados.

No capítulo cinco é mostrada a metodologia de cálculo e dimensionamento dos elementos do circuito de potência bem como apresentação dos resultados experimentais, que mostra claramente que o conversor atende às normas e às características desejadas.

O controle do conversor proposto, com alto fator de potência, usando o TMS320LF2407 não apresenta muitas diferenças em relação aos controladores contínuos quanto aos resultados experimentais.

A principal vantagem dos controladores digitais está na facilidade de implementação de lógicas de supervisão de falhas e de comunicação com um microcomputador, por exemplo. Uma característica bastante positiva é a facilidade de se fazer alterações no controle sem alterar o layout físico da estrutura.

O controlador DSP utilizado apresenta grande capacidade de processamento, cerca de 40 MIPS, e que satisfaz plenamente o processamento requerido para executar o programa e ainda trabalhar com técnicas de controle mais elaboradas. A arquitetura do DSP, otimizada para aplicações em controle neste controlador, permitiu muitas facilidades na hora da implementação do programa. O tempo de conversão era de aproximadamente 1,5 μ s, o que era mais do que suficiente para implementar as malhas de controle necessárias.

O fato do controlador utilizar a notação de ponto fixo não se apresentou como obstáculo para a implementação do controlador. O simples fato de trabalhar-se com um conjunto finito de representações para caracterizar uma senóide não implicou em um empobrecimento do fator de potência em relação ao controlador contínuo.

É possível, em etapas futuras, pensar na implementação de uma técnica de controle mais elaborada para a presente estrutura, como por exemplo controle e modulação vetorial e se efetuar um estudo comparativo com a controle apresentado no presente estudo.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] BORGONOVO, D. *Modelagem e Controle de Retificadores PWM Trifásicos Empregando a Transformada de Park*, Dissertação (Mestrado em Engenharia Elétrica) – INEP-UFSC, Florianópolis, 2001.
- [2] LAPSLEY, P; BIER, J; SHOHAM, A. E. A. *Dsp Processor Fundamentals: Architectures and Features*. 1° ed. New York: IEEE PRESS, 1997.
- [3] *Spectrum Digital Symbolic Assembler for the F24X DSP*, Technical Reference, DSP Development Systems, Houston, 1999.
- [4] BARBI, I. *Correção de Fator de Potência para Fontes de Alimentação*. Notas de Aula – Publicação interna – INEP – UFSC – Florianópolis – 2000.
- [5] TODD, P. C. *UC3854 Controlled Power Factor Correction Circuit Design*. Application Note U-134. Unitrode. <http://www.ti.com>, 2000.
- [6] DIXON, L. *Average Current Mod Control of Switching Power Supplies*. Application Note U-140. Unitrode. <http://www.ti.com>, 2000.
- [7] JUNIOR, E. T. S. *Análise e Projeto de Compensadores para o Conversor Boost*. Dissertação de Mestrado. UFSC, Florianópolis, 1994.
- [8] SOUZA, A. F. *Retificadores Monofásicos de Alto Fator de Potência com Reduzidas Perdas de Condução e Comutação Suave*. Tese de Doutorado. UFSC, Florianópolis, 1995.
- [9] OGATA, K. *Discrete-Time Control Systems*. Second Edition. Prentice Hall, Englewood Cliffs, New Jersey, 1994.
- [10] RICO, J. E. N. *Sinais e Sistemas Lineares*. Apostila do curso de Engenharia de Controle e Automação. DAS-UFSC. 1993.
- [11] SEDRA, A. S; Smith, K. C. *Microeletrônica*. Quarta Edição. Makron Books, São Paulo, 2000.

- [12] BARCZAK, C. L. *Controle Digital de Sistemas Dinâmicos*. Primeira Edição. Editora Edgard Blücher LTDA, São Paulo, 1994.
- [13] *TMS320C2XX Fixed Point Assembly Language Users Guide*, Technical Reference, Texas Instruments, Houston, 1999.
- [14] *TMS320F243, TMS320F241 DSP Controlers*, Technical Data Sheet, Texas Instruments, Houston, 1999.
- [15] *TMS320F243/F241/C242 DSP Controlers Reference Guide – System and Peripherals*, Technical Reference Guide, Texas Instruments, Houston, 1999.
- [16] VERGHESE, G. C; TAYLOR, D. G; JAHNS, T. M; DE DONCKER, R. W. *The Control Handbook – Cap. 78 – Power Electronics Control*. CRC Press, Inc. 1996.
- [17] BRUCIAPAGLIA, A. H; *Sistemas Amostrados*. Apostila do Curso de Pós Graduação em Engenharia Elétrica. UFSC. 1996.
- [18] KASSICK, E. V; *Notas de Aula da Disciplina Modelagem de Conversores Estáticos*. Curso de Pós Graduação em Engenharia Elétrica, 1999.
- [19] *TMS320C24x General Purpose Timer 1 Symetric Mode – SPRA368*, Application Report, Texas Instruments, Houston, 1997.